

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4947620号
(P4947620)

(45) 発行日 平成24年6月6日 (2012.6.6)

(24) 登録日 平成24年3月16日 (2012.3.16)

(51) Int.Cl.

F I

G 0 9 G 3/36 (2006.01)

G 0 9 G 3/20 (2006.01)

G 0 2 F 1/133 (2006.01)

G 0 9 G 3/36

G 0 9 G 3/20 6 2 3 B

G 0 9 G 3/20 6 1 2 F

G 0 9 G 3/20 6 4 1 C

G 0 9 G 3/20 6 2 3 E

請求項の数 12 (全 28 頁) 最終頁に続く

(21) 出願番号 特願2006-40360 (P2006-40360)
 (22) 出願日 平成18年2月17日 (2006.2.17)
 (65) 公開番号 特開2007-219200 (P2007-219200A)
 (43) 公開日 平成19年8月30日 (2007.8.30)
 審査請求日 平成20年10月22日 (2008.10.22)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100102864
 弁理士 工藤 実
 (72) 発明者 降旗 弘史
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内
 (72) 発明者 能勢 崇
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内
 (72) 発明者 西村 浩一
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 NECエレクトロニクス株式会社内

最終頁に続く

(54) 【発明の名称】 表示装置、データドライバ、及び表示パネル駆動方法

(57) 【特許請求の範囲】

【請求項 1】

画素が行列に並べられた表示パネルと、
 前記表示パネルに接続された複数のデータドライバ
 とを具備し、
 前記複数のデータドライバのそれぞれは、
 複数の階調電圧を発生する階調電圧発生回路と、
 入力表示データにตอบสนองして前記複数の階調電圧のうちから選択階調電圧を選択し、前
 記選択階調電圧に対応する電圧レベルを有するデータ信号を前記表示パネルに出力する駆
 動回路
 とを備え、
 前記階調電圧発生回路は、
 電圧バイアスを発生するアンプと、
 前記電圧バイアスから前記複数の階調電圧を生成する電圧生成回路
 とを含み、
 前記アンプは、オフセットの方向を切り換え可能に構成されており、
 前記アンプのオフセットの方向は、或るフレーム期間において、前記表示パネルの或る
 画素を駆動する際に設定される前記アンプのオフセットの方向が、或るフレーム期間と異
 なる他のフレーム期間において、前記或る画素を駆動する際に設定される前記アンプのオ
 フセットの方向に対して反対であるように制御され、

前記或る画素に供給されるデータ信号の極性は、1 フレーム期間毎に反転され、前記或る画素を駆動する際に設定される前記アンプのオフセットの方向は、2 フレーム期間毎に反転される

表示装置。

【請求項 2】

請求項 1 に記載の表示装置であって、

前記データドライバのそれぞれは、前記入力表示データに対して n ビットの減色処理を行うことによって生成された減色表示データを受け取り、

前記駆動回路は、前記複数の階調電圧から前記減色表示データに対応する階調電圧を前記選択階調電圧として選択し、

前記或る画素の前記減色処理には、 2^n 個の値から選択された誤差が使用され、

前記或る画素に供給されるデータ信号の極性と、前記或る画素を駆動する際に設定される前記アンプのオフセットの方向と、前記或る画素の前記減色処理に使用される誤差を制御する駆動制御は、 $2^n \times 2 \times 2$ フレーム期間を 1 周期として行われる

表示装置。

【請求項 3】

請求項 1 に記載の表示装置であって、

前記複数のデータドライバのそれぞれは、更に、前記入力表示データに対して n ビットの減色処理を行って減色表示データを生成する処理回路を備え、

前記駆動回路は、前記複数の階調電圧から前記減色表示データに対応する階調電圧を前記選択階調電圧として選択し、

前記或る画素の前記減色処理には、 2^n 個の値から選択された誤差が使用され、

前記或る画素に供給されるデータ信号の極性と、前記或る画素を駆動する際に設定される前記アンプのオフセットの方向と、前記或る画素の前記減色処理に使用される誤差を制御する駆動制御は、 $2^n \times 2 \times 2$ フレーム期間を 1 周期として行われる

表示装置。

【請求項 4】

請求項 2 又は請求項 3 に記載の表示装置であって、

前記駆動制御では、前記或る画素に供給されるデータ信号の極性と、前記或る画素を駆動する際に設定される前記アンプのオフセットの方向と、前記或る画素の前記減色処理に使用される誤差との全ての組み合わせが前記駆動制御の 1 周期において 選択される ように制御される

表示装置。

【請求項 5】

請求項 4 に記載の表示装置であって、

前記或るラインの前期画素のそれぞれに供給されるデータ信号の極性は、1 フレーム期間毎に反転され、

前記減色処理に使用される誤差値は、 $2^n \times 2$ フレーム期間を周期として制御され、

前記駆動制御の周期のそれぞれについて、前記駆動制御の周期の前半の第 1 ～第 $(2^n \times 2)$ フレーム期間における前記アンプのオフセットの方向は、それぞれ、後半の第 $\{(2^n \times 2) + 1\}$ ～第 $\{2^n \times 2 \times 2\}$ フレーム期間における前記アンプのオフセットの方向に対して反対である

表示装置。

【請求項 6】

請求項 1 に記載の表示装置であって、

或るラインの画素を駆動する際に設定される前記アンプのオフセットの方向は、前記或るラインに隣接するラインの画素を駆動する際に設定される前記アンプのオフセットの方向に対して反対である

表示装置。

【請求項 7】

表示パネルを駆動するデータドライバであって、
複数の階調電圧を発生する階調電圧発生回路と、
前記複数の階調電圧から入力表示データに応答して選択階調電圧を選択し、選択された前記選択階調電圧に対応する電圧レベルを有するデータ信号を出力する駆動回路
とを具備し、

前記階調電圧発生回路は、
電圧バイアスを発生するアンプと、
前記電圧バイアスから前記複数の階調電圧を生成する階調電圧生成回路
とを含み、

前記アンプは、オフセットの方向を切り換え可能に構成されており、
前記アンプのオフセットは、或るフレーム期間においてある画素を駆動する際に設定される前記アンプのオフセットの方向が、或るフレーム期間と異なる他のフレーム期間において、前記或る画素を駆動する際に設定される前記アンプのオフセットの方向に対して反対であるように制御され、
前記或る画素に供給されるデータ信号の極性は、1 フレーム期間毎に反転され、前記或る画素を駆動する際に設定される前記アンプのオフセットの方向は、2 フレーム期間毎に反転される

データドライバ。

【請求項 8】

請求項 7 に記載のデータドライバであって、
更に、
前記入力表示データに対して n ビットの減色処理を行って減色表示データを生成する処理回路
を具備し、

前記駆動回路は、前記複数の階調電圧から前記減色表示データに対応する階調電圧を、前記選択階調電圧として選択し、

前記或る画素の前記減色処理には、 2^n 個の値から選択された誤差が使用され、

前記或る画素に供給されるデータ信号の極性と、前記或る画素を駆動する際に設定される前記アンプのオフセットの方向と、前記或る画素の前記減色処理に使用される誤差を制御する駆動制御は、 $2^n \times 2 \times 2$ フレーム期間を 1 周期として行われる

データドライバ。

【請求項 9】

請求項 7 に記載のデータドライバであって、
当該データドライバは、 2^n 個の値から選択された誤差を使用する n ビットの減色処理によって生成された減色表示データを受け取り、

前記駆動回路は、前記複数の階調電圧から前記減色表示データに対応する階調電圧を、前記選択階調電圧として選択し、

前記或る画素に供給されるデータ信号の極性と、前記或る画素を駆動する際に設定される前記アンプのオフセットの方向と、前記或る画素の前記減色処理に使用される誤差を制御する駆動制御は、 $2^n \times 2 \times 2$ フレーム期間を 1 周期として行われる

データドライバ。

【請求項 10】

請求項 8 又は請求項 9 に記載のデータドライバであって、
前記駆動制御では、前記或る画素に供給されるデータ信号の極性と、前記或る画素を駆動する際に設定される前記アンプのオフセットの方向と、前記或る画素の前記減色処理に使用される誤差との全ての組み合わせが前記駆動制御の 1 周期において 選択される ように制御される

データドライバ。

【請求項 11】

請求項 7 に記載のデータドライバであって、

10

20

30

40

50

前記電圧生成回路は、
前記電圧バイアスによってバイアスされる直列接続抵抗と、
前記直列接続抵抗の複数のノードにそれぞれに接続され、前記複数の階調電圧を夫々
に出力する複数の演算増幅器
とを含む
データドライバ。

【請求項 1 2】

オフセットの方向を切り換え可能に構成されたアンプによって電圧バイアスを発生する
ステップと、

前記電圧バイアスから前記複数の階調電圧を生成するステップと、

入力表示データに応答して前記複数の階調電圧から選択階調電圧を選択し、前記選択階
調電圧に対応する電圧レベルを有するデータ信号を表示パネルの画素に駆動して前記画素
を駆動するステップ

とを具備し、

或るフレーム期間において、前記画素のうちの或る画素を駆動する際に設定される前記
アンプのオフセットの方向は、或るフレーム期間と異なる他のフレーム期間において、前
記或る画素を駆動する際に設定される前記アンプのオフセットの方向に対して反対であり

、

前記或る画素に供給されるデータ信号の極性は、1 フレーム期間毎に反転され、前記或
る画素を駆動する際に設定される前記アンプのオフセットの方向は、2 フレーム期間毎に
反転される

表示パネル駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置、データドライバ、及び表示パネル駆動方法に関しており、特に、
階調のそれぞれに対応する階調電圧から画素に供給されるデータ信号を発生するように構
成された表示装置、データドライバ、及びそれらに適用される表示パネル駆動方法に関す
る。

【背景技術】

【0002】

大型の表示パネルを有する表示装置では、しばしば、表示パネルが複数のデータドライ
バによって駆動される。このような表示装置では、表示パネルがデータドライバの数と同
数の領域に区分され、領域のそれぞれが対応するデータドライバによって駆動される。

【0003】

図1は、このような表示装置の典型的な構成を示すブロック図である。図1の液晶表示
装置は、液晶表示パネル101と、複数のデータドライバ102₁～102_Nと、複数の
ゲートドライバ103と、階調電源回路104と、タイミングコントローラ105とを備
えている。液晶表示パネル101は、複数の領域106₁～106_Nに区分され、各領域
106_iは、対応するデータドライバ102_iに接続されている。

【0004】

データドライバ102_iは、タイミングコントローラ105から送られる表示データに
対応する電圧レベルを有するデータ信号を生成し、液晶表示パネル101の対応する領域
106_iの信号線（データ線）を駆動する。データドライバ102の動作タイミングは、
表示タイミング制御信号（例えば、極性反転信号、シフトパルス、ラッチ信号など）によ
って制御される。

【0005】

ゲートドライバ103は、ゲートドライバタイミング制御信号（例えば、水平同期信号
）に응答して液晶表示パネル101の走査線（ゲート線）を駆動する。

【0006】

10

20

30

40

50

タイミングコントローラ１０５は、データドライバ１０２に表示データを供給する。加えて、タイミングコントローラ１０５は、データドライバ１０２に送られる表示タイミング制御信号、及びゲートドライバ１０３に送られるゲートドライバタイミング制御信号を生成し、液晶表示装置のタイミング制御を行う。

【０００７】

階調電源回路１０４は、データドライバ１０２に供給される階調電圧発生用バイアス $V_0 \sim V_8$ を生成する。階調電圧発生用バイアス $V_0 \sim V_8$ は、互いに異なる電位を有しており、各データドライバ１０２の内部で階調電圧を発生するために使用される。各データドライバ１０２は、この階調電圧発生用バイアス $V_0 \sim V_8$ から、使用され得る全ての階調に対応する階調電圧を発生し、その階調電圧から表示データに対応するものを選択することによってデータ信号を発生する。この階調電圧発生用バイアス $V_0 \sim V_8$ により、データドライバ１０２のガンマ特性（即ち、データドライバに入力される表示データの値と、データドライバから出力されるデータ信号の信号レベルとの間の対応関係）が制御される。

10

【０００８】

しかしながら、図１の液晶表示装置の構成は、コストの面では有利ではない。なぜなら、図１に図示されている構成では、階調電源回路１０４とデータドライバ１０２のそれぞれとを接続するために必要な配線の数が多く、また、データドライバ１０２とは別個に階調電源回路１０４を設けるため、部品が増大するからである。これらは、いずれもコストを不所望に増大させる。

20

【０００９】

コストの低減のためには、図２に示されているように、階調電源回路１０４Ａがデータドライバ１０２Ａのそれぞれに独立して集積化されている構成も提案されている（例えば、特開２００４－２７９４８２号公報参照）。このような構成が採用される場合、各データドライバ１０２の内部で階調電源回路１０４Ａによって階調電圧発生用バイアス電圧が発生され、その階調電圧発生用バイアスから、使用され得る全ての階調に対応する階調電圧が発生される。

【特許文献１】特開２００４－２７９４８２号公報

【発明の開示】

【発明が解決しようとする課題】

30

【００１０】

しかしながら、図２に図示されている液晶表示装置１００Ａには、いわゆる「ブロックむら」と呼ばれる不具合が発生するという問題点がある。「ブロックむら」とは、液晶表示パネル１０１の各領域１０６の表示画像の色合いが、駆動されるデータドライバ１０２Ａに依存して相違する現象である。

【００１１】

発明者の検討によれば、「ブロックむら」と呼ばれる不具合の原因の一つは、各データドライバ１０２Ａに内蔵されている階調電源回路１０４Ａを構成するアンプのオフセットのばらつきに起因している。製造バラツキに起因して、階調電源回路１０４Ａを構成するアンプのオフセットは、データドライバ毎に不可避免的に相違する。オフセットのバラツキは、データドライバのガンマ特性にバラツキを生じさせる。

40

【００１２】

例えば、図３に示されているように、各データドライバ１０２Ａの階調電源回路１０４Ａが、定電圧源２０１、２０２と、２つのアンプ２０３、２０４によって構成され、且つ、アンプ２０３、２０４の出力の間に直列に接続された直列接続抵抗２０５を用いて階調電圧 $V_0 \sim V_{6.3}$ が生成される場合を考える。この場合、ある画素に供給されるデータ信号の電圧レベルは、階調電圧 $V_0 \sim V_{6.3}$ のうち表示データに応じて選択された階調電圧に設定される。

【００１３】

図３に示されている階調電源回路１０４Ａの２つのアンプ２０３、２０４のオフセット

50

は、図4A～図4Dにそれぞれに図示されている「状態1」～「状態4」の4つの状態をとり得る。図4A～図4Dにおいて、 V_H^* 、 V_L^* は、それぞれ、アンプ203、204の出力電圧の所望値である。「状態1」とは、アンプ203の出力電圧が所望値 V_H^* よりもオフセットAだけ高く、アンプ204の出力電圧が所望値 V_L^* よりもオフセットBだけ低い状態である。「状態2」とは、アンプ203の出力電圧が所望値 V_H^* よりもオフセットAだけ低く、アンプ204の出力電圧が所望値 V_L^* よりもオフセットBだけ低い状態である。「状態3」とは、アンプ203の出力電圧が所望値 V_H^* よりもオフセットAだけ高く、アンプ204の出力電圧が所望値 V_L^* よりもオフセットBだけ高い状態である。「状態4」とは、アンプ203の出力電圧が所望値 V_H^* よりもオフセットAだけ低く、アンプ204の出力電圧が所望値 V_L^* よりもオフセットBだけ高い状態である。

10

【0014】

各データドライバ102Aのガンマ特性は、各データドライバ102Aの2つのアンプ203、204が「状態1」乃至「状態4」のいずれをとるかによって影響される。各データドライバ102Aが「状態1」～「状態4」のいずれに設定されるかは、製造バラツキに支配されてランダムに決定されるから、結果として、データドライバ102Aのガンマ特性にバラツキが発生する。このような状況は、階調電源回路104Aに含まれるアンプの数が増加しても同様に当てはまる。

【0015】

このように、階調電源回路104Aのアンプのオフセットのバラツキは、データドライバのガンマ特性にバラツキを生じさせる。その結果、同一の表示データに対してデータドライバから出力されるデータ信号の電圧レベルがデータドライバ毎に相違することになる。このようなガンマ特性のバラツキが、人の目には、「ブロックむら」として認識される。例えば、隣接するデータドライバ102Aのガンマ特性が大きく相違すると、隣接するデータドライバ102Aによって駆動される領域106の境界が、人の目に視認されてしまう。

20

【0016】

以上に説明されているように、図2に図示されている液晶表示装置100Aには、階調電源回路を構成するアンプのオフセットのばらつきに起因して、ブロックむらが発生するという課題がある。

30

【課題を解決するための手段】

【0017】

上記の課題を解決するために、本発明は、以下に述べられる手段を採用する。その手段を構成する技術的事項の記述には、[特許請求の範囲]の記載と[発明を実施するための最良の形態]の記載との対応関係を明らかにするために、[発明を実施するための最良の形態]で使用される番号・符号が付加されている。但し、付加された番号・符号は、[特許請求の範囲]に記載されている発明の技術的範囲を限定的に解釈するために用いてはならない。

【0018】

本発明による表示装置は、画素が行列に並べられた表示パネル(1)と、表示パネル(1)に接続された複数のデータドライバ($2_1 \sim 2_N$)とを具備する。前記複数のデータドライバ($2_1 \sim 2_N$)のそれぞれは、複数の階調電圧を発生する階調電圧発生回路(27)と、入力表示データにตอบสนองして、前記複数の階調電圧のうちから選択階調電圧を選択し、前記選択階調電圧に対応する電圧レベルを有するデータ信号を前記表示パネル(1)に出力する駆動回路(25、26)とを備えている。階調電圧発生回路(27)は、電圧バイアスを発生するアンプ(36、37)と、前記電圧バイアスから前記複数の階調電圧を生成する電圧生成回路(32、33、34、35)とを含む。前記アンプ(36、37)は、オフセットの方向を切り換え可能に構成されている。前記アンプ(36、37)のオフセットの方向は、或るフレーム期間において、表示パネル(1)の或る画素を駆動する際に設定される前記アンプのオフセットの方向が、或るフレーム期間と異なる他のフレ

40

50

ーム期間において、前記或る画素を駆動する際に設定されるアンプ（３６、３７）のオフセットの方向に対して反対であるように制御される。

【００１９】

このような表示装置では、アンプ（３６、３７）のオフセットの方向が或るフレーム期間と他のフレーム期間との間で反転され、画素に供給されるデータ信号の電圧レベルの所望値からの誤差が、時間平均ではキャンセルされる。これにより、電圧バイアスを発生するアンプ（３６、３７）のオフセットのばらつきに起因するブロックむらの発生が有効に抑制される。

【発明の効果】

【００２０】

本発明によれば、階調電源回路を構成するアンプのオフセットのばらつきに起因するブロックむらの発生を抑制することができる。

【発明を実施するための最良の形態】

【００２１】

以下、本発明の表示装置の好適な実施形態が説明される。図面において、同一又は対応する構成要素は、同一又は対応する参照符号を用いて説明される。同種の構成要素を区別する場合には添字が使用されるが、同種の構成要素を区別する必要がない場合には、添字は省略される場合があることに留意されたい。

【００２２】

（第１の実施形態）

図５は、本発明の第１の実施形態の表示装置の構成を示すブロック図である。本実施形態の表示装置は、液晶表示パネル１と、複数のデータドライバ $2_1 \sim 2_N$ と、複数のゲートドライバ３と、タイミングコントローラ５とを備えている。液晶表示パネル１は、複数の領域 $6_1 \sim 6_N$ に区分され、各領域 6_i は、対応するデータドライバ 2_i に接続されている。

【００２３】

液晶表示パネル１には、水平方向に延伸する走査線と、垂直方向に延伸する信号線と、それらが交差する位置に設けられた画素とを備えている。ただし、走査線、信号線、及び画素は、図５には図示されていない。水平方向に並んだ画素の行は、以下、ラインと呼ばれることがある。同一のラインの画素は、同一の走査線に接続され、同一の水平期間に駆動される。

【００２４】

データドライバ 2_i は、タイミングコントローラ５から送られる表示データに対応する電圧レベルを有するデータ信号を発生して、液晶表示パネル１の対応する領域 6_i の信号線（データ線）を駆動する。本実施形態では、表示データは、６ビットのデータである。データドライバ２の動作タイミングは、表示タイミング制御信号（例えば、極性反転信号、ラッチ信号、シフトパルスなど）によって制御される。

【００２５】

ゲートドライバ３は、ゲートドライバタイミング制御信号（例えば、水平同期信号）に応答して液晶表示パネル１の走査線（ゲート線）を駆動する。ゲートドライバ３によって駆動された走査線に接続された画素にデータドライバ２によって発生されたデータ信号が供給され、これにより、液晶表示パネル１の各画素が所望の駆動電圧で駆動される。

【００２６】

タイミングコントローラ５は、データドライバ２に表示データを供給する。加えて、タイミングコントローラ５は、表示タイミング発生回路７を備えており、この表示タイミング発生回路７により液晶表示装置のタイミング制御を行う。この表示タイミング発生回路７は、データドライバ２に送られる表示タイミング制御信号、及びゲートドライバ３に送られるゲートドライバタイミング制御信号を生成する。

【００２７】

タイミングコントローラ５の表示タイミング発生回路７は、更に、オフセットキャンセ

10

20

30

40

50

ル制御信号を発生してデータドライバ2に供給する機能を有している。オフセットキャンセル制御信号とは、各データドライバ2の階調電源回路に含まれるアンプのオフセットを制御するために信号である。オフセットキャンセル制御信号の詳細については後述される。

【0028】

図6は、各データドライバ2の構成を示すブロック図である。各データドライバ2は、シフトレジスタ21と、データレジスタ回路22と、ラッチ回路23と、レベルシフト回路24と、D/Aコンバータ25と、出力アンプ26と、階調電圧発生回路27と、タイミング発生回路28とを備えている。

【0029】

シフトレジスタ21は、データレジスタ回路22に含まれる各レジスタが表示データをラッチするタイミングを制御するための制御信号群を発生するために使用される。シフトレジスタ21は、シリアル入力、パラレル出力の構成を有しており、表示タイミング発生回路7から供給されるシフトパルスに応答して、その内部でデータシフト動作を行う。このデータシフト動作により、データレジスタ回路22に供給される制御信号が順次に活性化され、データレジスタ回路22の各レジスタが順次に動作する。

【0030】

データレジスタ回路22は、タイミングコントローラ5から表示データを受け取るための回路である。データレジスタ回路22は、そのデータドライバ2が駆動すべき信号線と同数のレジスタ（図示されない）を含んでおり、各レジスタは、1画素の表示データを格納可能に構成されている。このような構成により、データレジスタ回路22は、1ラインの画素の表示データを格納可能である。データレジスタ回路22の各レジスタには、シフトレジスタ21から制御信号が供給され、各レジスタは、その制御信号に応答して表示データを取り込んで格納する。

【0031】

ラッチ回路23は、表示タイミング発生回路7から供給されるラッチ信号に応答して、データレジスタ回路22から、1ラインの画素の表示データをラッチする。ラッチされた表示データは、レベルシフト回路24を介してD/Aコンバータ25に送られる。

【0032】

レベルシフト回路24は、ラッチ回路23の出力の信号レベルをシフトして、D/Aコンバータ25の入力の信号レベルに整合させる。

【0033】

D/Aコンバータ25は、ラッチ回路23から送られる表示データに対してD/A変換を行う。このD/A変換には、階調電圧発生回路27から供給される階調電圧 $V_{0+} \sim V_{63+}$ 、階調電圧 $V_{0-} \sim V_{63-}$ が使用される。階調電圧 $V_{0+} \sim V_{63+}$ は、コモン電位（即ち液晶表示パネル1の対向電極の電位）を基準として「正」の電圧であり、階調電圧 $V_{0-} \sim V_{63-}$ は、コモン電位を基準として「負」の電圧であり、下記の関係が成立する：

$$V_{63-} < V_{62-} < \dots < V_{0-} < V_{COM} < V_{0+} < V_{1+} < \dots < V_{63+}$$

ただし、 V_{COM} は、コモン電位である。本明細書では、階調電圧及びデータ信号の極性は、コモン電位（即ち液晶表示パネル1の対向電極の電位）を基準として定められることに留意されたい。

【0034】

ある画素が「正」のデータ信号で駆動される場合、D/Aコンバータ25は、極性が「正」の階調電圧 $V_{0+} \sim V_{63+}$ から当該画素の表示データに対応する階調電圧を選択し、選択された階調電圧に対応する出力アンプ26に出力する。詳細には、ある画素の表示データが「k」（kは、0以上63以下の整数）であり、当該画素が正のデータ信号で駆動される場合には、階調電圧 V_{k+} が選択されて出力アンプ26に出力される。同様に、ある画素の表示データが「k」であり、当該画素が負のデータ信号で駆動される場合には

、階調電圧 V_k^- が選択されて出力アンプ 26 に出力される。

【0035】

D/Aコンバータ25が出力する各画素の階調電圧の極性は、表示タイミング発生回路7から供給される極性反転信号によって制御される。これは、反転駆動を行うためである。極性反転信号に応答して、各画素に供給されるデータ信号の極性は、1フレーム期間毎に（即ち、2フレーム期間を周期として）反転される。

【0036】

出力アンプ26は、D/Aコンバータ25から供給された階調電圧に応じてデータ信号を生成し、液晶表示パネル1の対応する信号線を駆動する。出力アンプ26は、電圧フォロアで構成され、データ信号の電圧レベルは、D/Aコンバータ25から供給された階調電圧に一致している。

10

【0037】

階調電圧発生回路27は、D/Aコンバータ25に供給される階調電圧 $V_{0^+} \sim V_{63^+}$ 及び階調電圧 $V_{0^-} \sim V_{63^-}$ を発生する。階調電圧発生回路27には、表示タイミング発生回路7からオフセットキャンセル制御信号が供給される。オフセットキャンセル制御信号は、階調電圧発生回路27に含まれるアンプのオフセットを制御するために使用される。後に詳細に記述されるように、階調電圧発生回路27に含まれるアンプのオフセットが制御可能であることは、本実施形態の表示装置において重要である。

【0038】

図7は、階調電圧発生回路27の構成を示す回路図である。階調電圧発生回路27は、階調電源回路31と、直列接続抵抗32、34と、アンプ33₀～33₆₃、35₀～35₆₃とを備えている。階調電源回路31は、階調電圧 $V_{0^+} \sim V_{63^+}$ 及び階調電圧 $V_{0^-} \sim V_{63^-}$ を発生するために使用される電圧バイアスを発生する。本実施形態では、階調電源回路31は、4つの電圧バイアス V_{H^+} 、 V_{L^+} 、 V_{L^-} 、 V_{H^-} を発生する。ここで電圧バイアス V_{H^+} 、 V_{L^+} の極性は、コモン電位に対して正であり、電圧バイアス V_{L^-} 、 V_{H^-} の極性は、コモン電位に対して負である。電圧バイアス V_{H^+} 、 V_{L^+} 、 V_{H^-} 、 V_{L^-} の間には、下記の関係が成立する：

20

$$V_{H^+} > V_{L^+} > V_{COM} > V_{L^-} > V_{H^-},$$

ただし、 V_{COM} は、コモン電位である。電圧バイアス V_{H^+} は、直列接続抵抗32の一端に供給され、電圧バイアス V_{L^+} は、直列接続抵抗32の他端に供給される。一方、電圧バイアス V_{L^-} は、直列接続抵抗34の一端に供給され、電圧バイアス V_{H^-} は、直列接続抵抗34の他端に供給される。

30

【0039】

直列接続抵抗32とアンプ33₀～33₆₃は、電圧バイアス V_{H^+} 、 V_{L^+} から階調電圧 $V_{0^+} \sim V_{63^+}$ を発生する回路として機能する。アンプ33₀～33₆₃は、直列接続抵抗32に発生されている電位から、それぞれ、正の階調電圧 $V_{0^+} \sim V_{63^+}$ を発生する。具体的には、アンプ33₀～33₆₃の入力は、直列接続抵抗32のノードにそれぞれに接続されており、且つ、アンプ33₀～33₆₃は、それぞれが電圧フォロアとして動作する。これにより、アンプ33₀～33₆₃の出力から階調電圧 $V_{0^+} \sim V_{63^+}$ が出力される。階調電圧 $V_{0^+} \sim V_{63^+}$ は、それぞれ、アンプ33₀～33₆₃が直列接続抵抗32に接続されているノードの電位に対応する電圧レベルを有している。

40

【0040】

同様に、直列接続抵抗34とアンプ35₀～35₆₃は、電圧バイアス V_{H^-} 、 V_{L^-} から階調電圧 $V_{0^-} \sim V_{63^-}$ を発生する回路として機能する。アンプ35₀～35₆₃は、それぞれが電圧フォロアとして動作し、直列接続抵抗34の各ノードに発生されている電位から、それぞれ、負の階調電圧 $V_{0^-} \sim V_{63^-}$ を発生する。階調電圧 $V_{0^-} \sim V_{63^-}$ は、それぞれ、アンプ35₀～35₆₃が直列接続抵抗34に接続されているノードの電位に対応する電圧レベルを有している。

【0041】

階調電源回路31は、アンプ36₁、36₂、37₁、37₂と、定電圧源38a、3

50

8 b、39 a、39 bとを備えている。定電圧源38 a、38 b、39 a、39 bは、それぞれ、電圧バイアス V_H^+ 、 V_L^+ 、 V_L^- 、 V_H^- と同一のレベルの電圧を発生する。アンプ36₁、36₂、37₁、37₂は、電圧フォロアとして動作し、定電圧源38 a、38 b、39 a、39 bから供給される電圧から、電圧バイアス V_H^+ 、 V_L^+ 、 V_L^- 、 V_H^- を発生する。

【0042】

アンプ36、37は、オフセットキャンセル制御信号に応じて、そのオフセットの方向を切り替え可能であるように構成されている。一般に、2入力のアンプを用いて電圧フォロアを構成した場合、例えば差動トランジスタ対の特性の相違に起因して、ある方向にオフセットが発生することは不可避である。2入力のアンプの入力の一方に所定の電圧を供給し、他方をアンプの出力に接続した場合には、理想的には当該アンプの出力には、当該所定の電圧が出力される。しかし、アンプのオフセットにより、アンプの出力は、当該所定の電圧から正の方向に又は負の方向に外れる。本実施形態では、アンプ36、37のオフセットの方向が、オフセットキャンセル制御信号に応じて切り換えられる。

【0043】

図8Aは、アンプ36、37の構成の一例を示す回路図である。アンプ36、37は、PMOSトランジスタMP1、MP2と、NMOSトランジスタMN1～MN3と、スイッチ素子S1～S8と、定電流源I₁、I₂と、キャパシタCとを備えている。

【0044】

PチャネルトランジスタMP1、MP2は、アンプ36、37の入力段を構成するトランジスタ対である。PMOSトランジスタMP1、MP2のソースは、定電流源I₁の出力に接続されている。定電流源I₁の入力は、電圧レベル V_{DD} を有する電源線に共通に接続されている。PMOSトランジスタMP1、MP2のドレインは、それぞれ、NMOSトランジスタMN1、MN2のドレインに接続されている。

【0045】

NMOSトランジスタMN1、MN2は、カレントミラーとして動作する。NMOSトランジスタMN1、MN2のゲートは、共通に接続されている。更に、NMOSトランジスタMN1、MN2のソースは、電圧レベル V_{SS} を有する電源線に共通に接続されている。

【0046】

NMOSトランジスタMN1、MN2で構成されるカレントミラーの入力と出力は、スイッチS1～S4によって切り換え可能である。NMOSトランジスタMN1、MN2のドレインは、それぞれ、スイッチS1、S2を介して、NMOSトランジスタMN1、MN2の共通に接続されているゲートに接続されている。更に、NMOSトランジスタMN1、MN2のドレインは、それぞれ、スイッチS3、S4を介してNMOSトランジスタMN3のゲートに接続されている。スイッチS1、S4がオンされ、スイッチS2、S3がオフされると、NMOSトランジスタMN1のドレインがカレントミラーの入力として機能し、NMOSトランジスタMN2のドレインが出力として機能する。逆に、スイッチS2、S3がオンされ、スイッチS1、S4がオフされると、NMOSトランジスタMN2のドレインがカレントミラーの入力として機能し、NMOSトランジスタMN1のドレインが出力として機能する。

【0047】

NMOSトランジスタMN3のソースは、電圧レベル V_{SS} を有する電源線に接続され、NMOSトランジスタMN3のドレインは、出力端子Vout及び定電流源I₂の出力に接続されている。定電流源I₂の入力は、電圧レベル V_{DD} を有する電源線に接続されている。出力端子Voutは、キャパシタCを介してNMOSトランジスタMN3のゲートに接続されている。

【0048】

スイッチS5～S8は、入力端子Vin、出力端子Voutと、PMOSトランジスタMP1、MP2のゲートとの間の接続関係を切り換えるために使用される。スイッチS5

は、出力端子VoutとPMOSトランジスタMP2のゲートの間に接続され、スイッチS6は、出力端子VoutとPMOSトランジスタMP1のゲートの間に接続される。一方、スイッチS7は、入力端子VinとPMOSトランジスタMP1のゲートの間に接続され、スイッチS8は、入力端子VinとPMOSトランジスタMP2のゲートの間に接続される。

【0049】

アンプ36、37が図8Aの構成を有する場合、アンプ36、37のオフセットの方向及び大きさは、PMOSトランジスタMP1、MP2の特性の差、及びNMOSトランジスタMN1、MN2の特性の差によって決定される。そして、オフセットキャンセル制御信号に応じてスイッチS1～S8をオンオフすることにより、アンプ36、37は、その

10

【0050】

図8Aに示されているように、アンプ36、37のオフセットの方向をある方向に設定する場合には、スイッチS6、S8がオンされ、スイッチS5、S7がオフされる。これにより、入力端子VinがPMOSトランジスタMP2に接続され、出力端子VoutがPMOSトランジスタMP1に接続される。更に、スイッチS1、S4がオンされ、スイッチS2、S3がオフされる。これにより、NMOSトランジスタMN1のドレインがカレントミラーの入力として機能し、NMOSトランジスタMN2のドレインが出力として機能する。

【0051】

20

アンプ36、37のオフセットの方向を逆の方向に設定する場合には、図8Bに示されているように、スイッチS5、S7がオンされ、スイッチS6、S8がオフされる。これにより、アンプ36、37は、入力端子VinがPMOSトランジスタMP1に接続され、出力端子VoutがPMOSトランジスタMP2に接続されるように切り換えられる。加えて、スイッチS2、S3がオンされ、スイッチS1、S4がオフされる。これにより、NMOSトランジスタMN2のドレインがカレントミラーの入力として機能し、NMOSトランジスタMN1のドレインが出力として機能する。

【0052】

このような動作により、アンプ36、37は、そのオフセットの方向を切り換えることができる。オフセットの方向を切り換えるためのアンプ36、37の構成は、図8Aに限定されず、様々な構成が使用され得ることを強調しておく。

30

【0053】

本実施形態の表示装置の主たる特徴は、各データドライバ2の階調電源回路31のアンプ36、37のオフセットの方向が、特定の周期で切り換えられることにある。本実施形態では、図9Aに示されているように、各データドライバ2の階調電源回路31のアンプ36、37のオフセットの方向が2フレーム期間毎に（即ち、4フレーム期間の周期で）切り換えられる。言い換えれば、アンプ36、37は、ある2フレームの間、オフセットが特定の方向になるように設定され、それに続く2フレームの間、オフセットが前記特定の方向と逆の方向になるように設定される。

【0054】

40

このような動作により、液晶表示パネル1の全ての画素について階調電源回路31のアンプ36、37のオフセットの影響が時間的にキャンセルされ、これにより、各データドライバ2のガンマ特性が時間平均では同一になる。これにより、アンプ36、37のオフセットに起因するブロックむらが低減される。

【0055】

本実施形態では、データ信号の極性が切り換えられる周期は2フレーム周期であり、アンプ36、37のオフセットの方向が切り換えられる周期よりも短い。このように、データ信号の極性が切り換えられる周期のほうが、アンプ36、37のオフセットの方向が切り換えられる周期よりも短くされるのは、画素に供給される駆動電圧の直流成分を減少させつつ、データ信号の極性とアンプ36、37のオフセットの方向の組み合わせの全てが

50

発現するようにするためである。特定の画素を考えると、画素に供給されるデータ信号の極性には2つの状態があり、アンプ36、37のオフセットにも、2つの状態がある。したがって、各データドライバ2には4つの状態がある。液晶表示パネル1の全ての画素についてアンプ36、37のオフセットの影響をキャンセルするためには、各データドライバ2は、この4つの状態が周期的に現れるように動作される必要がある。その一方で、各画素に加えられる駆動電圧の直流成分を減少させるためには、画素それぞれに加えられるデータ信号の極性になるべく短い周期で反転されることが望ましい。このため、データ信号の極性は2フレーム期間の周期で反転され、アンプ36、37のオフセットの方向が4フレーム期間の周期で反転される。

【0056】

10

例えば、ある特定の画素について考えると、第1フレームにおいて当該画素は、アンプ36₁、36₂、37₁、37₂のオフセットが、それぞれ「+A」、「+B」、「+C」、「+D」に設定された状態で、正のデータ信号によって駆動される。図9において、 V_H^{+*} 、 V_L^{+*} 、 V_L^{-*} 、 V_H^{-*} は、アンプ36₁、36₂、37₁、37₂から出力される電圧バイアスの所望値である。オフセットA、B、C、Dに付された正符号は、単に、オフセットの方向の一方であることを表しているに過ぎず、第1フレームにおけるアンプ36₁、36₂、37₁、37₂のオフセットは、それぞれ、負電圧であり得ることに留意されたい。図9には、第1フレームにおけるアンプ36₁、36₂、37₁のオフセットが正であり、アンプ37₂のオフセットが負である場合が図示されている。

【0057】

20

第2フレームでは、アンプ36、37のオフセットが、第1フレームと同一に設定されている状態で、当該画素が負のデータ信号によって駆動される。続く第3フレームでは、アンプ36、37のオフセットの方向が反転された状態で、当該画素が負のデータ信号によって駆動される。即ち、第3フレームでは、アンプ36₁、36₂、37₁、37₂のオフセットは、それぞれ、「-A」、「-B」、「-C」、「-D」に設定される。続く第4フレームでは、アンプ36、37のオフセットが、第3フレームと同一に設定されている状態で、当該画素が負のデータ信号によって駆動される。以後のフレームでは、第1乃至第4フレームの動作が繰り返して行われる。

【0058】

このような動作によってブロックむらが低減されることを、例えば、全画素の階調が同一である画像が、長期間に渡って表示される場合を例として説明する。全画素の階調が同一である場合が、ブロックむらが最も顕著に現れる場合であることに留意されたい。

30

【0059】

図10Aは、データドライバ2₁が出力するデータ信号の電圧レベルを示す図であり、図10Bは、データドライバ2₂が出力するデータ信号の電圧レベルを示す図である。図10A、図10Bの動作では、表示データの値が2であることに留意されたい。以下では、表示データ「2」に対応する階調電圧 V_2^{+} の所望値を「 V_2^{+*} 」、階調電圧 V_2^{-} の所望値を「 V_2^{-*} 」と記載する。図10A、図10Bの動作では、データドライバ2₁、2₂は、電圧レベルが階調電圧 V_2^{+*} 又は V_2^{-*} に一致するデータ信号を出力することが求められるが、アンプ36、37のオフセットにより、実際にはそうはならない

40

【0060】

例えば、データドライバ2₁のアンプ36₁、36₂のオフセットが「+A」、「+B」であり、データドライバ2₂のアンプ36₁、36₂のオフセットが「+A'」、「+B'」であり、直列接続抵抗32が同一の抵抗値Rを有する63個の抵抗器によって構成されている場合を考えよう（実際には、直列接続抵抗32の各抵抗器の抵抗値は所望のガンマ特性に合わせて決定されているが、簡単のためにこのように仮定する）。この場合、データドライバ2₁の直列接続抵抗32に生成される階調電圧 V^{2+} は、

$$\begin{aligned} V^{2+} &= 2(V_H^{+*} + A) / 63 + 61(V_L^{+*} + B) / 63, \\ &= V_2^{+*} + 2A / 63 + 61B / 63, \end{aligned}$$

50

であり、データドライバ2₂の直列接続抵抗32に生成される階調電圧 V_2^{+} は、

$$\begin{aligned} V_2^{+} &= 2(V_H^{+} + A') / 63 + 61(V_L^{+} + B') / 63, \\ &= V_2^{-*} + 2A' / 63 + 61B' / 63, \end{aligned}$$

である。記号「'」は、データドライバ2₂の階調電圧 V_2^{+} であることを示すために使用されている。このように、アンプ36₁、36₂にオフセットがあると、直列接続抵抗32によって実際に生成される階調電圧 V_2^{+} 、 V_2^{+} は、所望の階調電圧 V_2^{+*} に一致しない。そして、一般には、AとA'は相違し、BとB'は相違するから、階調データの値「2」に対応して生成される正の階調電圧 V_2^{+} は、データドライバ2₁とデータドライバ2₂とで互いに異なる。

【0061】

10

負の階調電圧 V_2^{-} についても同様である。データドライバ2₁のアンプ37₁、37₂のオフセットが「+C」、「+C」であり、データドライバ2₂のアンプ37₁、37₂のオフセットが「+D'」、「+D'」であり、直列接続抵抗34が同一の抵抗値Rを有する63個の抵抗器によって構成されている場合、データドライバ2₁の直列接続抵抗34に生成される階調電圧 V_2^{-} は、

$$\begin{aligned} V_2^{-} &= 2(V_L^{-} + C) / 63 + 61(V_H^{-} + D) / 63, \\ &= V_2^{-*} + 2C / 63 + 61D / 63, \end{aligned}$$

であり、データドライバ2₂の直列接続抵抗32に生成される階調電圧 V_2^{+} は、

$$\begin{aligned} V_2^{+} &= 2(V_L^{-} + C') / 63 + 61(V_H^{-} + D') / 63, \\ &= V_2^{-*} + 2C' / 63 + 61D' / 63, \end{aligned}$$

20

である。このように、アンプ37₁、37₂にオフセットがあると、直列接続抵抗34によって実際に生成される階調電圧 V_2^{-} 、 V_2^{-} は、所望の階調電圧 V_2^{-*} に一致しない。そして、一般には、CとC'は相違し、DとD'は相違するから、階調データの値「2」に対応して生成される負の階調電圧 V_2^{-} は、データドライバ2₁とデータドライバ2₂とで互いに異なる。

【0062】

以上に説明されているように、アンプ36のオフセットに起因して、データドライバ2₁、2₂が実際に生成する階調電圧 V_2^{+} 、 V_2^{+} は、所望値 V_2^{+*} 、 V_2^{-*} からずれており、その所望値からの誤差は、データドライバ2₁、2₂で異なっている。具体的には、第1フレームでは、データドライバ2₁は、電圧レベルが $V_2^{+*} + a$ であるデータ信号を出力し、データドライバ2₂は、電圧レベルが $V_2^{+*} + a'$ であるデータ信号を出力する。ここでa、a'は、データ信号の電圧レベルの所望値 V_2^{+*} からの誤差であり、データドライバ2₁、2₂それぞれのアンプ36₁、36₂のオフセット「+A」、「+B」によって決まる値である。アンプ36₁、36₂の特性は、通常、データドライバ2₁、2₂で相違しているから、通常、aとa'は相違している。

30

【0063】

第2フレームでは、データドライバ2₁は、電圧レベルが $V_2^{-*} + d$ であるデータ信号を出力し、データドライバ2₂は、電圧レベルが $V_2^{-*} + d'$ であるデータ信号を出力する。d、d'は、データ信号の電圧レベルの所望値 V_2^{-*} からの誤差であり、データドライバ2₁、2₂のアンプ37₁、37₂のオフセット「+C」、「+D」によって決まる値である。アンプ37₁、37₂の特性は、通常、データドライバ2₁、2₂で相違しているから、通常、dとd'は相違している。

40

【0064】

仮にアンプ36、37のオフセットの方向が切り換えられずに、第3フレーム以降も、第1フレーム、第2フレームと同様の動作が繰り返されると、「a」と「a'」の差、及び「d」と「d'」の差が、そのまま画素の階調に現れ、データドライバ2₁によって駆動される画素の階調と、データドライバ2₂によって駆動される画素の階調とが微妙に異なる結果になる。これは、「ブロックむら」として液晶表示パネル1に現れる。

【0065】

本実施形態では、アンプ36、37のオフセットの方向が反転されることにより、オフ

50

セットに起因するデータ信号の電圧レベルの所望値からの誤差が、各データドライバ2についてキャンセルされる。具体的には、第3フレームでは、アンプ36₁、36₂のオフセットが、それぞれ「-A」、「-B」であり、第1フレームと反対の方向である。したがって、データドライバ2₁は、電圧レベルが $V_2 + * - a$ であるデータ信号を出力し、データドライバ2₂は、電圧レベルが $V_2 + * - a'$ であるデータ信号を出力する。第4フレームでは、アンプ37₁、37₂のオフセットが、それぞれ「-C」、「-D」であり、第2フレームと反対の方向である。したがって、データドライバ2₁は、電圧レベルが $V_2 - * - d$ であるデータ信号を出力し、データドライバ2₂は、電圧レベルが $V_2 - * - d'$ であるデータ信号を出力する。以後のフレームでは、第1乃至第4フレームの動作が繰り返される。

10

【0066】

このような動作によれば、データドライバ2₁によって駆動される画素の階調と、データドライバ2₂によって駆動される画素の階調を、時間平均において同一にすることができ、「ブロックむら」を低減させることができる。詳細には、データドライバ2₁、2₂が表示データ「2」に対して生成する正のデータ信号の信号レベルの誤差は、第(4j+1)フレーム期間と第(4j+3)フレーム期間とでキャンセルされる。したがって、データドライバ2₁、2₂が表示データ「2」に対して生成する正のデータ信号の電圧レベルは、いずれも、時間平均では所望値 $V_2 + *$ に一致する。同様に、データドライバ2₁、2₂が表示データ「2」に対して生成する負のデータ信号の電圧レベルは、いずれも、時間平均では所望値 $V_2 - *$ に一致する。したがって、データドライバ2₁、2₂に同一の表示データが供給された場合における階調は、データドライバ2₁によって駆動された画素とデータドライバ2₂によって駆動された画素とで理想的には一致し、「ブロックむら」は現れない。

20

【0067】

現実には、アンプ36、37のオフセットの大きさは、方向によって相違することがあり、ブロックむらは完全には解消されないかもしれない。しかし、アンプ36、37のオフセットの大きさが異なる場合でも、ブロックむらが抑制されることは当業者には容易に理解されよう。

【0068】

上述のように、図9Aの動作では、アンプ36、37のオフセットが2フレーム期間毎に切り換えられる。しかし、図9Aの動作では、オフセットが大きい場合には、画像の各画素の階調が2フレーム毎に大きく変化することになる。これは、フリッカとして液晶表示パネル1に現れ得る。

30

【0069】

このようなフリッカを抑制するためには、アンプ36、37のオフセットの方向を、隣接するラインで逆になるように駆動することが好適である。図9Bは、アンプ36、37のオフセットが隣接するラインで逆になる場合のデータドライバ2の動作を示すタイミングチャートである。図9Bは、液晶表示パネル1がSXGA(super extended graphic array)に準拠しており、ライン数が1024本である場合の動作を示しているが、ライン数が1024に限られないことは当業者には自明である。

40

【0070】

第1フレーム、第2フレームでは、アンプ36₁、36₂、37₁、37₂のオフセットは、奇数ラインの画素の駆動において、それぞれ、「+A」、「+B」、「+C」、「+D」に設定され、偶数ラインの画素の駆動において、それぞれ、「-A」、「-B」、「-C」、「-D」に設定される。第3フレーム、第4フレームでは、アンプ36₁、36₂、37₁、37₂のオフセットは、奇数ラインの画素の駆動において、それぞれ、「-A」、「-B」、「-C」、「-D」に設定され、偶数ラインの画素の駆動において、それぞれ、「+A」、「+B」、「+C」、「+D」に設定される。以降のフレームでは、第1～第4フレームの動作が繰り返される。これにより、アンプ36、37のオフセットの方向は、隣接するラインで逆に設定され、且つ、同一のラインを駆動するために使用

50

されるアンプ36、37のオフセットは、2フレーム期間毎に切り換えられる。

【0071】

以上に説明されているように、本実施形態の表示装置は、階調電源回路のアンプのオフセットの方向を特定周期で切り替えることにより、ブロックむらを抑制することができる。加えて、階調電源回路のアンプのオフセットの方向を、隣接するラインで逆になるように駆動することにより、フリッカを抑制することができる。

【0072】

なお、本実施形態において、階調電源回路の構成は、様々に変更可能であることに留意されたい。特に、階調電源回路のアンプのオフセットの方向を切り換えることによる「ブロックむら」の抑制は、階調電源回路のアンプの数が2でない場合でも有効であることに留意されたい。例えば図11に示されているように、各データドライバ2の階調電源回路31が、定電圧源41、42、44、45と、直列接続抵抗43、44と、アンプ36₁～36_M ($M \geq 3$) と、アンプ37₁～37_M とで構成されることがある。この場合も、各アンプ36、37のオフセットの方向を特定周期で（最も好適には4フレーム周期で）切り換えることにより、ブロックむらを抑制することができる。

【0073】

（第2の実施形態）

第2の実施形態では、フレームレートコントロール（FRC）が行われ、これにより、疑似多階調表示が行われる。フレームレートコントロールとは、図12に示されているように、画素の階調を所定数のフレーム期間を周期として変化させることにより、中間階調を実現する技術である。図12には、4フレーム期間を周期とするフレームレートコントロールの例を示す図である。図12のフレームレートコントロールでは、「フレーム1」、「フレーム2」、「フレーム4」では表示データが「2」に設定され、「フレーム3」では表示データが「1」に設定され、これにより、「1.75」の表示データに対応する中間階調が擬似的に実現される。

【0074】

このようなフレームレートコントロールは、多くの場合、減色処理と共に使用される。例えば、図13に示されているように、外部からタイミングコントローラ5に供給される表示データが8ビットであるのに対し、データドライバ2が、本来、6ビットの表示データにしか対応していない場合を考える。この場合、8ビットの表示データから2ビットの減色処理によって6ビットの表示データが生成され、この6ビットの表示データに応答して信号線が駆動される。必要がある場合にはタイミングコントローラ5に外部から供給される表示データを「入力表示データ」、減色処理によって生成された表示データを「減色表示データ」と記載することにより、これらを区別する。

【0075】

減色表示データは、フレームレートコントロールに基づいて生成され、これにより、6ビットの減色表示データを用いて8ビットの階調表示が擬似的に実現される。減色処理としては、例えば、ディザマトリックスを用いた組織的ディザ法、及び、近傍画素の入力表示データと減色表示データとの誤差を注目画素の減色表示データの生成に用いる誤差拡散法とが使用され得る。

【0076】

図13は、ある特定画素について行われる減色処理の一例、具体的には、8ビットの入力表示データが「7」である場合の2ビットの減色処理を示す図である。当該特定画素の減色処理では、8ビットの入力表示データと2ビットのFRC誤差（ノイズ）とを加算し、得られた和から下位の2ビットを切り捨てることによって減色表示データが生成される。図13の処理では、FRC誤差としては、「00」、「01」、「10」、「11」の4つの値が使用可能であり、減色処理に使用されるFRC誤差は、これらの4つの値の間で逐次に変更される。組織的ディザ法が使用される場合には、FRC誤差の変更は、ディザマトリックスを変更することによって行われる。一方、誤差拡散法が使用される場合には、FRC誤差の変更は、各ラインの左端の画素に与えられる誤差の初期値を逐次に変更

することによって行われる。

【0077】

このようなフレームレートコントロールを行うために、本実施形態の表示装置のタイミングコントローラ5には、図14に示されているようにFRC演算回路8が設けられる。FRC演算回路8は、8ビットの入力表示データから6ビットの減色表示データを生成し、生成された減色表示データをデータドライバ2に供給する。データドライバ2のデータレジスタ回路22は、この減色表示データをラッチする。減色表示データはラッチ回路23、レベルシフト回路24を介してD/Aコンバータ25に転送され、減色表示データに対応する電圧レベルを有するデータ信号がD/Aコンバータ25及び出力アンプ26によって生成される。本実施形態の表示装置の他の構成は、第1の実施形態と同一である。階調電源回路31のアンプ36、37が、オフセットキャンセル制御信号に応じてオフセットの方向が反転可能であるように構成されている点が重要であることは、上述したとおりである。

10

【0078】

一つの問題は、アンプ36、37のオフセットの方向の切り換え制御とフレームレートコントロールの2つの制御が不適切に行われると、ブロックむらが発生し得ることである。図15A、図15Bは、不適切な制御により、ブロックむらが発生する原因を示すタイミングチャートである。

【0079】

例えば、図15A、図15Bに示されているように、ある特定画素に供給されるデータ信号の極性が1フレーム期間毎に反転され、且つ、FRC誤差が、8(=2²×2)フレーム期間の周期で変更され、且つ、アンプ36、37のオフセットの方向が2フレーム期間毎に(即ち、4フレーム期間の周期で)変更される場合を考える。8フレーム期間の周期は、データ信号の極性とFRC誤差との全ての組み合わせが1周期に現れることに基づいて決定されていることに留意されたい。

20

【0080】

このような動作では、異なるデータドライバ2では、同一の表示データに対して画素に現れる階調が微少に異なる。この微少な階調の差は、視覚的には「ブロックむら」として認識される。

【0081】

例えば、データドライバ2₁、2₂が、第1乃至第8フレーム期間において、それぞれ、「2」、「2」、「2」、「1」、「2」、「2」、「1」、「2」の表示データに基づいて画素を駆動する場合を考える。

30

【0082】

この場合、データドライバ2₁は、図15Aに示されているように、第1乃至第8フレームにおいて、それぞれ、電圧レベルが「V₂⁺*+a」、「V₂⁻*+d」、「V₂⁺*-a」、「V₁⁻*-c」、「V₂⁺*+a」、「V₂⁺*+d」、「V₁⁺*-b」、「V₂⁺*-d」のデータ信号を出力する。ここで、「+a」、「+b」、「+c」、「+d」は、データドライバ2₁のアンプ36₁、36₂、37₁、37₂のオフセットがそれぞれ、「+A」、「+B」、「+C」、「+D」に設定されることによって発生するデータ信号の電圧レベルの誤差である。同様に、「-a」、「-b」、「-c」、「-d」は、アンプ36₁、36₂、37₁、37₂のオフセットがそれぞれ、「-A」、「-B」、「-C」、「-D」であることによって発生するデータ信号の電圧レベルの誤差である。

40

【0083】

同様に、データドライバ2₂は、図15Bに示されているように、第1乃至第8フレームにおいて、それぞれ、電圧レベルが「V₂⁺*+a'」、「V₂⁻*+d'」、「V₂⁺*-a'」、「V₁⁻*-c'」、「V₂⁺*+a'」、「V₂⁺*+d'」、「V₁⁺*-b'」、「V₂⁺*-d'」のデータ信号を出力する。ここで、「+a'」、「+b'」、「+c'」、「+d'」は、データドライバ2₂のアンプ36₁、36₂、37

50

1 、 37_2 のオフセットがそれぞれ、「+A」、「+B」、「+C」、「+D」に設定されることによって発生するデータ信号の電圧レベルの誤差である。データドライバ 2_1 、 2_2 ではアンプ 36 、 37 のオフセットの方向及び／又は大きさは異なるから、「+a'」、「+b'」、「+c'」、「+d'」は、それぞれ「+a」、「+b」、「+c」、「+d」と相違していることに留意されたい。同様に、「-a'」、「-b'」、「-c'」、「-d'」は、データドライバ 2_2 のアンプ 36_1 、 36_2 、 37_1 、 37_2 のオフセットがそれぞれ、「-A」、「-B」、「-C」、「-D」であることによって発生するデータ信号の電圧レベルの誤差である。

【0084】

このような動作が行われる場合、データドライバ 2_1 、 2_2 が出力する正のデータ信号の電圧レベルの平均値は、データドライバ 2_1 、 2_2 の間で相違する。具体的には、データドライバ 2_1 が出力する正のデータ信号の平均値は、 $\{(3V_2 + * + V_1 + *) / 4\} + (a - b) / 4$ である。一方、データドライバ 2_2 が出力する正のデータ信号の平均値は、 $\{(3V_2 + * + V_1 + *) / 4\} + (a' - b') / 4$ である。 a と a' 、 b と b' は、一般には異なるから、正のデータ信号の平均値は、データドライバ 2_1 、 2_2 の間で相違する。同様な計算により、データドライバ 2_1 、 2_2 が出力する負のデータ信号の電圧レベルの平均値も異なることは、容易に理解されよう。

【0085】

データ信号の電圧レベルの平均値の相違は、画素に現れる階調を相違させ、結果として「ブロックむら」として視覚的に認識され得る。このように、図15A、図15Bに示されている動作には、「ブロックむら」が発生し得るという問題がある。

【0086】

かかる問題は、データ信号の極性と、FRC誤差と、アンプの 36 、 37 のオフセットの方向を、それらの全ての組み合わせが1周期に現れるように制御することによって解消される。図16は、このような制御の一つの例を示す図である。2ビットの減色処理が行われる場合、FRC誤差は $4 (= 2^2)$ つの値から選択され、データ信号の極性は2つの極性から選択され、そして、アンプの 36 、 37 のオフセットの方向は2つの方向から選択されるから、これらの組み合わせは、 16 種類 $(= 2^2 \times 2 \times 2)$ ある。本実施形態では、データ信号の極性と、FRC誤差と、アンプの 36 、 37 のオフセットの方向が、16フレーム期間を周期として制御され、これにより、データ信号の極性と、FRC誤差と、アンプの 36 、 37 のオフセットの方向の全ての組み合わせが制御の1周期に現れる。

【0087】

詳細には、図16に図示されている制御では、データ信号の極性が1フレーム期間毎に反転され、且つ、FRC誤差が、 $8 (= 2^2 \times 2)$ フレーム期間の周期で変更される。一方、アンプ 36 、 37 のオフセットの方向が16フレーム期間を周期として制御される。具体的には、制御の1周期の前半の第1～第 $(2^n \times 2)$ フレーム期間では、2フレーム毎にアンプの 36 、 37 のオフセットの方向が反転される。後半の第1～第 $(2^n \times 2)$ フレーム期間では、第 $\{(2^n \times 2) + 1\}$ ～第 $\{2^n \times 2 \times 2\}$ フレーム期間におけるアンプ 36 、 37 のオフセットの方向が、第1～第 $(2^n \times 2)$ フレーム期間のオフセットの方向と反対になるように制御される。このような制御により、データ信号の極性と、FRC誤差と、アンプの 36 、 37 のオフセットの方向の全ての組み合わせが制御の1周期に現れる。

【0088】

このような動作によってブロックむらが低減されることを、例えば、全画素の階調が同一である画像が、長期間に渡って表示される場合を例として説明する。全画素の階調が同一である場合が、ブロックむらが最も顕著に現れる場合であることに留意されたい。

【0089】

図17Aは、図16に示されている制御が行われた場合において、データドライバ 2_1 が出力するデータ信号の電圧レベルを示す図であり、図17Bは、データドライバ 2_2 が出力するデータ信号の電圧レベルを示す図である。図17A、図17Bにおいて、「 V_2

「 V_2^{+*} 」、「 V_2^{-*} 」は、それぞれ、減色表示データ「2」に対応する階調電圧 V_2^{+} 、 V_2^{-} の所望値であり、「 V_1^{+*} 」、「 V_1^{-*} 」は、減色表示データ「1」に対応する階調電圧 V_1^{+} 、 V_1^{-} の所望値である。

【0090】

図17A、図17Bから理解されるように、図16の動作が行われることにより、データ信号の極性、及び減色表示データの全ての組み合わせについて、アンプ36、37のオフセットに起因するデータ信号の電圧レベルの誤差がキャンセルされる。

【0091】

例えば、減色表示データ「2」に対応する正のデータ信号の電圧レベルについて考えると、一の制御の周期において、データドライバ2₁から電圧レベル「 $V_2^{+*} + a$ 」のデータ信号が出力される回数と、電圧レベル「 $V_2^{+*} - a$ 」のデータ信号が出力される回数とは、いずれも3回であり同数である。したがって、減色表示データ「2」に対応する正のデータ信号の電圧レベルの誤差「 $+a$ 」、「 $-a$ 」はキャンセルされる。減色表示データ「1」に対応する正のデータ信号の電圧レベルについては、一の制御の周期において、データドライバ2₁から電圧レベル「 $V_1^{-*} + b$ 」のデータ信号が出力される回数と、電圧レベル「 $V_1^{+*} - b$ 」のデータ信号が出力される回数とは、いずれも1回である。従って、減色表示データ「1」に対応する正のデータ信号の電圧レベルの誤差「 $+b$ 」、「 $-b$ 」はキャンセルされる。よって、データドライバ2₁から出力される正のデータ信号の電圧レベルは、平均で、 $(3V_2^{+*}/V_1^{+*})/4$ である。同様の考察により、負のデータ信号の電圧レベルの誤差「 $+c$ 」、「 $-c$ 」、及び誤差「 $+d$ 」、「 $-d$ 」がキャンセルされ、データドライバ2₁から出力される負のデータ信号の電圧レベルが、平均で $(3V_2^{-*}/V_1^{-*})/4$ であることは容易に理解されよう。

【0092】

これは、異なる誤差「 a' 」、「 b' 」、「 c' 」、「 d' 」を発現するデータドライバ2₂についても当てはまる。即ち、データドライバ2₂から出力される正のデータ信号の電圧レベルの平均は $(3V_2^{+*}/V_1^{+*})/4$ であり、負のデータ信号の電圧レベルの平均は $(3V_2^{-*}/V_1^{-*})/4$ であり、データドライバ2₁のそれらと一致する。

【0093】

したがって、データドライバ2₁、2₂に同一の表示データが供給された場合における階調は、データドライバ2₁によって駆動された画素と、データドライバ2₂によって駆動された画素との間で理想的には一致し、「ブロックむら」は現れない。

【0094】

このように、データ信号の極性と、FRC誤差と、アンプの36、37のオフセットの方向とを、それらの全ての組み合わせが制御の1周期に現れるように制御することにより、フレームレートコントロールを行う場合にも「ブロックむら」の発生を抑制することができる。一般に、 n ビットの減色処理が行われる場合に使用されるFRC誤差は 2^n 個あるから、 n ビットの減色処理が行われる場合には、 $(2^n \times 2 \times 2)$ フレーム期間を周期としてデータ信号の極性と、FRC誤差と、アンプの36、37のオフセットの方向の制御が行われることに留意されたい。

【0095】

図18は、データ信号の極性と、FRC誤差と、アンプの36、37のオフセットの方向を、それらの全ての組み合わせが制御の1周期に現れるように制御するための他の動作を示す図である。図18に図示されている制御では、データ信号の極性が1フレーム期間毎に反転され、アンプ36、37のオフセットの方向が2フレーム期間毎に反転される。FRC誤差は、16($=2^2 \times 4$)フレーム期間の周期で変更される。このような制御により、データ信号の極性と、FRC誤差と、アンプの36、37のオフセットの方向の全ての組み合わせが制御の1周期に現れる。このような制御でも、図16に示されている制御と同様に「ブロックむら」の発生を抑制することができる。

【0096】

図16に示されている制御と、図18に示されている制御との相違点は、図18に示さ

10

20

30

40

50

れている制御では、F R C 誤差が変更される周期がアンプ 3 6、3 7 のオフセットの方向が変更される周期よりも長い点にある。このことは、フリッカの発生を抑制するためには好ましくない。隣接する階調の階調電圧の差は、アンプ 3 6、3 7 のオフセットによって発生するデータ信号の電圧レベルの誤差よりも大きいから、F R C 誤差が変更される周期を長くすることは、フリッカを増大させる点で好ましくない。このような観点からは、図 1 6 に示されている制御のように、F R C 誤差が変更される周期がアンプ 3 6、3 7 のオフセットの方向が変更される周期よりも短いことが好ましい。

【0097】

本実施形態においても、図 9 B に示されている動作と同様に、アンプ 3 6、3 7 のオフセットの方向を、隣接するラインで逆になるように駆動することが好適である。この場合でも、同一のラインを駆動するために使用されるアンプ 3 6、3 7 のオフセットは、2 フレーム期間毎に切り換えられることに留意されたい。

10

【0098】

なお、以上に述べられた表示装置の構成及び動作の説明は、単に好適な実施形態を提示しているに過ぎず、表示装置の構成及び動作は、様々に変更可能であることに留意されたい。例えば、表示タイミング制御信号を発生する表示タイミング発生回路や、減色処理を行う F R C 演算回路は、タイミングコントローラではなく、各データドライバ 2 に内蔵されることも可能である。

【0099】

図 1 9 は、表示タイミング発生回路及び F R C 演算回路がデータドライバ 2 に内蔵されている場合の表示装置の構成を示すブロック図であり、図 2 0 は、データドライバ 2 の構成を示すブロック図である。

20

【0100】

図 1 9 の表示装置では、タイミングコントローラ 5 は、データドライバタイミング制御信号を各データドライバ 2 に供給し、これにより、データドライバ 2 の動作を同期させる。加えてタイミングコントローラ 5 は、外部から供給された入力表示データを各データドライバ 2 に転送する。

【0101】

一方、図 2 0 に示されているように、各データドライバ 2 には表示タイミング発生回路 2 8 と F R C 演算回路 2 9 とが内蔵される。表示タイミング発生回路 2 8 は、タイミングコントローラ 5 から送られるデータドライバタイミング制御信号に応答して、表示タイミング制御信号（例えば、極性反転信号、シフトパルス、データラッチ信号など）とオフセットキャンセル制御信号を生成する。F R C 演算回路 2 9 は、8 ビットの入力表示データから 6 ビットの減色表示データを生成し、データレジスタ回路 2 2 に供給する。この減色表示データがラッチ回路 2 3、レベルシフト回路 2 4 を介して D/A コンバータ 2 5 に転送され、データ信号の発生に使用される。

30

【0102】

また、上述の実施形態では、液晶表示パネル 1 を含む表示装置が提示されているが、本発明が、電圧駆動によって画素を駆動する他の表示装置に適用可能であることは、当業者には、自明的であろう。

40

【図面の簡単な説明】

【0103】

【図 1】図 1 は、従来の液晶表示装置の構成を示すブロック図である。

【図 2】図 2 は、従来の液晶表示装置の他の構成を示すブロック図である。

【図 3】図 3 は、従来の階調電圧発生回路の構成の例を示す回路図である。

【図 4 A】図 4 A は、従来の階調電圧発生回路において、アンプのオフセットがガンマ特性に及ぼす影響を説明するグラフである。

【図 4 B】図 4 B は、従来の階調電圧発生回路において、アンプのオフセットがガンマ特性に及ぼす影響を説明するグラフである。

【図 4 C】図 4 C は、従来の階調電圧発生回路において、アンプのオフセットがガンマ特

50

性に及ぼす影響を説明するグラフである。

【図４Ｄ】図４Ｄは、従来の階調電圧発生回路において、アンプのオフセットがガンマ特性に及ぼす影響を説明するグラフである。

【図５】図５は、本発明の第１の実施形態における表示装置の構成を示すブロック図である。

【図６】図６は、第１の実施形態の表示装置のデータドライバの構成を示すブロック図である。

【図７】図７は、図６のデータドライバに搭載されている階調電圧発生回路の構成を示す回路図である。

【図８Ａ】図８Ａは、階調電圧発生用バイアスを生成するアンプの構成の例を示す回路図である。

10

【図８Ｂ】図８Ｂは、階調電圧発生用バイアスを生成するアンプの構成の例を示す回路図である。

【図９Ａ】図９Ａは、第１の実施形態における、アンプのオフセット及びデータ信号の極性の好適な制御法を示すタイミングチャートである。

【図９Ｂ】図９Ｂは、第１の実施形態における、アンプのオフセット及びデータ信号の極性の、更に好適な制御法を示すタイミングチャートである。

【図１０Ａ】図１０Ａは、或るデータドライバが出力するデータ信号の電圧レベルを示すグラフである。

【図１０Ｂ】図１０Ｂは、他のデータドライバが出力するデータ信号の電圧レベルを示すグラフである。

20

【図１１】図１１は、図６のデータドライバに搭載され得る階調電圧発生回路の他の構成を示す回路図である。

【図１２】図１２は、フレームレートコントロールの一例を示す概念図である。

【図１３】図１３は、減色処理によって、フレームレートコントロールに対応する減色表示データを生成する方法を示す概念図である。

【図１４】図１４は、第２の実施形態における表示装置の構成を示すブロック図である。

【図１５Ａ】図１５Ａは、アンプのオフセットの方向の切り換えと、フレームレートコントロールとが不適切に行われた場合のデータドライバの動作を示すタイミングチャートである。

30

【図１５Ｂ】図１５Ｂは、アンプのオフセットの方向の切り換えと、フレームレートコントロールとが不適切に行われた場合のデータドライバの動作を示すタイミングチャートである。

【図１６】図１６は、データ信号の極性と、アンプのオフセットの方向の切り換えと、FRC誤差の好適な制御手順を示すタイミングチャートである。

【図１７Ａ】図１７Ａは、図１６に示された制御が行われたときの、或るデータドライバの動作を示すタイミングチャートである。

【図１７Ｂ】図１７Ｂは、図１６に示された制御が行われたときの、他のデータドライバの動作を示すタイミングチャートである。

【図１８】図１８は、データ信号の極性と、アンプのオフセットの方向の切り換えと、FRC誤差の他の好適な制御手順を示すタイミングチャートである。

40

【図１９】図１９は、第２の実施形態の表示装置の他の構成を示すブロック図である。

【図２０】図２０は、第２の実施形態におけるデータドライバの他の構成を示すブロック図である。

【符号の説明】

【０１０４】

１：液晶表示パネル

２：データドライバ

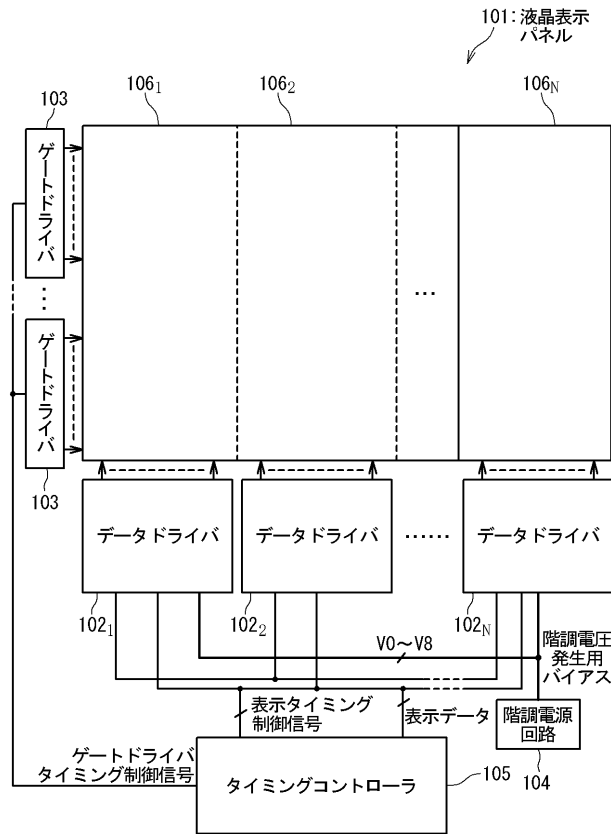
３：ゲートドライバ

５：タイミングコントローラ

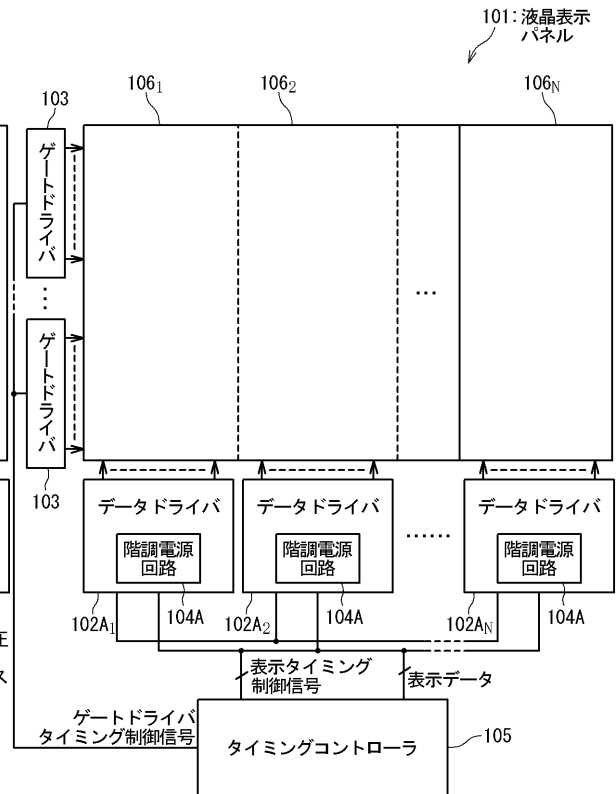
50

6：領域	
7：表示タイミング発生回路	
8：F R C 演算回路	
2 1：シフトレジスタ	
2 2：データレジスタ回路	
2 3：ラッチ回路	
2 4：レベルシフト回路	
2 5：D／Aコンバータ	
2 6：出力アンプ	
2 7：階調電圧発生回路	10
2 8：タイミング発生回路	
2 9：F R C 演算回路	
3 1：階調電源回路	
3 2、3 4：直列接続抵抗	
3 3、3 5：アンプ	
3 6、3 7：アンプ	
3 8 a、3 8 b、3 9 a、3 9 b：定電圧源	
4 1、4 2、4 4、4 5：定電圧源	
4 3、4 6：直列接続抵抗	
1 0 1：液晶表示パネル	20
1 0 2、1 0 2 A：データドライバ	
1 0 3：ゲートドライバ	
1 0 4、1 0 4 A：階調電源回路	
1 0 5：タイミングコントローラ	
1 0 6：領域	
2 0 1、2 0 2：定電圧源	
2 0 3、2 0 4：アンプ	
2 0 5：直列接続抵抗	

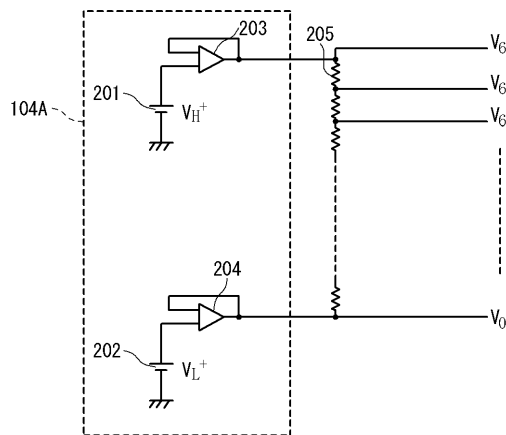
【図 1】



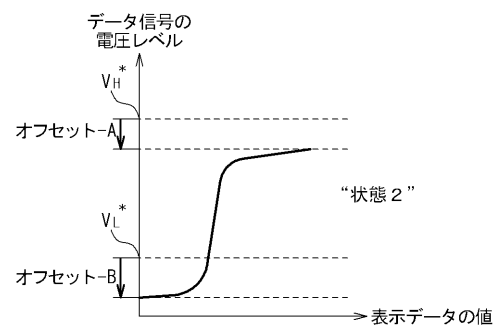
【図 2】



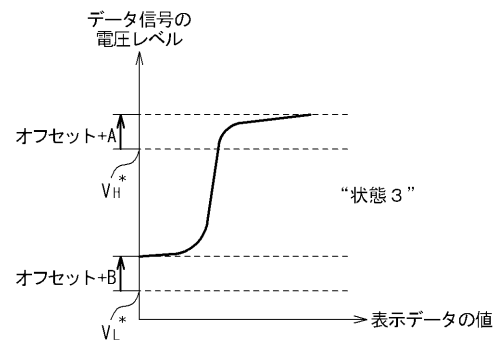
【図 3】



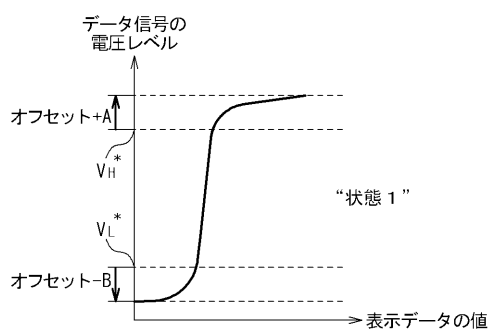
【図 4 B】



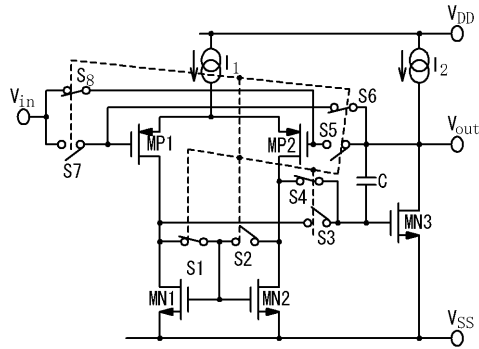
【図 4 C】



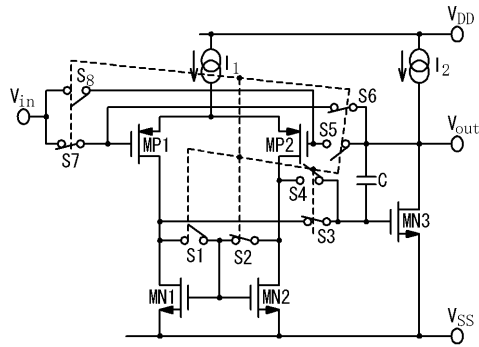
【図 4 A】



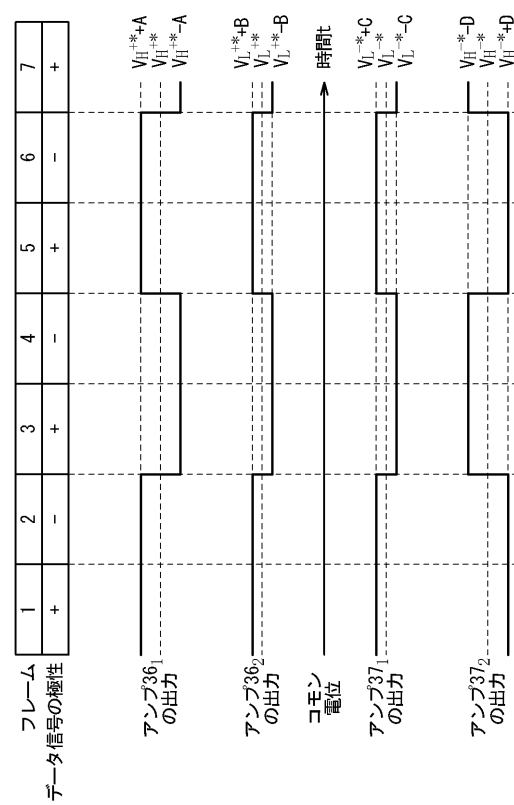
【図 8 A】



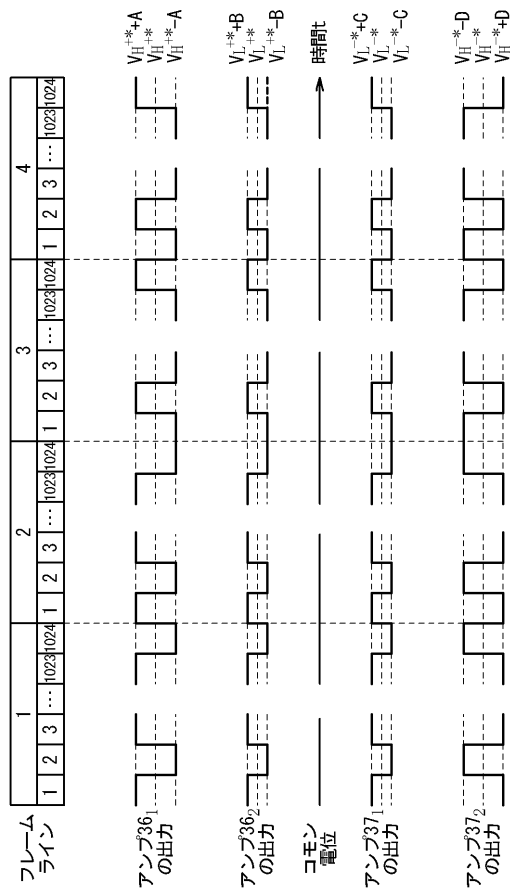
【図 8 B】



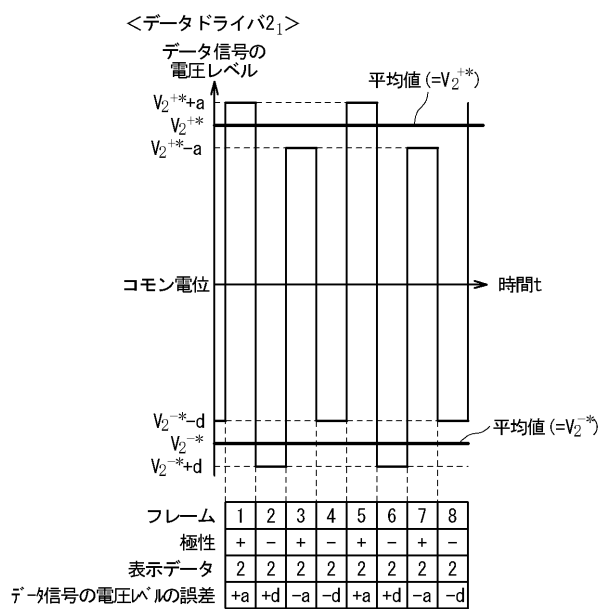
【図 9 A】



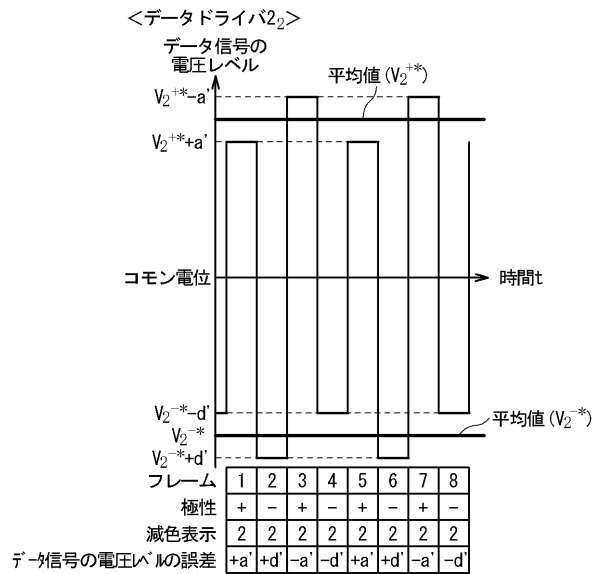
【図 9 B】



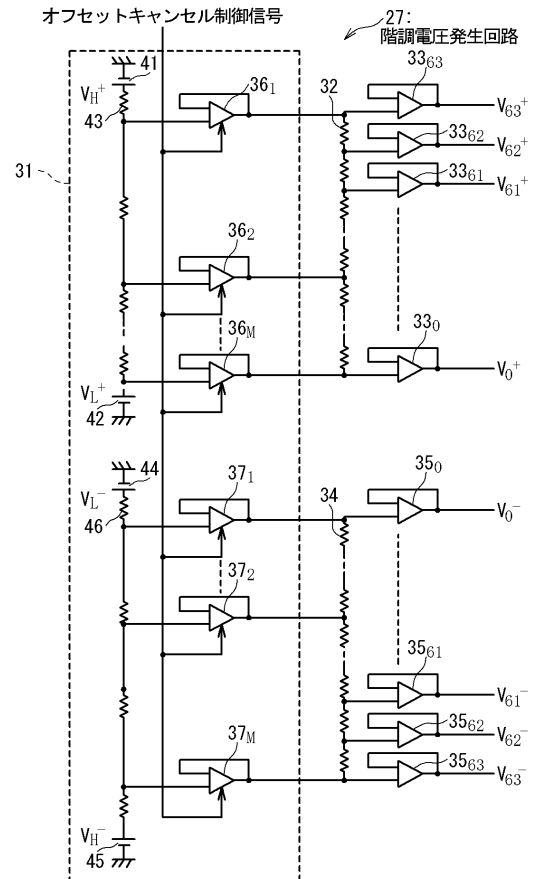
【図 10 A】



【図 10 B】



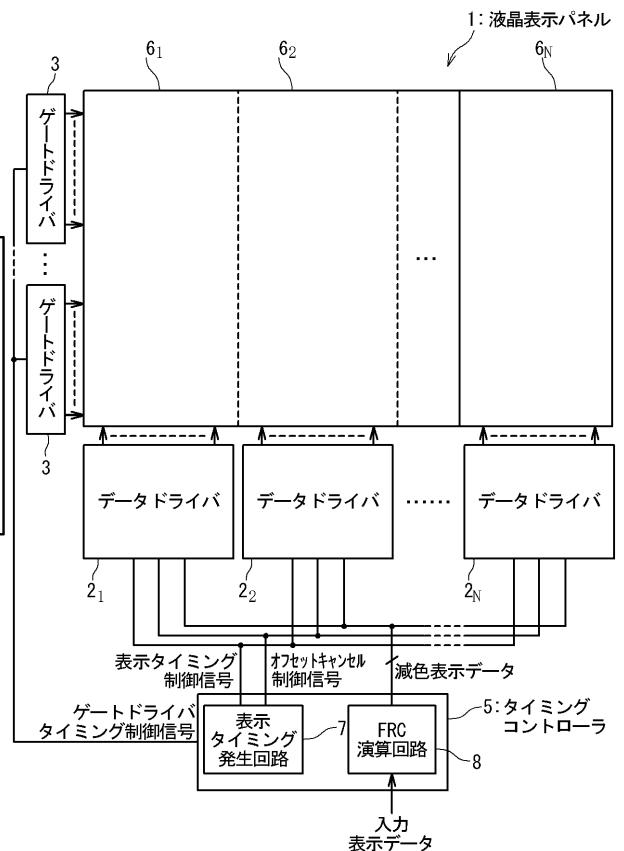
【図 11】



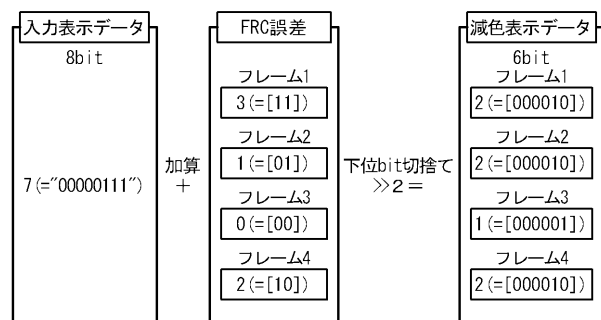
【図 12】



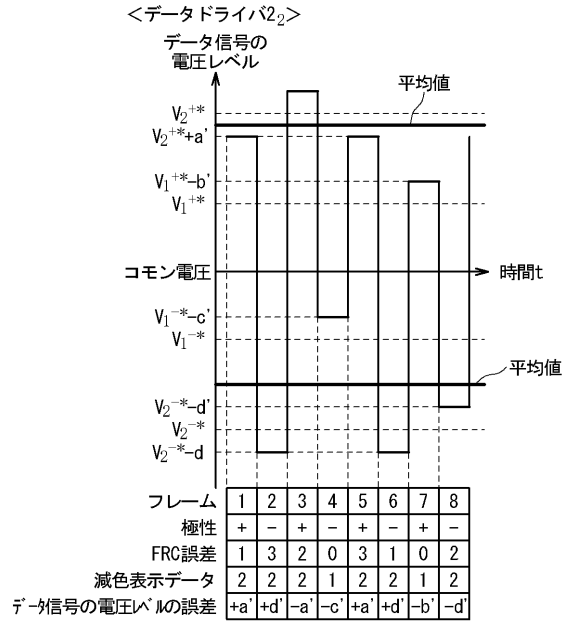
【図 14】



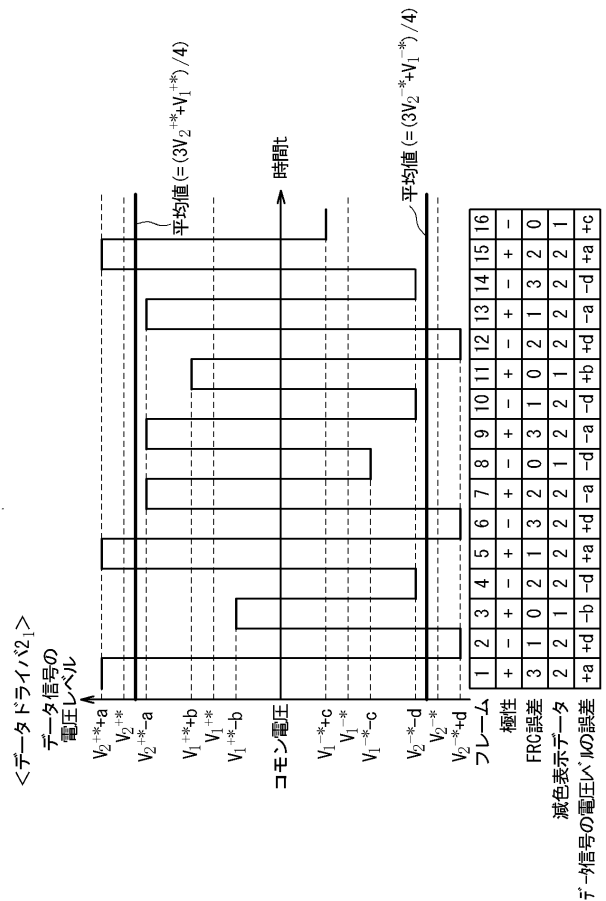
【図 13】



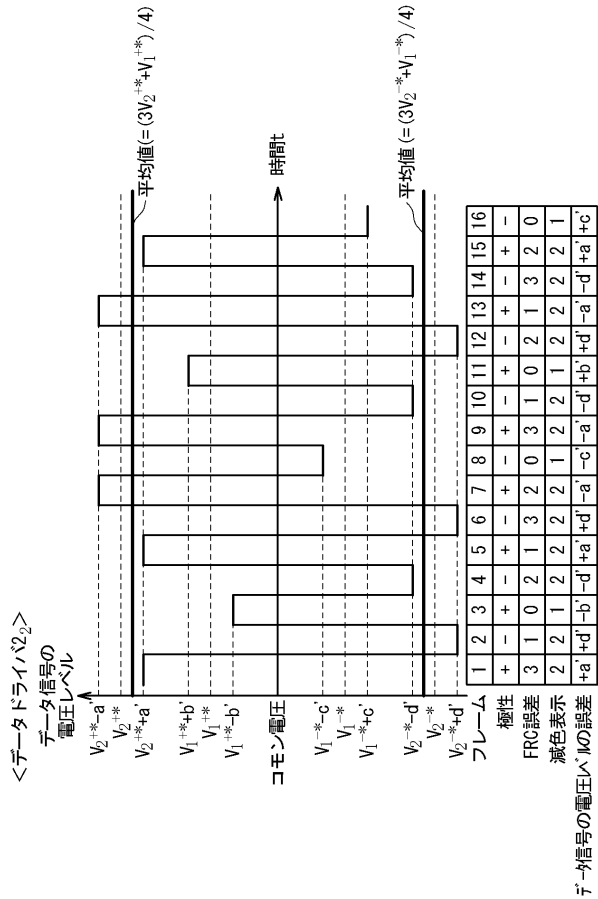
【図 1 5 B】



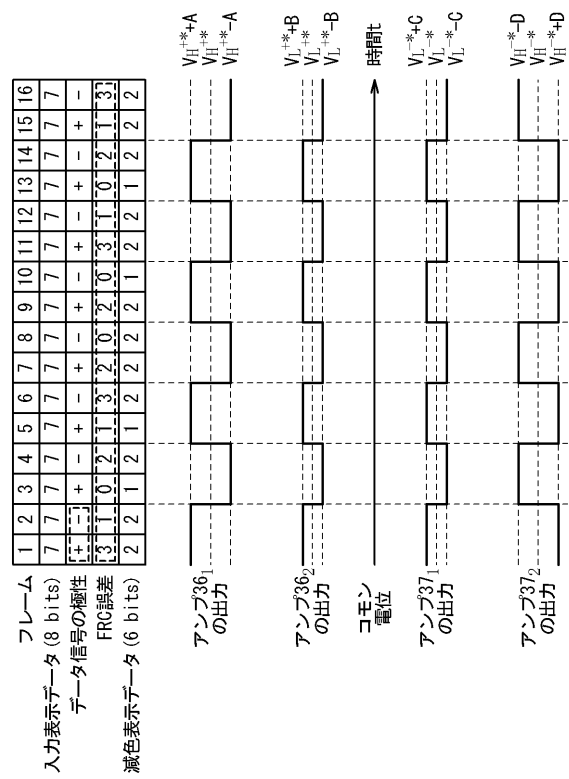
【图 17 A】



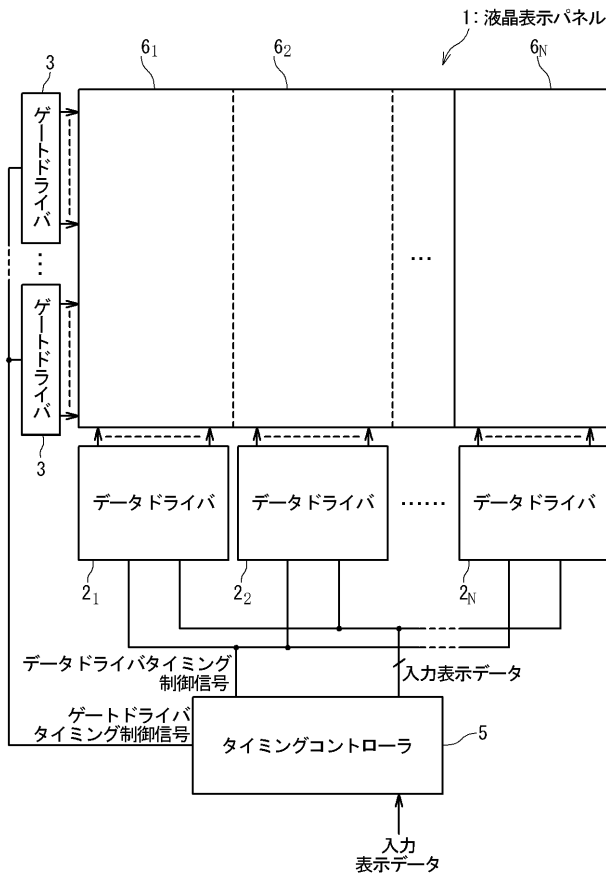
【図 1 7 B】



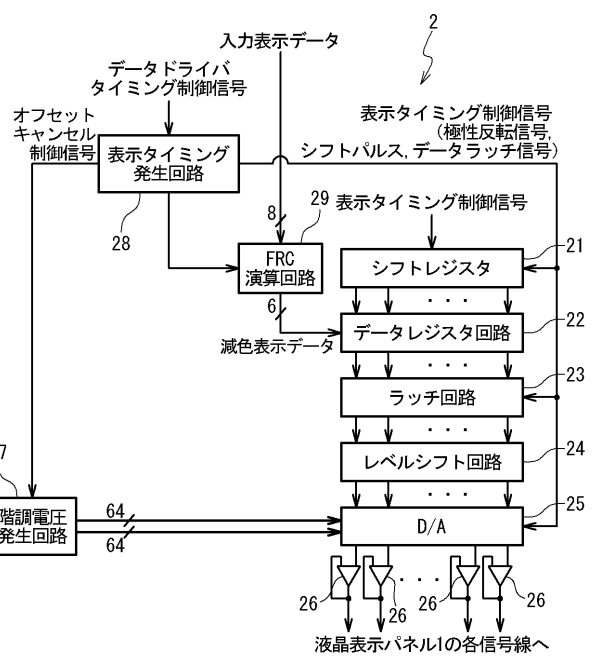
【図 18】



【図 19】



【図 20】



フロントページの続き

(51)Int.Cl.	F I		
	G 0 9 G	3/20	6 2 1 B
	G 0 9 G	3/20	6 4 1 H
	G 0 9 G	3/20	6 1 1 H
	G 0 9 G	3/20	6 4 2 B
	G 0 2 F	1/133	5 7 5

審査官 福村 拓

(56)参考文献 特開2005-316188 (JP, A)
特開平11-249623 (JP, A)
特開平11-305735 (JP, A)
特開2001-343948 (JP, A)
特開2004-279482 (JP, A)
特開2004-310033 (JP, A)
特開2001-125543 (JP, A)
特開平10-268253 (JP, A)
特開2003-280596 (JP, A)

(58)調査した分野(Int.Cl., DB名)

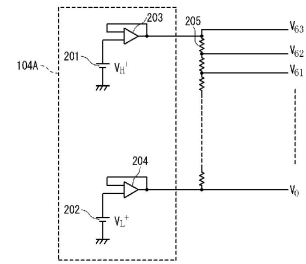
G 0 9 G	3/36
G 0 2 F	1/133
G 0 9 G	3/20

专利名称(译)	显示装置，数据驱动器和显示面板驱动方法		
公开(公告)号	JP4947620B2	公开(公告)日	2012-06-06
申请号	JP2006040360	申请日	2006-02-17
[标]申请(专利权)人(译)	NEC电子股份有限公司		
申请(专利权)人(译)	NEC电子公司		
当前申请(专利权)人(译)	瑞萨电子公司		
[标]发明人	降旗弘史 能勢崇 西村浩一		
发明人	降旗 弘史 能勢 崇 西村 浩一		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3685 G09G3/2011 G09G3/2018 G09G3/3614 G09G3/3666 G09G3/3696 G09G2300/0465 G09G2310/0221 G09G2320/0233 G09G2340/0435		
FI分类号	G09G3/36 G09G3/20.623.B G09G3/20.612.F G09G3/20.641.C G09G3/20.623.E G09G3/20.621.B G09G3/20.641.H G09G3/20.611.H G09G3/20.642.B G02F1/133.575		
F-TERM分类号	2H093/NA33 2H093/NA51 2H093/NC16 2H093/NC22 2H093/NC24 2H093/NC26 2H093/NC34 2H093/NC35 2H093/ND05 2H093/ND06 2H093/ND10 2H093/ND34 2H193/ZA04 2H193/ZC15 2H193/ZD21 2H193/ZD34 5C006/AA13 5C006/AA16 5C006/AC21 5C006/AC28 5C006/AF03 5C006/AF04 5C006/AF44 5C006/AF51 5C006/AF83 5C006/BB11 5C006/BC12 5C006/BC14 5C006/BC23 5C006/BF03 5C006/BF04 5C006/BF25 5C006/FA22 5C080/AA10 5C080/BB06 5C080/DD05 5C080/EE29 5C080/FF09 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	工藤稔		
审查员(译)	福村 拓		
其他公开文献	JP2007219200A		
外部链接	Espacenet		

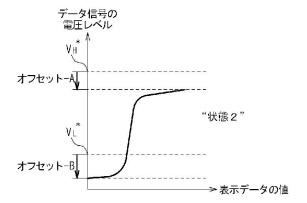
摘要(译)

要解决的问题：抑制由于构成灰度电源电路的放大器的偏移的变化引起的块不均匀性。解决方案：灰度电压产生电路27包括产生电压偏置的放大器36和37，用于从电压偏置产生多个灰度电压的串联电阻32和34，以及放大器33和35。和37被配置为切换偏移的方向。控制放大器36和37的偏移的方向，使得当在一个帧周期中驱动液晶显示板1的一个像素时设置的放大器的偏移方向与该偏移的方向相反。当在与帧周期不同的另一帧周期中驱动像素时，放大器36和37被设置。Ž

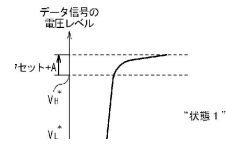
【 A 】



【 図 4 B 】



【 A 】



【 図 4 C 】

