

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4886226号
(P4886226)

(45) 発行日 平成24年2月29日 (2012. 2. 29)

(24) 登録日 平成23年12月16日 (2011. 12. 16)

(51) Int. Cl.

F I

G O 2 F 1/1345 (2006. 01)

G O 2 F 1/1345

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

G O 9 G 3/20 (2006. 01)

G O 9 G 3/20 6 1 1 Z

G O 9 G 3/36 (2006. 01)

G O 9 G 3/20 6 2 1 M

G O 9 G 3/20 6 8 O G

請求項の数 2 (全 9 頁) 最終頁に続く

(21) 出願番号 特願2005-190340 (P2005-190340)
 (22) 出願日 平成17年6月29日 (2005. 6. 29)
 (65) 公開番号 特開2007-10900 (P2007-10900A)
 (43) 公開日 平成19年1月18日 (2007. 1. 18)
 審査請求日 平成20年5月29日 (2008. 5. 29)

(73) 特許権者 302020207
 東芝モバイルディスプレイ株式会社
 埼玉県深谷市幡羅町一丁目9番地2
 (74) 代理人 100083806
 弁理士 三好 秀和
 (74) 代理人 100100712
 弁理士 岩▲崎▼ 幸邦
 (74) 代理人 100100929
 弁理士 川又 澄雄
 (74) 代理人 100108707
 弁理士 中村 友之
 (74) 代理人 100095500
 弁理士 伊藤 正和
 (74) 代理人 100101247
 弁理士 高橋 俊一

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

基板と、

前記基板に交差する向きに設置された複数の走査線及び複数の信号線と、

前記走査線と前記信号線との各交差点近傍に設けられた複数の画素電極と、

個々の前記画素電極に接続された複数の補助容量と、

前記補助容量に接続された補助容量線と、

前記基板に設けられ、前記走査線に接続された走査線駆動回路と、

前記基板に設けられ、前記走査線駆動回路に接続された走査線駆動回路電源信号線と、

前記基板に設けられ、一端が電圧供給部に接続されて他端が前記走査線駆動回路電源信号線と前記補助容量線の端部に接続された接続配線とに接続された共有配線と、
 を備えたことを特徴とする液晶表示装置。

【請求項 2】

前記走査線駆動回路電源信号線と前記接続配線との一方を前記共有配線から分離する分離部と、分離された前記走査線駆動回路電源信号線又は前記接続配線を他の電圧供給用配線に接続する接続部とを有することを特徴とする請求項 1 記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関し、特に、アクティブマトリクス駆動方式の液晶表示装置

10

20

に関する。

【背景技術】

【0002】

近年、パーソナルコンピュータや携帯テレビなどの表示装置として、薄型化、軽量化及び低消費電力化を図ることができる液晶表示装置が普及している。

【0003】

液晶表示装置のなかでも、複数の走査線と複数の信号線とを直交させて設置し、走査線と信号線との各交点付近に画素トランジスタである画素TFT(Thin Film Transistor)を配置したアクティブマトリクス駆動方式の液晶表示装置は、発色性に優れ、残像が少ないことから、今後の主流になると考えられている。

10

【0004】

従来のアクティブマトリクス駆動方式の液晶表示装置では、基板に信号線や走査線が設置され、この基板とは異なる他の基板に走査線や信号線に対して各種の信号を供給する駆動回路(走査線駆動回路、信号線駆動回路)を設けているため、液晶表示装置全体を小型化することが困難であった。

【0005】

そこで、走査線や信号線を設置する基板に駆動回路を一体に設けるアクティブマトリクス駆動方式の液晶表示装置の開発が進められている(例えば、特許文献1参照)。

【0006】

アクティブマトリクス駆動方式の液晶表示装置では、TFTとしてアモルファスシリコンTFTを用いたものと多結晶シリコンTFTを用いたものがある。

20

【0007】

アモルファスシリコンTFTを用いたアクティブマトリクス駆動方式の液晶表示装置では、基板における辺に沿った位置に走査線駆動回路を設け、信号線に対してはTCP(Tape Carrier Package)から映像信号を入力している。このため、信号線とTCPとを接続するための接続配線が必要であり、画素の高精細化に伴って接続配線数が多くなり、これらの接続配線間に十分なピッチを確保することが困難である。

【0008】

一方、多結晶シリコンTFTを用いたアクティブマトリクス駆動方式の液晶表示装置では、基板における辺に沿った位置に走査線駆動回路に加えて信号線駆動回路を設けている。このため、基板の外部に設ける外部接続部品を減らして低コスト化を図ることができ、かつ、外部接続部品との間の接続配線を減らすことができるという利点を備えている。

30

【0009】

また、外部接続部品(例えば、信号線駆動用IC)の数をさらに削減してコスト低減を行なう手段としては、信号線駆動用ICの出力電圧の各々を信号線駆動回路内に設けられたn個のアナログスイッチに接続し、1水平走査期間内にn回の書き込み時間を設けるものが知られている(例えば、特許文献1参照)。

【特許文献1】特開2004-309949号公報

【発明の開示】

【発明が解決しようとする課題】

40

【0010】

しかし、基板における辺に沿った位置に走査線駆動回路や信号線駆動回路を設けた場合、基板における辺にはそれらの走査線駆動回路や信号線駆動回路に接続される配線、さらには、補助容量に接続される配線(補助容量線)を設置する必要がある。

【0011】

このため、限られた設置スペース内に各種の配線(例えば、走査線駆動回路電源信号線や補助容量線)を設置するためには、各配線の配線幅を狭くしなければならない。各配線の配線幅を狭くすることにより、各配線の抵抗値が高くなり、各配線の時定数が上がることになる。

【0012】

50

上述した特許文献 1 に記載されているように、1 水平走査期間内の書き込み回数 n を増やした場合には、1 回ごとの書き込み時間が短くなる。画素電極に電位が供給されると、カップリングによって補助容量の電位が変動し、やがて補助容量の電位は補助容量線の時定数に比例した時間に応じて既存値に戻るが、書き込み時間が短くなると書き込み時間内に補助容量の電位が既存値に戻りきらず変動を受けたままとなる。これにより、画素電極の電位が変動を受け、表示される画像の品質が低下する。

【0013】

本発明は、このような点に鑑みてなされたものであり、その目的とするところは、補助容量線の時定数を下げ、補助容量線の時定数が高いことが原因となる画素電極の電位変動を防止し、表示画像の品質向上を図ることである。

10

【課題を解決するための手段】

【0014】

本発明の実施の形態に係る特徴は、液晶表示装置において、基板と、前記基板に交差する向きに設置された複数の走査線及び複数の信号線と、前記走査線と前記信号線との各交差点近傍に設けられた複数の画素電極と、個々の前記画素電極に接続された複数の補助容量と、前記補助容量に接続された補助容量線と、前記基板に設けられ、前記走査線に接続された走査線駆動回路と、前記基板に設けられ、前記走査線駆動回路に接続された走査線駆動回路電源信号線と、前記基板に設けられ、一端が電圧供給部に接続されて他端が前記走査線駆動回路電源信号線と前記補助容量線とに接続された共有配線と、を備えることである。

20

【0015】

本発明では、走査線駆動回路電源信号線及び補助容量線と電圧供給部との間が共有配線により接続されており、この共有配線は、走査線駆動回路電源信号線と補助容量線とを個別に設ける場合よりも配線幅を広くすることができる。

【発明の効果】

【0016】

本発明によれば、共有配線が配置されている領域においては、補助容量線に補助容量信号を供給する配線として機能する共有配線の配線幅を広くすることができ、これにより、補助容量配線と共有配線とを含む補助容量信号が供給される配線の抵抗値を下げることができ、及び、補助容量線の時定数を下げることができ、補助容量線の時定数が高いことが原因となる画素電極の電位変動を防止し、表示画像の品質向上を図ることができる。

30

【発明を実施するための最良の形態】

【0017】

本発明の一実施の形態を図面を参照して説明する。本実施の形態では、XGA(1024×RGB×768)規格であって、駆動用ICから取出した各1本の出力ラインを3個のアナログスイッチで分岐してそれぞれ3本の信号線に接続した“信号線3選択駆動方式”の液晶表示装置を想定している。

【0018】

この液晶表示装置 1 は、図 1 に示すように、基板であるアレイ基板 2 と、アレイ基板 2 に対し所定間隔をもって対向配置された図示しない対向基板と、アレイ基板 2 と対向基板との間に保持された液晶層 3 と、外部駆動回路 4 とを備えている。アレイ基板 2 と対向基板とは、その周辺部を図示しないシール部材により貼り合わされている。

40

【0019】

アレイ基板 2 には、図 1 に示すように、複数の走査線 $G_1 \sim G_{768}$ (以下、必要に応じて走査線 G と表わす) と、複数の信号線 $S_1 \sim S_{3072}$ (以下、必要に応じて信号線 S と表わす) とが互いに直交する向きに配置されている。走査線 G と信号線 S との各交差点の近傍には、画素トランジスタである画素 TFT (Thin Film Transistor) 5 と、画素電極 6 と、補助容量 7 とが設けられている。さらに、アレイ基板 2 には、走査線 S と平行に複数の補助容量線 8 が配置され、補助容量 7 は補助容量線 8 と画素電極 6 との間に設けられ、補助容量線 8 を介して電圧 (補助容量信号) が供給されることにより画素電極 6 に

50

印加された電圧を保持する。補助容量 7 としては、例えば、コンデンサを用いることができる。

【 0 0 2 0 】

画素 T F T 5 は、例えば多結晶シリコン膜を半導体層とする多結晶シリコン T F T により形成され、ゲート端子 5 a と、ソース端子 5 b と、ドレイン端子 5 c とを有している。ゲート端子 5 a は走査線 G に接続され、ソース端子 5 b は信号線 S に接続され、ドレイン端子 5 c は画素電極 6 に接続されている。画素 T F T 5 は、走査線 G に信号が供給されることによりゲート端子 5 a がオンになり、ゲート端子 5 a がオンになることによりソース端子 5 b とドレイン端子 5 c とが導通され、この導通により信号線 S に供給される信号がソース端子 5 b からドレイン端子 5 c を経て画素電極 6 に印加される。

10

【 0 0 2 1 】

アレイ基板 2 には、対向する 2 辺（右辺、左辺）に沿って走査線駆動回路 9 が設けられている。さらに、アレイ基板 2 には、他の 1 辺（下辺）に沿って信号線駆動回路 1 0 が設けられている。

【 0 0 2 2 】

走査線駆動回路 9 は、走査線 G に電圧（走査信号）を供給する回路であり、走査線 G が接続されている。

【 0 0 2 3 】

信号線駆動回路 1 0 は、信号線 S に電圧（表示データ信号）を供給する回路であり、信号線 S が接続されている。この信号線駆動回路 1 0 には、外部駆動回路 4 に設けられた複数の駆動用 I C 1 1 が接続されている。

20

【 0 0 2 4 】

外部駆動回路 4 からは、駆動用 I C 1 1 を介して信号線駆動回路 1 0 と走査線駆動回路 9 とに各種の信号が供給される。外部駆動回路 4 から供給される信号としては、補助容量信号、デジタル表示データ信号、信号線駆動回路制御信号、信号線駆動回路電源信号、走査線駆動回路制御信号、走査線駆動回路電源信号等である。デジタル表示データ信号は、駆動用 I C 1 1 によってアナログ表示データ信号に変換される。

【 0 0 2 5 】

信号線駆動回路 1 0 には、図 2 及び図 3 に示すように、アナログスイッチ 1 2 を 6 個ずつブロック化した複数の基本ブロック 1 3 が設けられている。図 3 は、図 2 に示した左端の基本ブロック 1 3 の構造を示している。各基本ブロック 1 3 に対して駆動用 I C 1 1 の出力端子（o u t 1、o u t 2、o u t 3、...、...）が 2 本ずつ接続され、各出力端子はそれぞれ隣り合って位置する 3 つのアナログスイッチ 1 2 のソース端子に接続されている。各アナログスイッチ 1 2 のドレイン端子は各信号線 S に接続されている。

30

【 0 0 2 6 】

各アナログスイッチ 1 2 のゲート端子には、3 本のアナログスイッチ制御用信号線（A S W 1、2、3）のいずれかが接続されている。3 本のアナログスイッチ制御用信号線（A S W 1、2、3）とアナログスイッチ 1 2 との接続関係は、以下のように定められている。第 1 のアナログスイッチ制御用信号線（A S W 1）が、信号線 S 1、S 4、S 7、...、...、S 3 0 7 0 に接続されたアナログスイッチ 1 2 に接続されている。第 2 のアナログスイッチ制御用信号線（A S W 2）が、信号線 S 2、S 5、S 8、...、...、S 3 0 7 1 に接続されたアナログスイッチ 1 2 に接続されている。第 3 のアナログスイッチ制御用信号線（A S W 3）が、信号線 S 3、S 6、S 9、...、...、S 3 0 7 2 に接続されたアナログスイッチ 1 2 に接続されている。アナログスイッチ制御用信号線（A S W 1、2、3）が L o w 電位となったときにアナログスイッチ 1 2 のゲート端子がオンになり、信号線 S にアナログ表示データ信号が印加される。

40

【 0 0 2 7 】

アレイ基板 2 における走査線駆動回路 9 が設けられている辺には、走査線駆動回路電源信号線 1 4 と、走査線 G と平行に配置された複数の補助容量線 8 の端部が接続された接続配線 8 a とが設けられている。

50

【 0 0 2 8 】

アレイ基板 2 における信号線駆動回路 1 0 が設けられている辺には、外部駆動回路 4 に設けられている制御信号生成回路 1 5 内の電圧供給部に接続された共有配線 1 6 が、図 4 に示すように配置されている。共有配線 1 6 の他端側には、接続配線 8 a と走査線駆動回路電源信号線 1 4 とが接続されている。これにより、走査線駆動回路電源信号線 1 4 及び接続配線 8 a と電圧供給部との間が共有配線 1 6 により接続される。走査線駆動回路電源信号線 1 4 と接続配線 8 a を介した補助容量線 8 とには同じ電圧値の信号が供給されるため、共有配線 1 6 に走査線駆動回路電源信号線 1 4 と接続配線 8 a とを接続することは何ら問題とならない。

【 0 0 2 9 】

10

共有配線 1 6 は、本来、走査線駆動回路電源信号線 1 4 と接続配線 8 a との 2 本の配線を設置するスペースを用いて設置されており、同じスペース内に走査線駆動回路電源信号線 1 4 と接続配線 8 a とを別個に形成する場合に比べて、配線幅が広く形成されている。そして、補助容量信号が供給される接続配線 8 a の一部として機能する共有配線 1 6 の配線幅を広くすることにより、補助容量信号が供給される配線（共有配線 1 6、接続配線 8 a、補助容量線 8）の抵抗値を下げることができ、及び、補助容量線 8 の時定数を下げることができる。このため、画像表示時において、補助容量線 8 の時定数が高いことが原因となる画素電極 6 の電位変動を防止することができ、表示画像の品質向上を図ることができる。

【 0 0 3 0 】

20

共有配線 1 6 に対して接続配線 8 a と走査線駆動回路電源信号線 1 4 とが接続された部分には、走査線駆動回路電源信号線 1 4 を共有配線 1 6 から分離する分離部 1 7 が形成されている。さらに、分離された走査線駆動回路電源信号線 1 4 を他の電圧供給用配線 1 8 に接続する接続部である接続配線 1 9 が設けられている。

【 0 0 3 1 】

分離部 1 7 は、レーザーを用いてカットすることにより共有配線 1 6 から走査線駆動回路電源信号線 1 4 を分離できる位置及び電離できる形状に形成されている。分離部 1 7 をレーザーを用いてカットすることにより、接続配線 8 a は制御信号生成回路 1 5 中の電圧供給部に接続された状態を維持されるが、走査線駆動回路電源信号線 1 4 は電圧供給部から切り離された状態となる。

30

【 0 0 3 2 】

分離された走査線駆動回路電源信号線 1 4 が接続される他の電圧供給用配線 1 8 は、アレイ基板 2 における信号線駆動回路 1 0 が設置されている辺に沿って設置されている配線の一つであり、例えば、走査線駆動回路電源信号線 1 4 や補助容量線 8 に対して供給される電圧値と同じ電圧値の信号が供給される配線である。他の電圧供給用配線 1 8 と走査線駆動回路電源信号線 1 4 とを接続する接続配線 1 9 は、アレイ基板 2 に辺に沿って配置された複数の配線に対して直交する向きに配置され、一端が接続端子部 1 9 a によって他の電圧供給用配線 1 8 に接続され、他端は走査線駆動回路電源信号線 1 4 との間に絶縁膜を有する絶縁端子部 1 9 b とされている。絶縁端子部 1 9 b の絶縁膜をレーザーを用いて破壊するとともに接続配線 1 9 と走査線駆動回路電源信号線 1 4 とをつなぎ合わせることで、走査線駆動回路電源信号線 1 4 と他の電圧供給用配線 1 8 とが接続配線 1 9 を介して接続され、電圧供給部から走査線駆動回路電源信号線 1 4 へ電圧を供給することができる。

40

【 0 0 3 3 】

信号線 3 選択駆動方式を採用した本実施の形態の液晶表示装置が H / V 反転駆動され、及び、1 水平走査期間内に 3 回の書き込みが行われる場合の n フレーム目と n + 1 フレーム目の画素極性は、図 5 に示すようになる。

【 0 0 3 4 】

2 画素毎の黒白パターン背景に黒ウィンドーを表示させた場合において、画素極性と画素電位とその合計電位とを表したモデルは図 6 に示すようになる。(1)はウィンドーがな

50

い領域、(2)はウィンドーがある領域を示している。(1)の領域と(2)の領域とにおける合計の画素電位を比較すると、(1)の領域の画素電位は極性のマイナス側により振られ、また、カップリングにより補助容量線 8 の電位もよりマイナス側に振られる。そして、このマイナス側に振られた補助容量線 8 の電位が既存値に戻るまえに書き込み時間が過ぎると、ウィンドーがない(1)の領域とウィンドーがある(2)の領域の横のラインすべての画素電位に差が生じ、クロストークと呼ばれる表示不良が発生する。1 度振られた補助容量線 8 の電位が既存の値に戻る時間は、補助容量線 8 の時定数に比例する。補助容量線 8 の時定数は、補助容量信号が供給される配線（共有配線 1 6、接続配線 8 a、補助容量線 8）の抵抗値に対し、この抵抗値が下がると時定数も下がるという関係にある。

【 0 0 3 5 】

10

そこで、配線幅の広い共有配線 1 6 を補助容量信号が供給される配線の一部として用いることにより、補助容量信号が供給される配線の抵抗値を下げることができ、及び、補助容量線 8 の時定数を下げることができる。これにより、補助容量線 8 の時定数が高いことが原因となる画素電極 6 の電位変動を防止することができ、表示画像の品質向上を図ることができる。

【 0 0 3 6 】

一方、共有配線 1 6 を用いた場合には、液晶表示装置 1 のある画素において表示不良が発生した場合に、その表示不良の原因が、補助容量信号側にあるのか、走査線駆動回路電源信号側にあるのか、特定することが不可能になる。表示不良の原因が補助容量信号側にあるときは、補助容量線 8 と画素電極 6 のショートまたはリークが考えられ、表示不良の原因が走査線駆動回路電源信号側にあるときは、画素 T F T 5 の特性不良が考えられる。

20

【 0 0 3 7 】

そこで、液晶表示装置 1 のある画素において表示不良が発生した場合には、表示不良の原因解析のため、レーザーを用いて分離部 1 7 をカットし、及び、絶縁端子部 1 9 b において絶縁膜をレーザーを用いて破壊するとともに、接続配線 1 9 と走査線駆動回路電源信号線 1 4 とをレーザーを用いてつなぎ合わせる。これにより、補助容量信号と走査線駆動回路電源信号とが異なる配線を通して供給されることになり、表示不良の原因が補助容量信号側にあるのか走査線駆動回路電源信号側にあるのかを解析することが可能となる。

【 0 0 3 8 】

表示不良の原因解析は、以下の手順により行う。まず、表示不良が発生した液晶表示装置 1 において、上述したように、レーザーを用いて分離部 1 7 を分離し、さらに、レーザーを用いて絶縁端子部 1 9 b の絶縁を破壊して接続配線 1 9 と走査線駆動回路電源信号線 1 4 とをつなぎ合わせる。

30

【 0 0 3 9 】

このレーザーを用いた処理を行った後、走査線駆動回路電源信号線 1 4 に対する走査線駆動回路電源信号の供給と、補助容量線 8 に対する補助容量信号の供給とを行う。走査線駆動回路電源信号と補助容量信号とは、共有部分のない独立した配線を通して供給される。そして、独立した配線を通して走査線駆動回路信号と補助容量信号とが供給された場合にも、液晶表示装置 1 における表示は、レーザーを用いた処理を行う前と同じように不良な状態となる。

40

【 0 0 4 0 】

つぎに、走査線駆動回路電源信号線 1 4 に供給する走査線駆動回路電源信号の電圧値を変化させずに、補助容量線 8 に供給する補助容量信号の電圧値を変化させる第 1 の解析作業をおこなう。さらに、補助容量線 8 に供給する補助容量信号の電圧値を変化させずに走査線駆動回路電源信号線 1 4 に供給する走査線駆動回路電源信号の電圧値を変化させる第 2 の解析作業とを行う。

【 0 0 4 1 】

第 1 解析作業時に、表示されている画像（不良画像）がさらに不良となった場合は、表示不良の原因は補助容量信号側にあること、即ち、補助容量線 8 と画素電極 6 のショートまたはリークが考えられる。

50

【 0 0 4 2 】

一方、第 2 解析作業時に、表示されている画像（不良画像）がさらに不良となった場合は、表示不良の原因は走査線駆動回路電源信号側にあること、即ち、画素 T F T 5 の特性不良が考えられる。

【 0 0 4 3 】

このようにして、第 1 解析作業と第 2 解析作業とを行うことにより、不良画像の原因が補助容量信号側にあるのか走査線駆動回路電源信号側にあるのかを確認することができる。そして、確認した結果をアレイ基板 2 の製造工程にフィードバックすることにより、不良が生じないアレイ基板 2 の製造に寄与することができる。

【 0 0 4 4 】

なお、分離部 1 7 と接続部である接続配線 1 9 とに関し、本実施の形態では、共有配線 1 6 に対して走査線駆動回路電源信号線 1 4 を分離する分離部 1 7 と、分離された走査線駆動回路電源信号線 1 4 を他の電圧供給用配線 1 8 に接続する接続部である接続配線 1 9 とを例に挙げて説明している。しかし、これとは逆に、共有配線 1 6 に対して接続配線 8 a を分離する分離部と、分離された接続配線 8 a を他の電圧供給用配線 1 8 に接続する接続部とを設けてもよい。

【図面の簡単な説明】

【 0 0 4 5 】

【図 1】本発明の一実施の形態に係る液晶表示装置の概略構成を示す平面図である。

【図 2】図 1 に示す液晶表示装置における外部駆動回路の駆動用 I C と信号線駆動回路の基本ブロックとの接続構造を示すブロック図である。

【図 3】基本ブロックの構成を示す回路図である。

【図 4】共有配線と走査線駆動回路電源信号線と接続配線との配線構造を示す平面図である。

【図 5】フレーム毎の画素極性を示す説明図である。

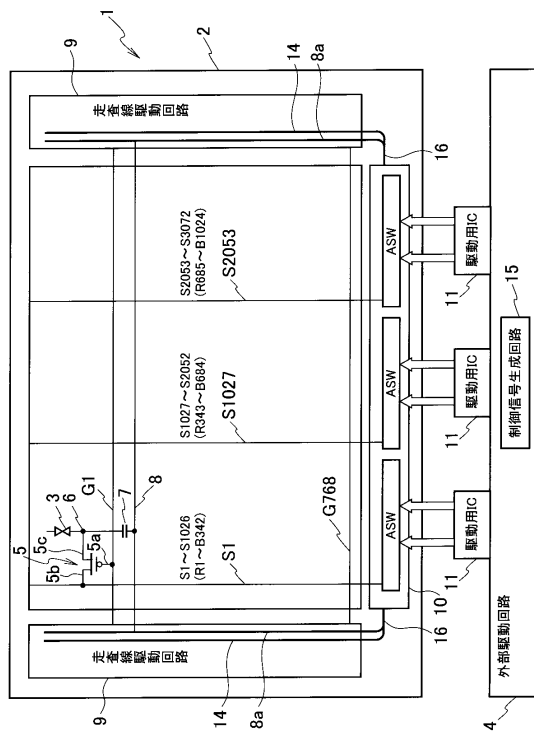
【図 6】2 画素毎の黒白パターン背景に黒ウィンドーを表示させた場合における画素極性と画素電位とその合計電位とを表す説明図である。

【符号の説明】

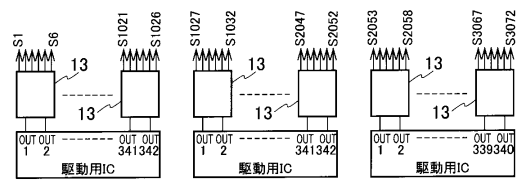
【 0 0 4 6 】

- | | | |
|-----|--------------|----|
| 1 | 液晶表示装置 | 30 |
| 2 | 基板 | |
| 6 | 画素電極 | |
| 7 | 補助容量 | |
| 8 | 補助容量線 | |
| 9 | 走査線駆動回路 | |
| 1 4 | 走査線駆動回路電源信号線 | |
| 1 6 | 共有配線 | |
| 1 7 | 分離部 | |
| 1 8 | 他の電圧供給用配線 | |
| 1 9 | 接続部 | 40 |
| G | 走査線 | |
| S | 信号線 | |

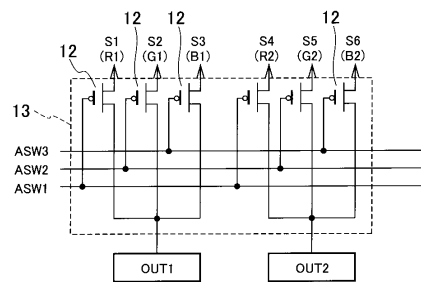
【 図 1 】



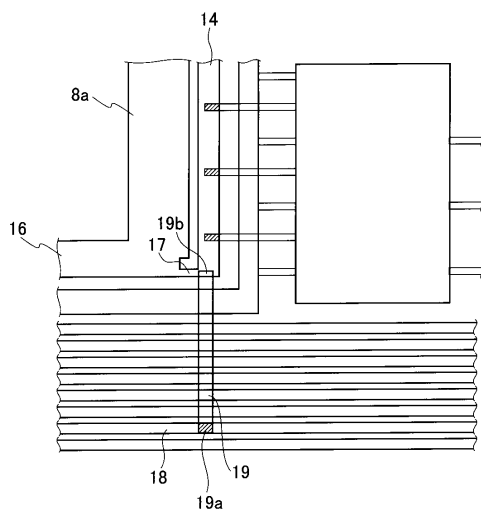
【 図 2 】



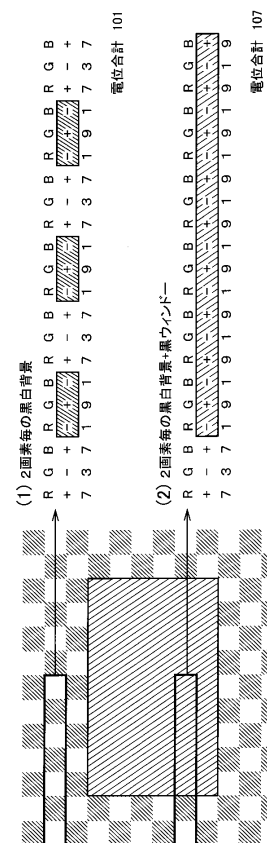
【 図 3 】



【 図 4 】



【 図 6 】



【 図 5 】

	S1	S2	S3	S4	S5	S6	S7	S8	S9	-----
	R	G	B	R	G	B	R	G	B	
n フレーム	+	+	-	+	-	+	+	-	+	
	-	+	-	-	+	-	+	-	-	
	+	-	+	+	-	+	+	+	+	
	-	+	-	+	-	+	-	+	-	
	-	+	-		-	+	-	+	-	
n+1 フレーム	-	+	-	+	-	+	-	+	-	
	+	-	+	-	+	-	+	-	+	
	-	+	-	-	+	-	+	-	-	
	+	-	+	-	+	-	+	-	+	

フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/36

(74)代理人 100098327
弁理士 高松 俊雄

(72)発明者 阿部 孝彦
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 宮武 正樹
東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

審査官 藤田 都志行

(56)参考文献 特開 2 0 0 5 - 3 9 1 7 (J P , A)
特開 2 0 0 3 - 3 1 6 3 2 8 (J P , A)
特開平 1 0 - 4 8 6 6 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
G 0 2 F 1 / 1 3 4 5
G 0 2 F 1 / 1 3 4 3
G 0 9 G 3 / 2 0
G 0 9 G 3 / 3 6

专利名称(译)	液晶表示装置		
公开(公告)号	JP4886226B2	公开(公告)日	2012-02-29
申请号	JP2005190340	申请日	2005-06-29
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
当前申请(专利权)人(译)	东芝移动显示器有限公司		
[标]发明人	阿部孝彦 宫武正樹		
发明人	阿部 孝彦 宫武 正樹		
IPC分类号	G02F1/1345 G02F1/1343 G09G3/20 G09G3/36		
FI分类号	G02F1/1345 G02F1/1343 G09G3/20.611.Z G09G3/20.621.M G09G3/20.680.G G09G3/36 G02F1/133.550		
F-TERM分类号	2H092/GA51 2H092/GA59 2H092/JA24 2H092/JB13 2H092/JB69 2H092/KA04 2H092/NA28 2H092/PA06 2H193/ZA04 2H193/ZA07 2H193/ZC13 2H193/ZF24 2H193/ZF36 2H193/ZF51 5C006/BB16 5C006/BC03 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD01 5C080/JJ02 5C080/JJ03 5C080/JJ06		
代理人(译)	三好秀 中村智之 伊藤雅一 高桥俊 高松俊夫		
其他公开文献	JP2007010900A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过降低辅助电容线的时间常数并防止由辅助电容线的高时间常数引起的像素电极的电位变化来改善显示图像的质量。 解决方案：在液晶显示装置1中，在扫描线G和S的交叉点附近设置基板2，沿与基板2交叉的方向设置的多条扫描线G和多条信号线S，以及多条扫描线G和多条信号线S。设置多个像素电极6，连接到各个像素电极6的多个辅助电容器7，连接到辅助电容7的辅助电容线8，以及设置在基板2上并连接到扫描线G的多个像素电极扫描线驱动电路电源信号线14，设置在基板2上并连接到扫描线驱动电路9，扫描线驱动电路9的一端连接到电压供应部分并连接到电压供应部分并且公共布线16的一端连接到扫描线驱动电路电源信号线14和辅助电容线8。 点域1

