

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4711404号
(P4711404)

(45) 発行日 平成23年6月29日 (2011. 6. 29)

(24) 登録日 平成23年4月1日 (2011. 4. 1)

(51) Int. Cl.

F I

GO2F 1/1343 (2006.01)
 GO2F 1/133 (2006.01)
 GO2F 1/1368 (2006.01)
 GO9F 9/30 (2006.01)

GO2F 1/1343
 GO2F 1/133 550
 GO2F 1/1368
 GO9F 9/30 338

請求項の数 8 (全 21 頁)

(21) 出願番号 特願2005-234352 (P2005-234352)
 (22) 出願日 平成17年8月12日 (2005. 8. 12)
 (65) 公開番号 特開2007-47664 (P2007-47664A)
 (43) 公開日 平成19年2月22日 (2007. 2. 22)
 審査請求日 平成20年5月28日 (2008. 5. 28)

(73) 特許権者 502356528
 株式会社 日立ディスプレイズ
 千葉県茂原市早野3300番地
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (73) 特許権者 506087819
 パナソニック液晶ディスプレイ株式会社
 兵庫県姫路市飾磨区妻鹿日田町1-6
 (74) 代理人 100083552
 弁理士 秋田 収喜
 (74) 代理人 110000154
 特許業務法人はるか国際特許事務所
 (72) 発明者 楠 隆太郎
 千葉県茂原市早野3300番地 株式会社
 日立ディスプレイズ内

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項 1】

TFT素子および画素電極が画素単位で配置された表示パネルを有する表示装置であって

前記表示パネルは、

有効表示領域内を通る複数のゲート電極線および複数のドレイン電極線を有し、前記有効表示領域の外側であり、かつ、前記ゲート電極線の延在方向の一方の端部側に位置するドレイン電極線に沿った領域には、前記ドレイン電極線の延在方向の一方の端部側から数えて偶数本目のゲート電極線に接続されたTFT素子を有する第1のダミー画素が配置され、前記有効表示領域の外側であり、かつ、前記ゲート電極線の延在方向の他方の端部側に位置するドレイン電極線に沿った領域には、前記ドレイン電極線の延在方向の前記一方の端部側から数えて奇数本目のゲート電極線に接続されたTFT素子を有する第2のダミー画素が配置されており、

各ドレイン電極線は、当該ドレイン電極線に接続された各画素のTFT素子が、延在方向に沿って交互に配置されており、

前記ゲート電極線の延在方向の端部に位置する2本の前記ドレイン電極線は、それぞれ、前記有効表示領域内に配置された複数のTFT素子と、複数の前記第1または第2のダミー画素のTFT素子とに接続されており、かつ、前記各ドレイン電極線に接続された前記有効表示領域内のTFT素子と前記第1または第2のダミー画素のTFT素子とは、前記各ドレイ

10

20

ン電極線の延在方向に沿って交互に配置されており、

複数の前記第 1 のダミー画素の間、または複数の前記第 2 のダミー画素の間には、第 3 のダミー画素が配置されていることを特徴とする表示装置。

【請求項 2】

前記第 1 のダミー画素が配置された端部が、前記ゲート電極線の入力端側であることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

前記第 1 および第 2 のダミー画素は、前記有効表示領域内の画素と同じ構成であることを特徴とする請求項 1 または請求項 2 に記載の表示装置。

【請求項 4】

前記第 1 および第 2 のダミー画素は、TFT素子のみを有することを特徴とする請求項 1 または請求項 2 に記載の表示装置。

【請求項 5】

前記第 1 または第 2 のダミー画素の外側に、ダミーのドレイン電極線を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 6】

前記第 3 のダミー画素は、前記有効表示領域内の画素の画素電極と同じ導電層に、前記有効表示領域内を通る前記ドレイン電極線とは接続していないダミーの電極層を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 7】

前記第 1 または第 2 のダミー画素の外側にダミーのドレイン電極線を有し、
前記第 3 のダミー画素は、前記ダミーのドレイン電極線および前記ダミーの電極層と接続されたTFT素子を有することを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記ダミー画素が配置された領域は、遮光されていることを特徴とする請求項 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示装置に関し、特に、TFT素子が画素単位で配置された表示パネルを有する表示装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

従来、テレビなどの表示装置には、液晶表示パネルを用いた液晶表示装置がある。

【0003】

前記液晶表示パネルは、一对の基板の間に液晶材料を封入した表示パネルである。このとき、一方の基板には、たとえば、TFT素子や画素電極が画素単位で配置されている。また、他方の基板には、たとえば、前記画素電極と対向する位置にカラーフィルタが配置されている。

【0004】

またこのとき、前記TFT素子などが配置された基板上の回路構成は、たとえば、図 3 1 に示すようになっており、有効表示領域 L のドット数が横 m ドット×縦 n ドットの表示装置の場合、 $3m + 1$ 本のドレイン電極線 DL と $n + 1$ 本のゲート電極線 GL が配置されている。なお、図 3 1 には、1 つのドットが R 画素、G 画素、B 画素の 3 つの画素からなる場合を示している。また、図 3 1 において紙面右端のドレイン電極線 DL_{3m+1} と紙面下端のゲート電極線 GL_{n+1} はダミーである。

【0005】

また、この液晶表示パネルでは、たとえば、図 3 1 に示したように、ドレイン電極線 DL の延在方向に沿って並んでいる各画素のTFT素子は、すべて同じドレイン電極線に接続されている。たとえば、ドレイン電極線 DL_1 に沿って並んでいる R 画素のTFT素子は、す

10

20

30

40

50

べてドレイン電極線 $D L_1$ に接続されている。

【 0 0 0 6 】

一方、TFTを隣接するドレイン電極線に交互に配置した例が、特許文献 1 に記載されている。

【特許文献 1】特開平 1 0 - 9 0 7 1 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 7 】

前記テレビなどの液晶表示装置では、画面のちらつきを抑えたり、動画の表示性能を向上させたりするための高リフレッシュレート化が進んでいる。

10

【 0 0 0 8 】

しかしながら、表示パネル上の回路構成が、図 3 1 に示したような構成の場合、高リフレッシュレート化が進むにつれて、TFT素子の書き込み不足が生じ、画質が劣化するという問題があった。

【 0 0 0 9 】

本発明の目的は、たとえば、液晶表示装置の高周波動作による画質の劣化を低減することが可能な技術を提供することにある。

【 0 0 1 0 】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面によって明らかになるであろう。

20

【課題を解決するための手段】

【 0 0 1 1 】

本願において開示される発明の概略を説明すれば、以下の通りである。

【 0 0 1 2 】

(1) TFT素子および画素電極が画素単位で配置された表示パネルを有する表示装置であって、前記表示パネルは、有効表示領域内を通る複数のゲート電極線および複数のドレイン電極線を有し、前記有効表示領域の外側であり、かつ、前記ゲート電極線の延在方向の一方の端部側に位置するドレイン電極線に沿った領域には、前記ドレイン電極線の延在方向の一方の端部側から数えて偶数本目のゲート電極線に接続されたTFT素子を有する第 1 のダミー画素が配置され、前記有効表示領域の外側であり、かつ、前記ゲート電極線の延在方向の他方の端部側に位置するドレイン電極線に沿った領域には、前記ドレイン電極線の延在方向の前記一方の端部側から数えて奇数本目のゲート電極線に接続されたTFT素子を有する第 2 のダミー画素が配置されており、各ドレイン電極線は、当該ドレイン電極線に接続された各画素のTFT素子が、延在方向に沿って交互に配置されており、前記ゲート電極線の延在方向の端部に位置する 2 本の前記ドレイン電極線は、それぞれ、前記有効表示領域内に配置された複数のTFT素子と、複数の前記第 1 または第 2 のダミー画素のTFT素子とに接続されており、かつ、前記各ドレイン電極線に接続された前記有効表示領域内のTFT素子と前記第 1 または第 2 のダミー画素のTFT素子とは、前記各ドレイン電極線の延在方向に沿って交互に配置されており、複数の前記第 1 のダミー画素の間、または複数の前記第 2 のダミー画素の間には、第 3 のダミー画素が配置されている表示装置である。

30

40

【 0 0 1 3 】

(2) 前記 (1) において、前記第 1 のダミー画素が配置された端部が、前記ゲート電極線の入力端側の表示装置である。

【 0 0 1 4 】

(3) 前記 (1) または (2) において、前記第 1 および第 2 のダミー画素は、有効表示領域内の画素と同じ構成の表示装置である。

【 0 0 1 5 】

(4) 前記 (1) または (2) において、前記第 1 および第 2 のダミー画素は、TFT素子のみを有する表示装置である。

【 0 0 1 6 】

50

(5) 前記(1)において、前記第1または第2のダミー画素の外側に、ダミーのドレイン電極線を有する表示装置である。

【0018】

(6) 前記(1)において、前記第3のダミー画素は、前記有効表示領域内の画素の画素電極と同じ導電層に、前記有効表示領域内を通る前記ドレイン電極線とは接続していないダミーの電極層を有する表示装置である。

【0019】

(7) 前記(6)において、前記第1または第2のダミー画素の外側にダミーのドレイン電極線を有し、前記第3のダミー画素は、前記ダミーのドレイン電極線および前記ダミーの電極層と接続されたTFT素子を有する表示装置である。

10

【0021】

(8) 前記(1)において、前記ダミー画素が配置された領域は、遮光されている表示装置である。

【発明の効果】

【0026】

本発明の表示装置は、隣接するドレイン電極線に、1フレームの間に渡り、コモン電位に対しそれぞれ反対の極性の信号を与えるように駆動することができる。その際、TFT素子がドレイン電極線に交互に接続していることにより、1フレームの間映像信号線の極性を同一としながら、マトリクス状の画素の画素電極に書き込まれる信号を隣接する画素で互いに極性が反転するドット反転とすることができる。これにより、従来のフレーム反転の欠点であったフリッカを解消することができる。またフレーム反転の特徴である、極性の切り替わる間隔が長いことにより、ドレイン信号線への充放電回数がドット反転に比べ激減し、高リフレッシュレート、たとえば、100Hz以上、具体的には120Hzでのフレームレートでの駆動が可能となる。

20

【0027】

一方、このような配置では、表示に用いられるドレイン電極線の最外のラインに格段の配慮を払わないと、最外のラインの容量が他のラインと大きく異なり、最外の表示画素で他のラインと輝度の差が生じてしまうことが判明した。

【0028】

本発明では、このようなドレイン電極線の電位としてはフレーム反転でありながら表示としてドット反転を実現できる表示装置にて、ゲート線と直交する方向の表示ラインのうちの、最外周の表示ラインの輝度ムラの発生を回避することができるという特有かつ顕著な効果を実現することができる。

30

【0029】

このためには、たとえば、前記手段(1)のように、有効表示領域の外側に第1および第2のダミー画素を配置する。そして、各ドレイン電極線には、たとえば、ドレイン電極線の向かって右側に配置された画素のTFT素子と、向かって左側に配置された画素のTFT素子を交互に接続する。またこのとき、第1および第2のダミー画素は、たとえば、前記手段(2)のように、ゲート電極線の入力端側に、偶数本目のゲート電極線と接続されたTFT素子を有する第1のダミー画素を配置する。またこのとき、第1および第2のダミー画素は、前記手段(3)のように有効表示領域内の画素と同じ構成であってもよいし、前記手段(4)のようにTFT素子のみを設けてもよい。

40

【0030】

また、第1および第2のダミー画素を配置した場合、各ダミー画素のTFT素子が接続されたドレイン電極線は、各ダミー画素に書き込み信号を印加するタイミングに、たとえば、黒色表示用の信号を印加する。また、第1のダミー画素に関しては、1つ前の表示領域内の画素に印加する信号と同じ信号を印加し、第2のダミー画素に関しては、1つ後の表示領域内の画素に印加する信号と同じ信号を印加してもよい。

【0031】

またこのとき、たとえば、前記手段(5)のように、ダミーのドレイン電極線を追加し

50

てもよい。このとき、前記ダミーのドレイン電極線には、たとえば、コモン信号を印加する。またこのとき、ダミーのドレイン電極線は、第1のダミー画素の外側のみ、または第2のダミー画素の外側のみを追加してもよいし、第1のダミー画素の外側および第2のダミー画素の外側の両方に追加してもよい。

【0032】

また、前記第1および第2のダミー画素を配置した場合、各ダミー画素は1画素おきに配置される。そのため、ダミー画素の間に段差が生じ、たとえば、配向膜を設けるときにラビング工程において、前記段差によるラビング強度のばらつきが発生する可能性がある。そこで、本発明の表示装置では、前記手段(1)のように、第3のダミー画素を設け、段差を低減する。このとき、第3のダミー画素は、たとえば、前記手段(6)のようにダミーの電極層のみを設けてもよいし、前記手段(7)のようにダミーの電極層およびTFT素子を設けてもよい。

10

【0033】

また、前記手段(1)における前記第1、第2、および第3のダミー画素は、有効表示領域の外側に配置される画素である。そのため、本発明の表示装置では、前記手段(8)のように、前記ダミー画素が配置された領域を遮光することが好ましい。

【発明を実施するための最良の形態】

【0035】

以下、本発明について、図面を参照して実施の形態(実施例)とともに詳細に説明する。

20

なお、実施例を説明するための全図において、同一機能を有するものは、同一符号を付け、その繰り返しの説明は省略する。

【0036】

図1および図2は、本発明が適用される表示装置が有する表示パネルの概略構成の一例を示す模式図であり、図1は液晶表示パネルの構成例を示す正面図、図2は図1のA-A'線断面図である。

【0037】

本発明が適用される表示装置は、たとえば、TFT素子が画素単位で配置された液晶表示パネルを有する液晶表示装置である。前記液晶表示パネルは、たとえば、図1および図2に示すように、一対の基板1, 2が環状のシール材3で接着されており、各基板1, 2およびシール材3で囲まれた空間内に液晶材料4が封入された表示パネルである。このとき、一方の基板1には、前記TFT素子や画素電極が配置されており、他方の基板2には、前記画素電極と対向する位置にカラーフィルタが配置されている。

30

【0038】

また、図1および図2に示したような液晶表示パネルを有する液晶表示装置は、前記液晶表示パネルを挟むように配置された一対の偏光板や、偏光板で挟まれた液晶表示パネルの後方に配置されたバックライトユニットなどを有する。なお、これらの基本的な構成については、従来の液晶表示装置と同じ構成でよいので、詳細な説明は省略する。

【0039】

以下、図1および図2に示したような液晶表示パネルを有する表示装置における、前記TFT素子や画素電極が配置された基板1(以下、TFT基板という)の回路構成について説明する。

40

【実施例】

【0040】

図3は、本発明による一実施例のTFT基板の回路構成を示す模式図である。

【0041】

本実施例のTFT基板1は、たとえば、図3に示すように、水平方向に延在し、上下方向に並んで配置された $n + 1$ 本のゲート電極線GLと、上下方向に延在し、水平方向に並んで配置された $3m + 1$ 本のドレイン電極線DLと、水平方向に延在し、上下方向に並んで配置された共通信号線CLとを有する。なお、以下の説明は共通信号線CLを持つ例を挙

50

げて行うが、持たない例でもそのまま適用できる。

【0042】

また、各ゲート電極線GLと各ドレイン電極線DLの交点には、ゲート電極線GLおよびドレイン電極線と接続されたTFT素子が配置されている。このとき、TFT素子のソース電極は、画素電極PXと接続されている。また、画素電極PXと、共通信号線CLに接続されたコモン電極（図示しない）との間には容量素子が形成されている。共通信号線CLに接続されたコモン電極が無い例としては、TFT基板1に対向する基板2にコモン電極を形成し、そのコモン電極と画素電極PXの間に容量素子が形成される、いわゆる縦電界方式の構成が一例として上げられる。

【0043】

なお、図3に示した例は、カラー液晶表示パネルに用いるTFT基板であり、水平方向に並んだ3つの画素、すなわちRと記された画素電極PXを有するR画素、Gと記された画素電極PXを有するG画素、Bと記された画素電極PXを有するB画素で有効表示領域L上の1ドットが構成されている。

【0044】

有効表示領域Lでは、TFT素子がドレイン電極線DLに交互に接続している。すなわち、奇数番のゲート電極線GLにより制御される画素のTFT素子は、当該画素を構成する左側のドレイン電極線DLに接続し、偶数番のゲート電極線GLにより制御される画素のTFT素子は、当該画素を構成する右側のドレイン電極線DLに接続している。

【0045】

また、本実施例のTFT基板1では、有効表示領域Lの端部のうち、ゲート電極線GLの延在方向の端部の外側に、ダミー画素が配置されている。このとき、ドレイン電極線DL₁が配置された側の端部の外側は、偶数本目のゲート電極線GLと接続されたTFT素子を有する第1のダミー画素DP1が配置されている。また、ドレイン電極線DL_{3m+1}が配置された側の端部の外側は、奇数本目のゲート電極線GLと接続されたTFT素子を有する第2のダミー画素DP2が配置されている。このとき、前記第1および第2のダミー画素DP1、DP2は、有効表示領域L内の各画素と同じ構成とする。

【0046】

また、各ドレイン電極線DLに右側から接続するTFT素子と、当該ドレイン電極線DLに左側から接続するTFT素子とが、当該ドレイン電極線DLの延在方向に沿って交互に配置されている。

【0047】

そして、左側よりドレイン電極線DLの番号を配置した場合、有効表示領域Lに最隣接する左側のラインには、偶数番のゲート信号線GLにより制御されるダミー画素をTFTの接続順が有効表示領域L内と同じになるように配置する。これにより有効表示領域の左最外側のドレイン信号線DL₁に接続されるTFT素子の数が、有効表示領域L内の他のドレイン電極線と一致するため、DL₁の負荷と他のドレイン電極線の負荷が一致し、DL₁に接続した表示画素に他のラインに接続した画素に対し輝度変動が生じることを回避することができる。

【0048】

同様に、有効表示領域Lに最隣接する右側のラインには、奇数番のゲート信号線により制御されるダミー画素をTFT素子の接続順が有効表示領域L内と同じになるように配置する。これにより有効表示領域Lの右最外側のドレイン信号線DL_{3m+1}に接続されるTFT素子の数が、有効表示領域L内の他のドレイン信号線と一致するため、DL_{3m+1}の負荷と他のドレイン電極線の負荷が一致し、DL_{3m+1}に接続した表示画素に他のラインに接続した画素に対し輝度変動が生じることを回避することができる。

【0049】

図4は、本実施例の表示パネルのドレイン電極線DL₁に印加する信号のタイムチャートの一例を示す図である。また、図5は、本実施例の表示パネルのドレイン電極線DL_{3m+1}に印加する信号のタイムチャートの一例を示す図である。

10

20

30

40

50

【 0 0 5 0 】

TFT基板 1 に、図 3 に示したような構成の回路を設けた場合、第 1 のダミー画素 D P 1 が配置された端部側のドレイン電極線 D L₁ には、当該ドレイン電極線 D L₁ の一方側（右側）から有効表示領域 L 内の R 画素の TFT 素子が接続されており、かつ当該ドレイン電極線 D L₁ の他方側（左側）から第 1 のダミー画素 D P 1 の TFT 素子が接続されている。また、当該 R 画素の TFT 素子と当該第 1 のダミー画素 D P 1 の TFT 素子は、ドレイン電極線 D L₁ の延在方向に沿って交互に配置されている。このとき、ドレイン電極線 D L₁ に、紙面上方側から書き込み信号を印加するとすれば、印加する信号は、たとえば、図 4 に示すように、奇数本目のゲート電極線 G L₁ , G L₃ , G L₅ にゲート信号が印加されるタイミングで R 画素に書き込む信号が印加され、偶数本目のゲート電極線 G L₂ , G L₄ にゲート信号が印加されるタイミングでダミー画素 D P 1 を黒色表示させる信号が印加されるようにする。

10

【 0 0 5 1 】

一方、第 2 のダミー画素 D P 2 が配置された端部側のドレイン電極線 D L_{3m+1} は、第 2 のダミー画素 D P 2 の TFT 素子と、有効表示領域 L 内の B 画素の TFT 素子が延在方向に沿って交互に接続されている。このとき、ドレイン電極線 D L_{3m+1} に、紙面上方側から書き込み信号を印加するとすれば、印加する信号は、たとえば、図 5 に示すように、奇数本目のゲート電極線 G L₁ , G L₃ , G L₅ にゲート信号が印加されるタイミングでダミー画素 D P 2 を黒色表示させる信号が印加され、偶数本目のゲート電極線 G L₂ , G L₄ にゲート信号が印加されるタイミングで B 画素に書き込む信号が印加されるようにする。

20

【 0 0 5 2 】

また、たとえば、ドレイン電極線 D L₂ に印加する信号は、奇数本目のゲート電極線 G L₁ , G L₃ , G L₅ にゲート信号が印加されるタイミングで G 画素に書き込む信号が印加され、偶数本目のゲート電極線 G L₂ , G L₄ にゲート信号が印加されるタイミングで R 画素に書き込む信号が印加されるようにする。

【 0 0 5 3 】

有効表示領域 L の外となるダミー画素は、通常、遮光層にて遮光される。このため、ダミー画素に加える電位は特に限定されるものではない。しかし黒データを書き込むことにより、確実に黒状態とできるため、電位を常に安定化できる点で望ましい。

【 0 0 5 4 】

図 6 は、本実施例の表示パネルのドレイン電極線 D L₁ に印加する信号のタイムチャートの他の例を示す図である。また、図 7 は、本実施例の表示パネルのドレイン電極線 D L_{3m+1} に印加する信号のタイムチャートの他の例を示す図である。

30

【 0 0 5 5 】

本実施例において、ドレイン電極線 D L₁ に信号を印加するときには、図 4 に示したように、第 1 のダミー画素 D P 1 に黒色表示をさせるだけでなく、種々の方法が考えられる。つまり、たとえば、図 5 に示すように、1 つ前の R 画素に書き込む信号と同じ信号を印加してもよい。同様に、ドレイン電極線 D L_{3m+1} に信号を印加するときには、たとえば、図 6 に示すように、1 つ後の B 画素に書き込む信号と同じ信号を印加してもよい。

【 0 0 5 6 】

40

また図 6 や図 7 は、有効表示領域の他のドレイン電極線に加えられる一般的信号の例として説明に用いることもできる。特徴的なことは 1 フレーム期間中極性が一定であることである。その上で、ドレイン電極線延在方向に隣接する任意の 2 つの画素間で、画素中の TFT 素子が接続するドレイン電極線を異ならせる、すなわち一方の画素の TFT 素子を右側のドレイン電極線に接続し、他方の画素の TFT 素子を左側のドレイン電極線に接続することにより、表示としてはドット反転が実現する。このように信号自体の極性反転の回数が、1 フレーム毎に 1 回となるため、ライン毎に反転する従来のドット反転に比べ信号の極性反転の回数を数百分の 1、たとえば XGA では 768 分の 1 に激減することができる。ドレイン電極線の信号が極性反転すると、ドレイン電極線の充放電に伴いドレイン電極線の電位が安定化するまで時間を要するため、この時間分、実効的な書き込み時間が減少してしまう。

50

このため従来のドット反転では100Hz以上の高周波数での書込みは困難であった。これに対し本願では、フレーム中に極性反転が無くなるため充放電時間がそのまま書き込みに寄与できるため、100Hz以上の高周波数、たとえば120Hzのような、入力信号60Hzに対し倍速となる駆動が実現できるようになる。そしてその際、表示画像としてはドット反転が維持されるため、フリッカのような弊害も生じないものとなっている。

【0057】

図8および図9は、本実施例の回路構成を適用したTFT基板の構成例を示す模式図であり、図8は有効表示領域の端部の拡大平面図、図9は図8のB-B'線断面図である。なお、図8では、ゲート電極線の本数 n が偶数の例となっている。

【0058】

本実施例の回路構成、すなわち図3に示したような回路構成のTFT基板1は、たとえば、図8および図9に示したような構成になる。なお、図8において2点鎖線で囲んだ領域が、左側のダミー画素DP1である。図8中の四角の中に×印が記されている部分はコンタクトホールを示している。

【0059】

このとき、TFT基板1は、たとえば、ガラス基板101上にゲート電極線GLおよび共通信号線CL、ならびに前記共通信号線CLと接続されたコモン電極CTが設けられている。また、ゲート電極線GLの上層には第1層間絶縁膜102を介在させて半導体層103およびドレイン電極線DL、ならびにソース電極SLが設けられている。このとき、各ドレイン電極線DLは、図8に示したように、画素の右側に配置された半導体層103と、画素の左側に配置された半導体層103に交互に接続するように分岐している。

【0060】

また、ドレイン電極線DL₁の左側の領域では、ゲート電極線GL _{$n-1$} とGL _{n} の間にはTFT素子が無く、コモン電位の共通信号線CLの平面状電極が形成されている。これにより黒表示となり、該領域の電位安定化が実現する。また、ゲート電極線GL _{n} とGL _{$n+1$} の間には、ドレイン電極線DL₁に接続したTFT素子より信号が供給されるダミー画素電極が形成されている。この画素は、たとえば、図4や図5のように黒データを加えると黒表示となる。

【0061】

また、前記ドレイン電極線DLなどの上層には、第2層間絶縁膜104を介在させて、表示領域には画素電極PXや上下で隣り合う画素のコモン電極CTを接続するブリッジ配線BRが配置されている。またダミー領域にはコモン電位の電極UC、ならびに上下で隣り合う画素のコモン電極CTを接続するブリッジ配線BRなどが設けられている。このとき、画素電極PXは、スルーホールによって前記ソース電極SLと接続されている。また、画素電極PXには、たとえば、スリットが設けられている。また、コモン電位の電極UCは、スルーホールによって前記共通信号線CLと接続されている。これにより共通信号線のバスラインの役割を果たしている。また、前記ブリッジ配線BRは、スルーホールによって前記各画素のコモン電極CTと接続されている。

【0062】

なお、図8および図9は、TFT基板1の構成の一例を示した図であり、TFT素子、画素電極PX、コモン電極CT等の構成は、適宜変更可能であることはもちろんである。

【0063】

以上説明したように、本実施例の液晶表示パネルによれば、高リフレッシュレート化による画質の劣化を低減できる。

【0064】

図10は、前記実施例の第1の変形例を説明するための模式図であり、TFT基板の回路構成を示す図である。

【0065】

前記実施例では、図3に示したように、ドレイン電極線DLが $3m+1$ 本であったが、これに限らず、たとえば、図10に示すように、第2のダミー画素DP2の外側に、さら

10

20

30

40

50

にダミーのドレイン電極線 DL_{3m+2} を設けてもよい。

【0066】

図11乃至図13は、前記実施例の第2の変形例を説明するための模式図であり、図11はTFT基板の回路構成を示す図、図12は図11の回路構成を適用したTFT基板の構成例を示す拡大平面図、図13は図12のC-C'線断面図である。

【0067】

前記実施例では、図3に示したように、第1および第2のダミー画素DP1、DP2として、有効表示領域L内の画素と同じ構成のダミー画素を配置したが、これに限らず、たとえば、図11に示すように、TFT素子のみを配置してもよい。これは、ドレイン電極線の主な負荷容量が、TFT素子による容量であるためである。なお、図11に示した回路構成は、第1および第2のダミー画素DP1、DP2をTFT素子のみにした点以外は、図3に示した回路構成と同じである。

【0068】

図11に示したような回路構成を適用したTFT基板1は、たとえば、図12および図13に示したような構成になる。なお、図12において2点鎖線で囲んだ領域が第1のダミー画素DP1のTFT素子である。また、図12および図13に示したTFT基板1の構成は、図8において2点鎖線で囲んだ第1のダミー画素DP1をTFT素子のみにしただけであり、その他の構成は図8および図9に示した構成と同じである。また、図12および図13も、TFT基板1の構成の一例を示した図であり、TFT素子、画素電極PX、コモン電極CT等の構成は、適宜変更可能であることはもちろんである。

【0069】

図14乃至図18は、前記実施例の第3の変形例を説明するための模式図であり、図14乃至図16はそれぞれTFT基板の回路構成を示す図、図17は図15の回路構成を適用したTFT基板の構成例を示す拡大平面図、図18は図17のD-D'線断面図である。

【0070】

これまでの説明では、たとえば、図3に示したように、偶数番目あるいは奇数番目にダミー画素DP1、DP2を配置している。しかしながら、本発明の表示装置では、たとえば、図14に示すように、第2のダミー画素DP2の間に第3のダミー画素DP3を配置してもよい。このとき、第3のダミー画素DP3は、第2のダミー画素DP2と異なり、たとえば、共通信号線CLと接続されたダミー電極のみを設ける。またこのとき、第3のダミー画素DP3は、たとえば、図15に示すように、第1のダミー画素DP1の間に配置してもよいし、図16に示すように、第1のダミー画素DP1の間と第2のダミー画素DP2の間の両方に配置してもよい。

【0071】

このような構成、たとえば、図15に示したような回路構成にする場合の一例を図17および図18に示す。第3のダミー画素DP3には、たとえば、図17および図18に示すように、コモン電位の電極UCと一体的として、有効表示領域内の画素の画素電極PXと同じ層にダミーの画素電極を設けることができる。これにより、有効表示領域の左側にある第1のダミー画素DP1と第3のダミー画素DP3が交互に並んでいる列の最上層には、画素電極とコモン電極とが交互に配置される。

【0072】

このような構成にすると、たとえば、1つおきに配置されている第1のダミー画素DP1と、その間の第3のダミー画素DP3の間で、段差構造の差を小さくすることができる。そのため、たとえば、TFT基板1上に配向膜を設けるときのパビング工程において、前記段差によるパビング強度のばらつきの発生を回避することができる。

【0073】

図19乃至図25は、前記実施例の第4の変形例を説明するための模式図であり、図19乃至図21はそれぞれTFT基板の回路構成を示す図、図22は図20の回路構成を適用したTFT基板の構成例を示す拡大平面図、図23は図22のE-E'線断面図、図24は図20の回路構成を適用したTFT基板の他の構成例を示す拡大平面図、図25は図24の

F - F' 線断面図である。

【0074】

図14乃至図18は、図3に示した回路構成を基本構成とし、第1のダミー画素DP1の間または第2のダミー画素DP2の間、あるいはその両方に第3のダミー画素DP3を配置した回路構成を示している。しかしながら、第3のダミー画素DP3を配置する場合、たとえば、図19に示すように、第2のダミー画素DP2の間のみに第3のダミー画素DP3を配置し、さらにその外側にダミーのドレイン電極線DL_{3m+2}を配置してもよい。また、たとえば、図20に示すように、第1のダミー画素DP1の間のみに第3のダミー画素DP3を配置し、さらにその外側にダミーのドレイン電極線DL₀を配置してもよい。またさらに、これらを組み合わせて、たとえば、図21に示すように、第1のダミー画素DP1の間と第2のダミー画素DP2の間の両方に配置し、その外側にそれぞれドレイン電極線DL₀、DL_{3m+2}を配置してもよい。

10

【0075】

このような構成、たとえば、図20に示したような回路構成にする場合の一例を図22および図23に示す。第3のダミー画素DP3には、たとえば、図22および図23に示すように、コモン電位の電極UCと一体的であり、有効領域内の画素の画素電極PXと同じ層にダミーの画素電極PX_dを設ける。このような構成にすると、たとえば、1つおきに配置されている第1のダミー画素と、その間の第3のダミー画素の間の段差構造の差を小さくすることができる。そのため、たとえば、TFT基板1上に配向膜を設けるときはラビング工程において、前記段差によるラビング強度のばらつきの発生を回避することができる。

20

【0076】

また、図20に示したような回路構成にする場合、第3のダミー画素DP3に設けるダミーの画素電極PX_dは、たとえば、図24に示すように、ブリッジ配線BRと一体化し、第1のダミー画素DP1のコモン電極CTと接続することでコモン電位にしてもよい。

【0077】

図26乃至図30は、前記実施例の第5の変形例を説明するための模式図であり、図26乃至図28はそれぞれTFT基板の回路構成を示す図、図29は図27の回路構成を適用したTFT基板の構成例を示す拡大平面図、図30は図29のG - G' 線断面図である。

【0078】

30

前記第3および第4の変形例では、第3のダミー画素DP3として、コモン電位の画素電極PX_dを設ける例を挙げた。しかしながら、第3のダミー画素DP3には、これに限らず、たとえば、図26に示すように、第2のダミー画素DP2の間にTFT素子および画素電極のみを配置してもよい。このとき、第2のダミー画素DP2の外側には、ダミーのドレイン電極線DL_{3m+2}を配置しておき、第3のダミー画素DP3のTFT素子を接続しておく。また、たとえば、図27に示すように、第1のダミー画素DP1の間のみに第3のダミー画素DP3を配置し、さらにその外側にダミーのドレイン電極線DL₀を配置してもよい。またさらに、これらを組み合わせて、たとえば、図28に示すように、第1のダミー画素DP1の間と第2のダミー画素DP2の間の両方に配置し、その外側にそれぞれドレイン電極線DL₀、DL_{3m+2}を配置してもよい。

40

【0079】

このような構成、たとえば、図27に示したような回路構成にする場合の一例を図29および図30に示す。第3のダミー画素DP3には、たとえば、図29および図30に示すように、有効領域内の画素の画素電極PXと同じ層にダミーの画素電極PX_dを設ける。またこのとき、ダミーの画素電極PX_dと重なるコモン電極CTは設けないようにする。このような構成にすると、たとえば、1つおきに配置されている第1のダミー画素DP1と、その間の第3のダミー画素DP3の間の段差構造の差を小さくすることができる。そのため、たとえば、TFT基板1上に配向膜を設けるときはラビング工程において、前記段差によるラビング強度のばらつきの発生を回避することができる。

【0080】

50

以上、本発明を、前記実施例に基づき具体的に説明したが、本発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において、種々変更可能であることはもちろんである。

【 0 0 8 1 】

たとえば、前記実施例およびその変形例では、図 1 および図 2 に示したような液晶表示パネルのTFT基板 1 を例に挙げている。しかしながら、本発明は、前記液晶表示パネルに限らず、TFT素子が画素単位で配置された種々の表示パネルに適用可能であることはもちろんである。

【図面の簡単な説明】

【 0 0 8 2 】

10

【図 1】本発明が適用される表示装置が有する表示パネルの概略構成の一例を示す模式図であり、液晶表示パネルの構成例を示す正面図である。

【図 2】図 1 の A - A ' 線断面図である。

【図 3】本発明による一実施例のTFT基板の回路構成を示す模式図である。

【図 4】本実施例の表示パネルのドレイン電極線 $D L_1$ に印加する信号のタイムチャートの一例を示す図である。

【図 5】本実施例の表示パネルのドレイン電極線 $D L_{3m+1}$ に印加する信号のタイムチャートの一例を示す図である。

【図 6】本実施例の表示パネルのドレイン電極線 $D L_1$ に印加する信号のタイムチャートの他の例を示す図である。

20

【図 7】本実施例の表示パネルのドレイン電極線 $D L_{3m+1}$ に印加する信号のタイムチャートの他の例を示す図である。

【図 8】本実施例の回路構成を適用したTFT基板の構成例を示す模式図であり、有効表示領域の端部の拡大平面図である。

【図 9】図 8 の B - B ' 線断面図である。

【図 10】前記実施例の第 1 の変形例を説明するための模式図であり、TFT基板の回路構成を示す図である。

【図 11】前記実施例の第 2 の変形例を説明するための模式図であり、TFT基板の回路構成を示す図である。

【図 12】図 11 の回路構成を適用したTFT基板の構成例を示す拡大平面図である。

30

【図 13】図 12 の C - C ' 線断面図である。

【図 14】前記実施例の第 3 の変形例を説明するための模式図であり、TFT基板の回路構成を示す図である。

【図 15】前記実施例の第 3 の変形例を説明するための模式図であり、TFT基板の回路構成の他の例を示す図である。

【図 16】前記実施例の第 3 の変形例を説明するための模式図であり、TFT基板の回路構成の他の例を示す図である。

【図 17】図 15 の回路構成を適用したTFT基板の構成例を示す拡大平面図である。

【図 18】図 17 の C - C ' 線断面図である。

【図 19】前記実施例の第 4 の変形例を説明するための模式図であり、TFT基板の回路構成を示す図である。

40

【図 20】前記実施例の第 4 の変形例を説明するための模式図であり、TFT基板の回路構成の他の例を示す図である。

【図 21】前記実施例の第 4 の変形例を説明するための模式図であり、TFT基板の回路構成の他の例を示す図である。

【図 22】図 20 の回路構成を適用したTFT基板の構成例を示す拡大平面図である。

【図 23】図 22 の D - D ' 線断面図である。

【図 24】図 20 の回路構成を適用したTFT基板の他の構成例を示す拡大平面図である。

【図 25】図 24 の F - F ' 線断面図である。

【図 26】前記実施例の第 5 の変形例を説明するための模式図であり、TFT基板の回路構

50

成を示す図である。

【図 2 7】前記実施例の第 5 の変形例を説明するための模式図であり、TFT基板の回路構成の他の例を示す図である。

【図 2 8】前記実施例の第 5 の変形例を説明するための模式図であり、TFT基板の回路構成の他の例を示す図である。

【図 2 9】図 2 7 の回路構成を適用した TFT 基板の構成例を示す拡大平面図である。

【図 3 0】図 2 9 の G - G ' 線断面図である。

【図 3 1】従来の TFT 基板の回路構成を示す図である。

【符号の説明】

【 0 0 8 3 】

1 ... TFT 基板

1 0 1 ... ガラス基板

1 0 2 ... 第 1 層間絶縁膜

1 0 3 ... 半導体層

1 0 4 ... 第 2 層間絶縁膜

2 ... CF 基板

3 ... シール材

4 ... 液晶材料

G L ... ゲート電極線

D L ... ドレイン電極線

C L ... 共通信号線

P X ... 画素電極

P X d ... ダミーの画素電極

C T ... コモン電極

S L ... ソース電極

B R ... ブリッジ配線

D P 1 ... 第 1 のダミー画素

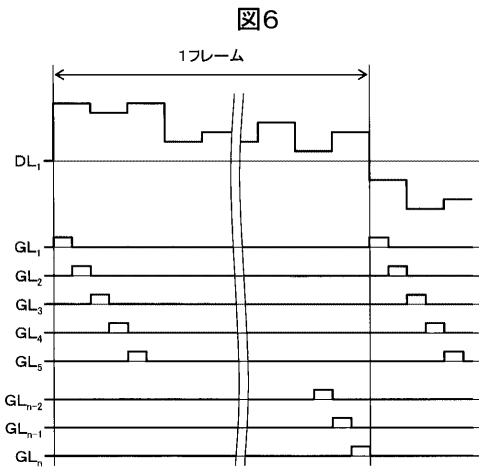
D P 2 ... 第 2 のダミー画素

D P 3 ... 第 3 のダミー画素

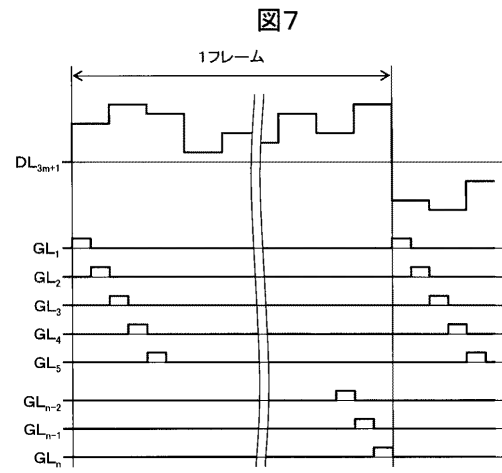
10

20

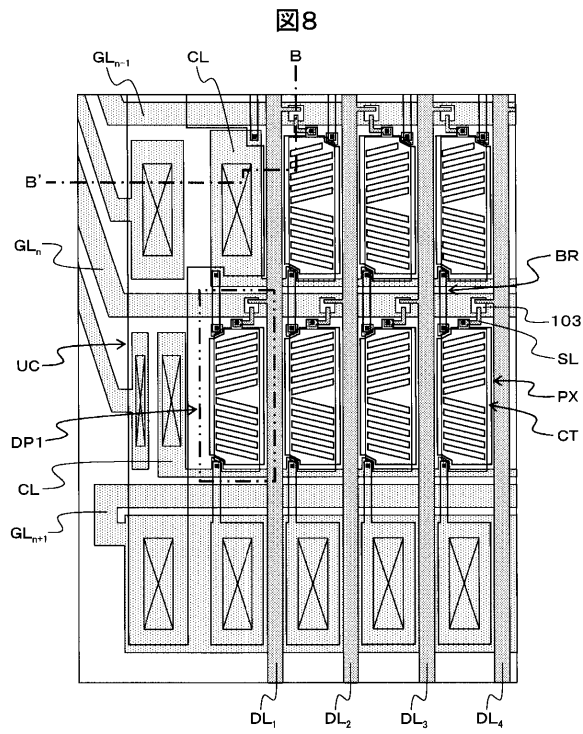
【図 6】



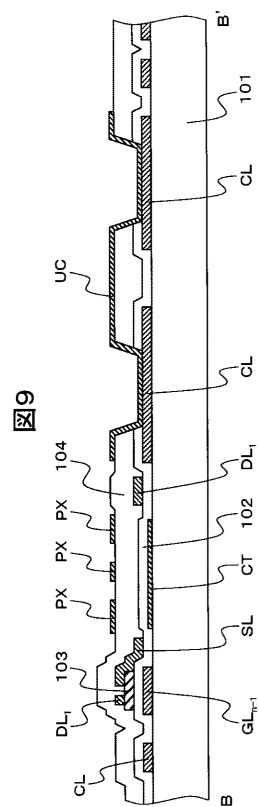
【図 7】



【図 8】

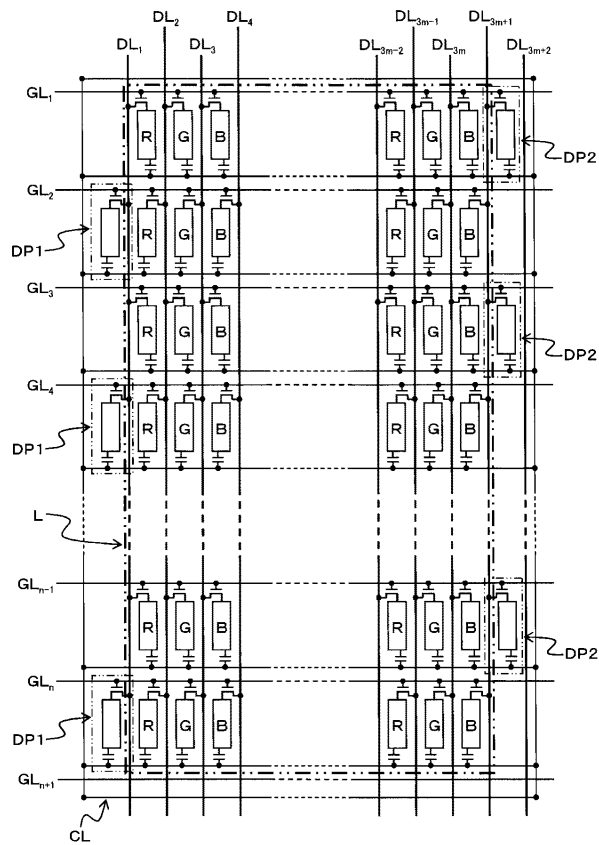


【図 9】



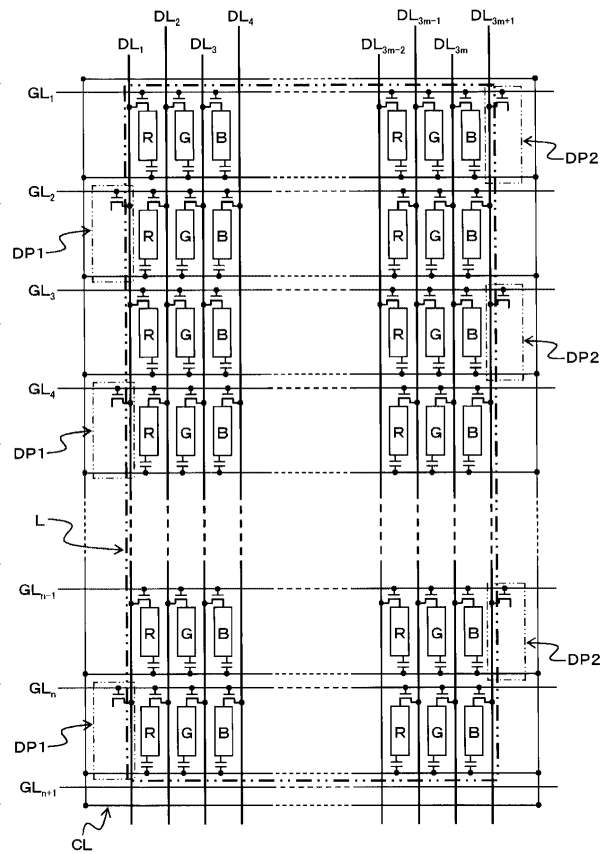
【図10】

図10



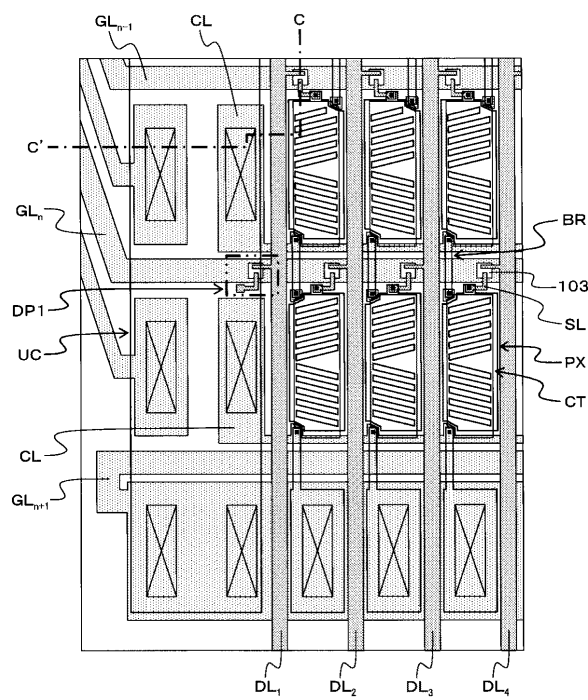
【図11】

図11



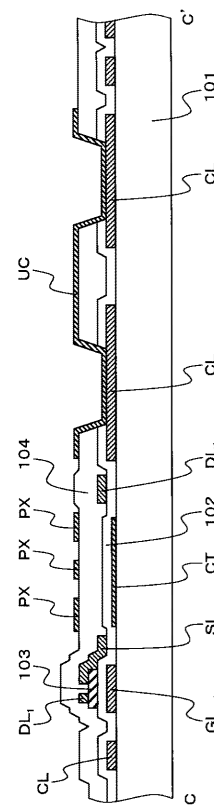
【図12】

図12



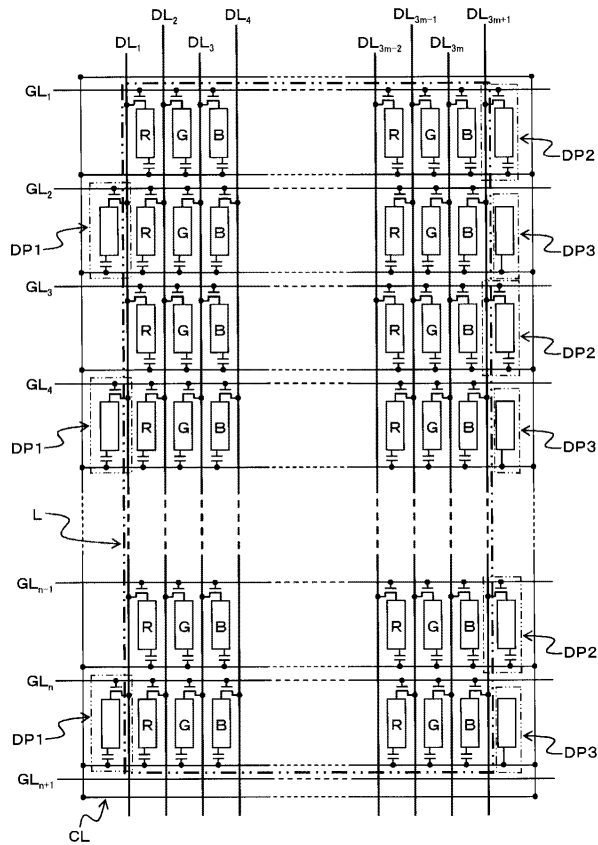
【図13】

図13



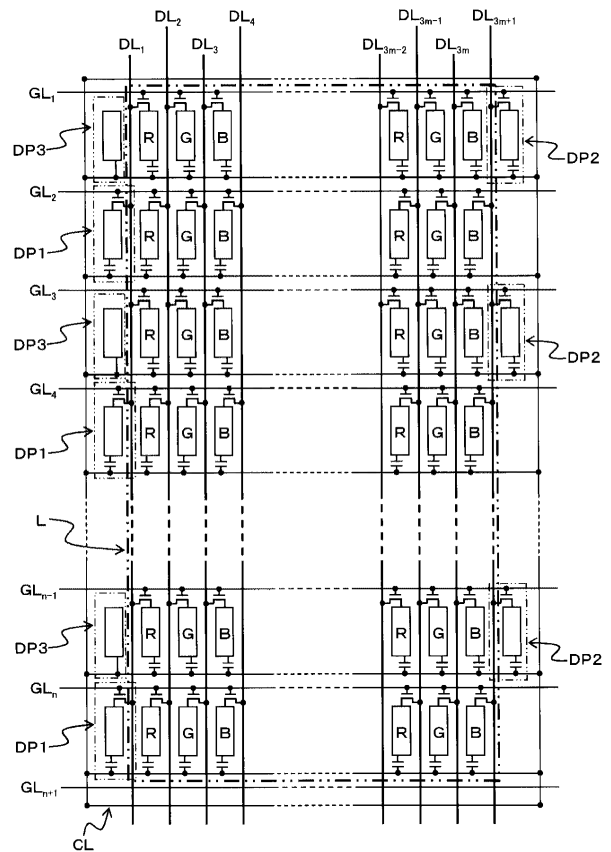
【図14】

図14



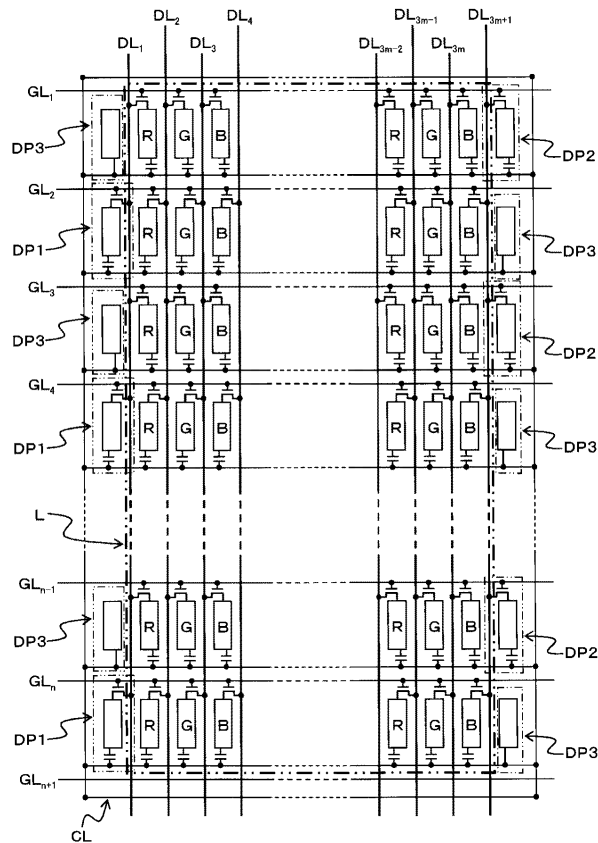
【図15】

図15



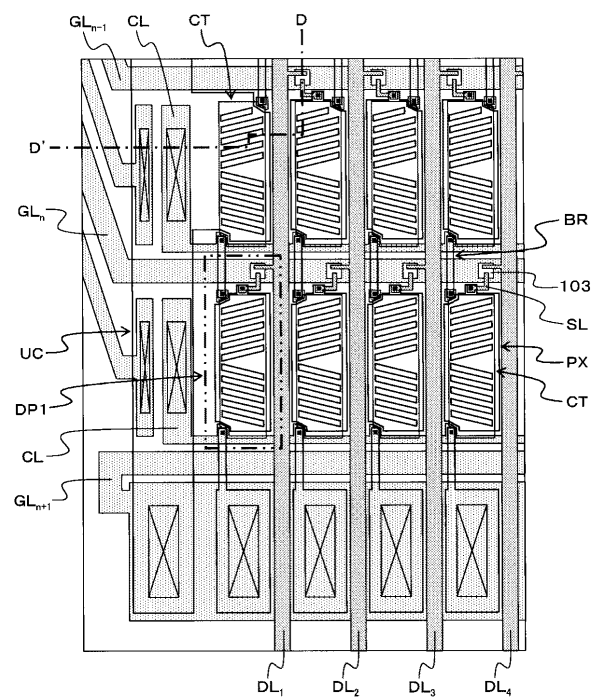
【図16】

図16

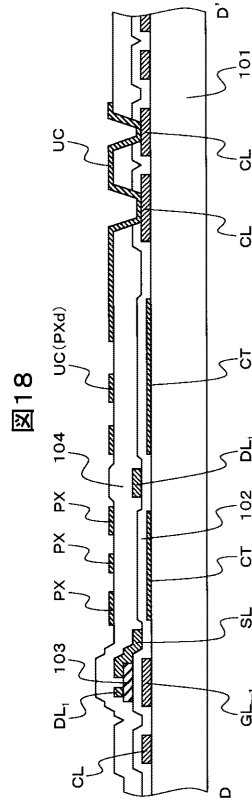


【図17】

図17

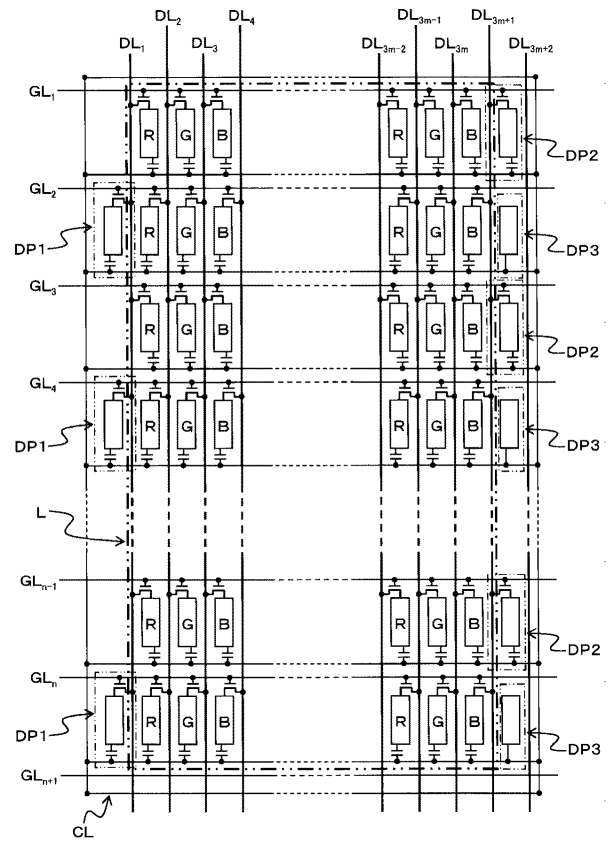


【図18】



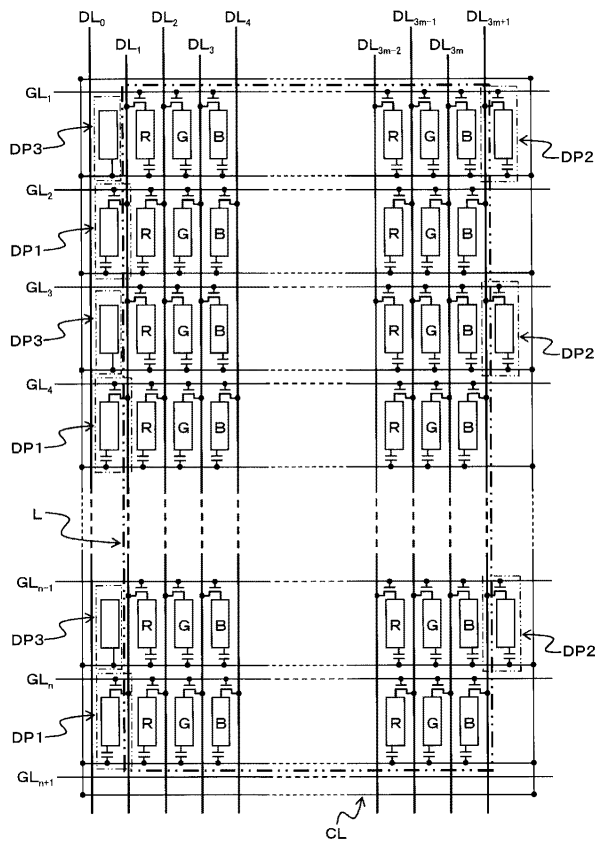
【図19】

図19



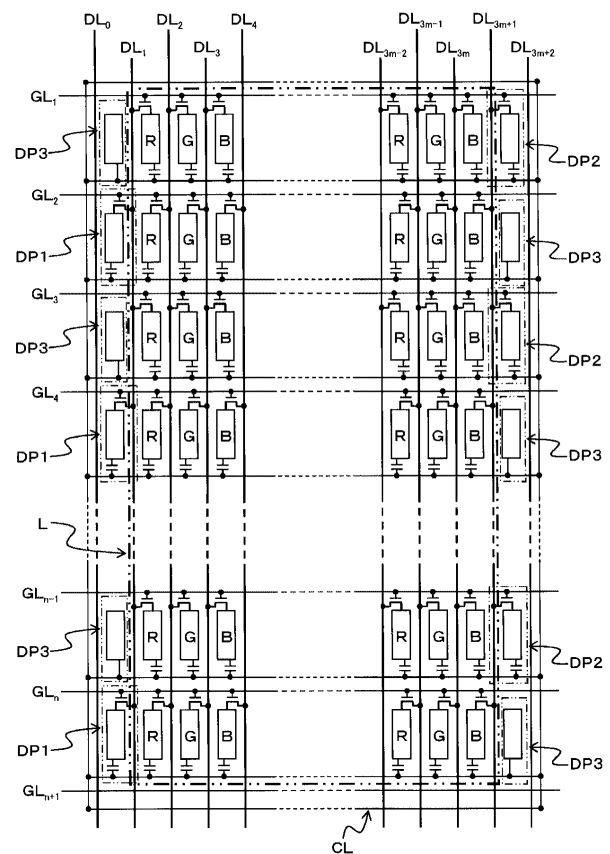
【図20】

図20

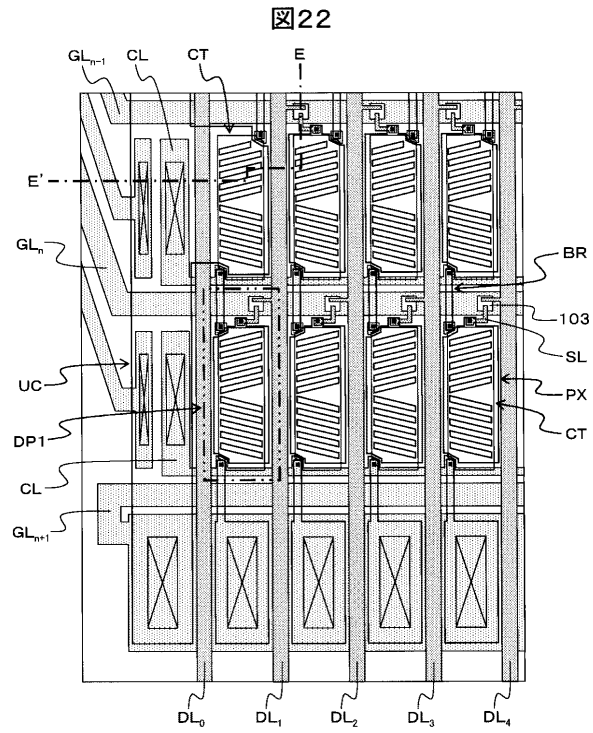


【図21】

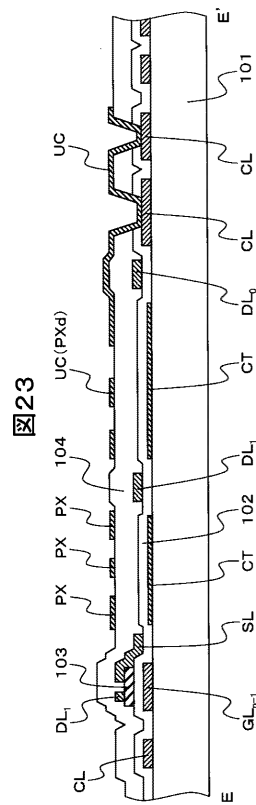
図21



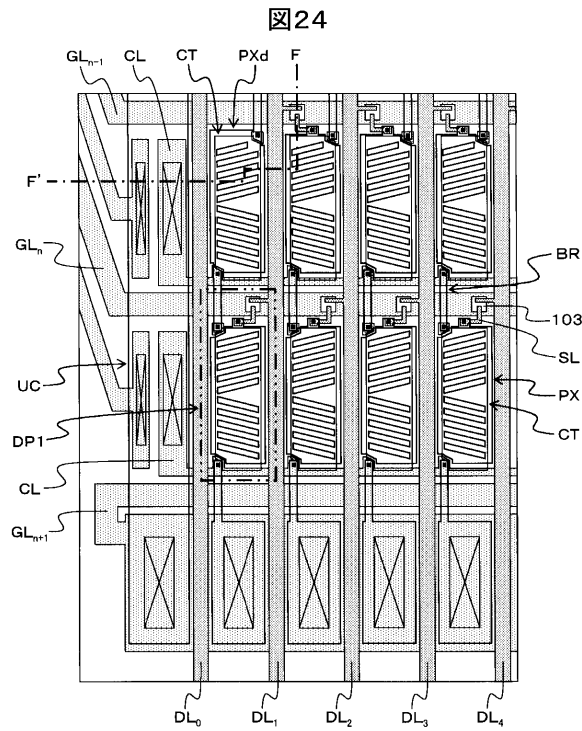
【図 22】



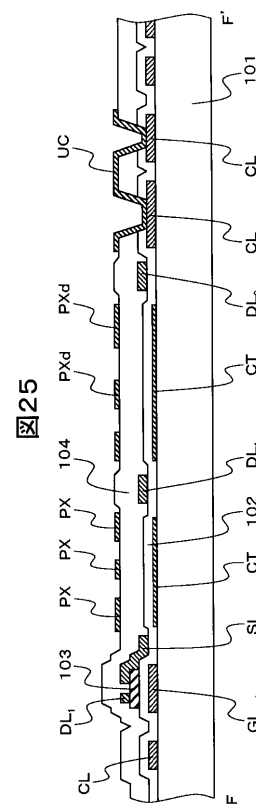
【図 23】



【図 24】

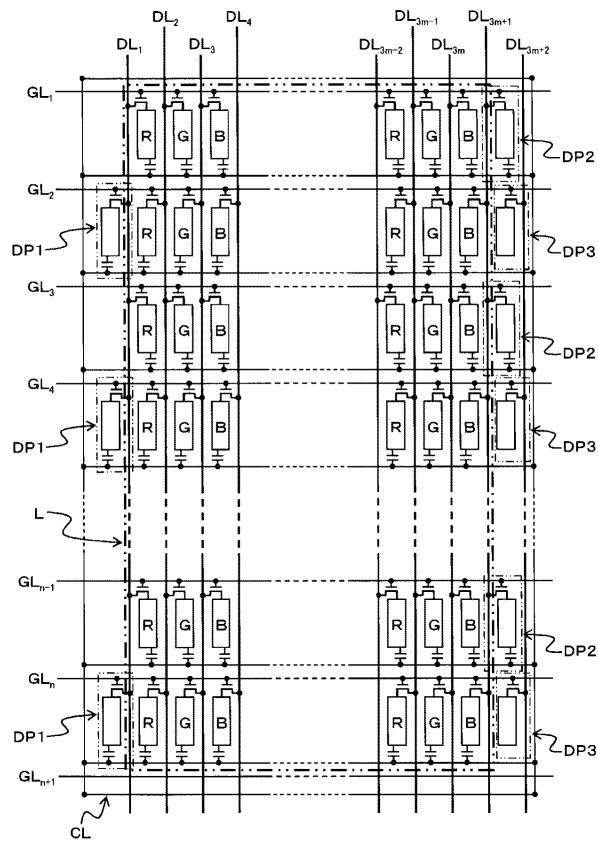


【図 25】



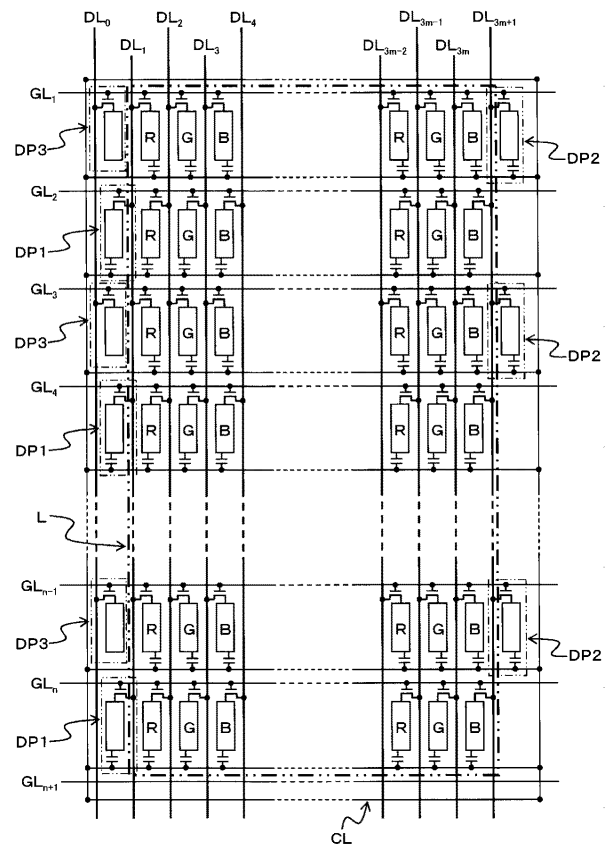
【図 26】

図26



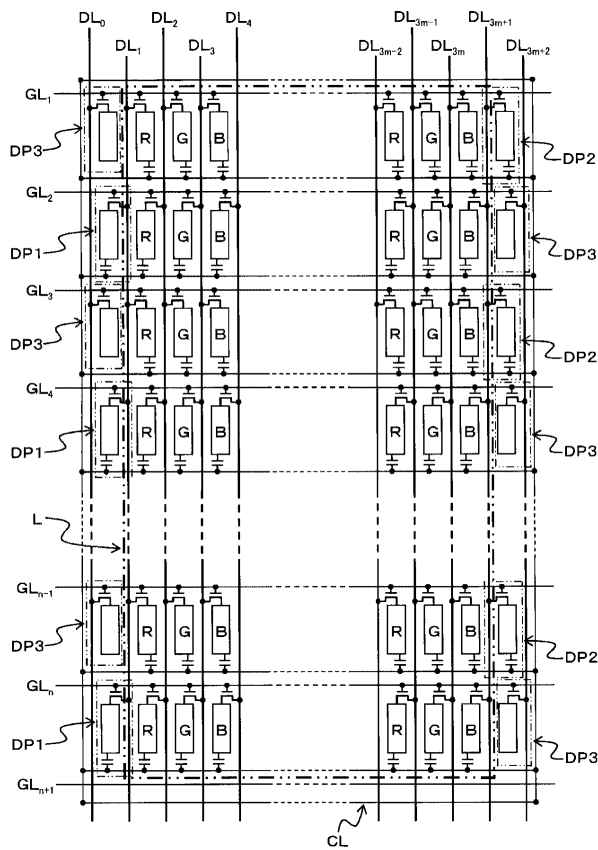
【図 27】

図27



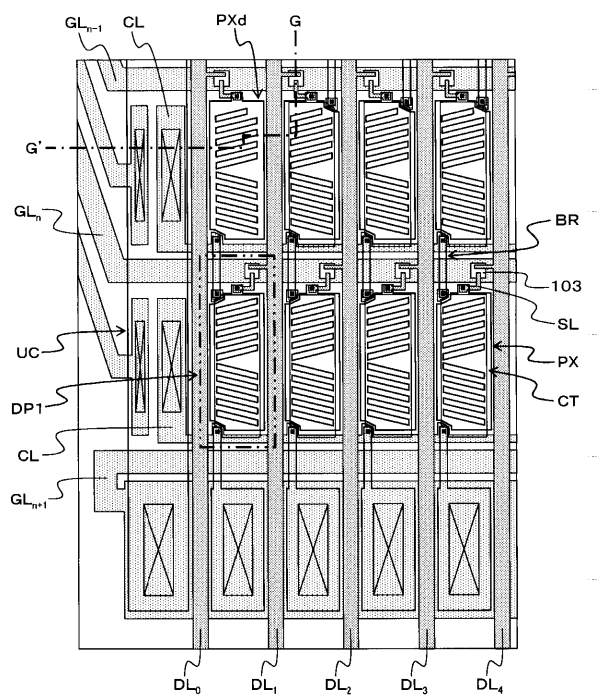
【図 28】

図28

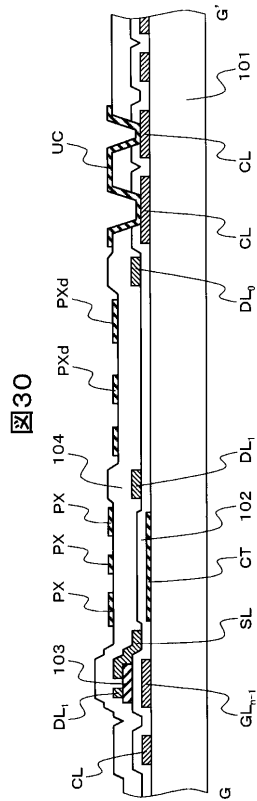


【図 29】

図29

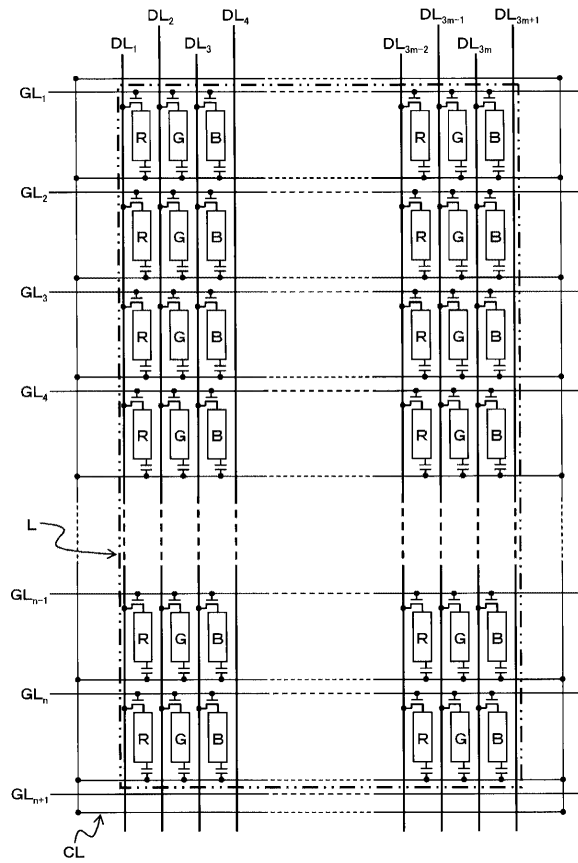


【図30】



【図31】

図31



フロントページの続き

(72)発明者 鴨志田 健太

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

(72)発明者 盛 育子

千葉県茂原市早野 3 3 0 0 番地 株式会社日立ディスプレイズ内

審査官 小濱 健太

(56)参考文献 特開 2 0 0 4 - 3 4 1 1 3 4 (J P , A)

国際公開第 2 0 0 4 / 0 9 7 7 8 6 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3

G 0 2 F 1 / 1 3 6 8

G 0 2 F 1 / 1 3 3

专利名称(译)	表示装置		
公开(公告)号	JP4711404B2	公开(公告)日	2011-06-29
申请号	JP2005234352	申请日	2005-08-12
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
当前申请(专利权)人(译)	日立显示器有限公司 松下液晶显示器有限公司		
[标]发明人	桶隆太郎 鴨志田健太 盛育子		
发明人	桶 隆太郎 鴨 志田 健太 盛 育子		
IPC分类号	G02F1/1343 G02F1/133 G02F1/1368 G09F9/30		
CPC分类号	G09G3/3614 G09G3/3648 G09G2310/02 G09G2320/0247 G09G2320/029		
FI分类号	G02F1/1343 G02F1/133.550 G02F1/1368 G09F9/30.338		
F-TERM分类号	2H092/GA14 2H092/GA21 2H092/GA23 2H092/GA30 2H092/JA24 2H092/JB02 2H092/JB04 2H092/JB05 2H092/JB22 2H092/JB31 2H092/JB45 2H092/JB46 2H092/JB51 2H092/NA01 2H092/PA06 2H092/PA09 2H093/NA16 2H093/NA33 2H093/NA34 2H093/NA43 2H093/NC10 2H093/NC12 2H093/NC34 2H093/ND05 2H093/ND10 2H093/NE03 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BB83 2H192/BC31 2H192/CC62 2H192/DA15 2H192/EA32 2H192/EA43 2H192/FA02 2H192/GD61 2H193/ZA04 2H193/ZA08 2H193/ZC15 2H193/ZC20 2H193/ZD13 2H193/ZD34 2H193/ZF22 2H193/ZF36 2H193/ZP03 5C094/AA05 5C094/AA13 5C094/BA03 5C094/BA43 5C094/DB04 5C094/EA01 5C094/EA04 5C094/HA08		
其他公开文献	JP2007047664A5 JP2007047664A		
外部链接	Espacenet		

摘要(译)

要解决的问题：实现兼容高频的液晶显示器件。 解决方案：多个漏极线和多个栅极线以矩阵排列，像素区由两条相邻的两条漏极线和两条相邻的栅极线围绕而形成每个像素区域具有TFT元件并且是显示装置，其中显示区域被设置为一组像素区域，并且每次它在漏电极线的延伸方向上与栅电极线交叉时，漏电极线并且，每当两条栅电极线交叉时布置TFT元件的区域设置在显示区域的外部。 点域

