

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4452424号  
(P4452424)

(45) 発行日 平成22年4月21日(2010.4.21)

(24) 登録日 平成22年2月5日(2010.2.5)

(51) Int.Cl.

F I

G02F 1/1368 (2006.01)

G02F 1/1368

G09F 9/30 (2006.01)

G09F 9/30 330Z

G09F 9/35 (2006.01)

G09F 9/30 338

H01L 21/285 (2006.01)

G09F 9/30 348A

H01L 29/786 (2006.01)

G09F 9/35

請求項の数 14 (全 23 頁) 最終頁に続く

(21) 出願番号 特願2001-314597 (P2001-314597)  
 (22) 出願日 平成13年10月11日(2001.10.11)  
 (65) 公開番号 特開2002-202528 (P2002-202528A)  
 (43) 公開日 平成14年7月19日(2002.7.19)  
 審査請求日 平成16年6月3日(2004.6.3)  
 (31) 優先権主張番号 2000-59868  
 (32) 優先日 平成12年10月11日(2000.10.11)  
 (33) 優先権主張国 韓国(KR)  
 (31) 優先権主張番号 2001-55212  
 (32) 優先日 平成13年9月7日(2001.9.7)  
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 501426046  
 エルジー ディ스플레이 カンパニー リ  
 ミテッド  
 大韓民国 ソウル, ヨンドゥンポーク, ヨ  
 イドンドン 20  
 (74) 代理人 100109726  
 弁理士 園田 吉隆  
 (74) 代理人 100101199  
 弁理士 小林 義教  
 (72) 発明者  
 オー サンフン  
 大韓民国 730-360 ギョンサンブ  
 クードー, グミーシ, ジンピョンード  
 ン 642-3

最終頁に続く

(54) 【発明の名称】 液晶表示装置用アレイパネル及びその製造方法

(57) 【特許請求の範囲】

【請求項 1】

基板を準備する過程と；前記基板に各々第1金属と第2金属を薄膜として積層する過程と；前記積層された金属膜をエッチングしてゲート電極を含むゲートライン及びゲート短絡ラインを形成する過程を有する液晶表示装置用アレイパネルの製造方法において、前記ゲート短絡ラインを形成する上層部の第2金属をエッチングしてシェブロン状を含むネック状のブリッジを形成する過程と；前記基板に第1絶縁膜を蒸着して、半導体層及びオーミック接触層を形成する過程と；前記ゲート短絡ラインに蒸着された第1絶縁膜を除去する過程とこれと同時に前記ネック状のブリッジの下部の前記第1金属が離隔されるようにエッチングする過程と；前記ゲート短絡ラインの第1絶縁膜が除去された基板の全面に第3金属膜を積層する過程と；前記第3金属膜をエッチングしてソース電極とドレーン電極を形成して、前記ブリッジ及びその上部の前記第3金属膜を除去する過程と；前記ソース、ドレーン電極が備わった基板に第2絶縁膜を蒸着する過程とを含むことを特徴とする液晶表示装置用アレイパネルの製造方法。

【請求項 2】

前記ネック状のブリッジの幅は3.5～4.5 μmであって、前記ネック状のブリッジの長さは2～8 μm以下であって、前記ネック状のブリッジと幅が異なる隣接部分がつくる傾斜面の傾斜角が20度から70度間であり、これに対向される傾斜面の傾斜角は110度から160度であって、前記ネック状のブリッジの下部の前記第1金属が離隔された距離が5 μm以下であることを特徴とする請求項1に記載の液晶表示装置用アレイパネル

の製造方法。

【請求項 3】

前記第 1 金属は、アルミニウムであることを特徴とする請求項 1 に記載の液晶表示装置用アレイパネルの製造方法。

【請求項 4】

前記第 2 金属は、モリブデンであることを特徴とする請求項 1 に記載の液晶表示装置用アレイパネルの製造方法。

【請求項 5】

前記第 1 金属は、アルミニウムネオジウムであることを特徴とする請求項 1 に記載の液晶表示装置用アレイパネルの製造方法。

10

【請求項 6】

基板と；前記基板上に第 1 金属と第 2 金属膜が積層されたゲートラインと、前記ゲートラインと連結されたゲート短絡ラインにネック状のブリッジとこのブリッジの下部に第 1 金属が離隔されて分離された形態を有していることを特徴とする液晶表示装置用アレイパネル。

【請求項 7】

前記ネック状のブリッジの幅は  $3.5 \sim 4.5 \mu\text{m}$  であって、前記ネック状のブリッジの長さは  $2 \sim 8 \mu\text{m}$  であって、前記ネック状のブリッジと隣接部分がつくる傾斜面の傾斜角が  $20$  度から  $70$  度間であり、これに対向される傾斜面の傾斜角は  $110$  度から  $160$  度であって、前記ネック状のブリッジを中心に両側に離隔された距離が  $5 \mu\text{m}$  以下でなされたゲート短絡ラインを含むことを特徴とする請求項 6 に記載の液晶表示装置用アレイパネル。

20

【請求項 8】

前記第 1 金属は、アルミニウムであることを特徴とする請求項 6 に記載の液晶表示装置用アレイパネル。

【請求項 9】

前記第 2 金属は、モリブデンであることを特徴とする請求項 6 に記載の液晶表示装置用アレイパネル。

【請求項 10】

前記第 1 金属は、アルミニウムネオジウムであることを特徴とする請求項 6 に記載の液晶表示装置用アレイパネル。

30

【請求項 11】

基板を備える過程と；前記基板の一面に緩衝層を形成する過程と；前記緩衝層の上部にアイランド状の多結晶シリコン層を形成する過程と；前記多結晶シリコン層及び緩衝層の上部にゲート絶縁膜と、Al を含む第 1 金属層と、Mo を含む第 2 金属層を順に積層する過程と；前記第 1 及び第 2 金属層をエッチングしてゲート電極と、ゲート配線と、ゲート短絡ラインを形成する過程と；前記ゲート電極をマスクに、前記多結晶シリコン層に各々アクティブ領域と、ソース及びドレイン領域を形成する過程と；前記ゲート電極及びゲート絶縁膜の上部に層間絶縁膜を形成する過程と；前記層間保護膜及びその下部のゲート絶縁膜をエッチングして前記ソース及びドレイン領域の一部分を各々露出させる第 1 及び第 2 コンタクトホールと、前記上部ゲート短絡ラインを露出させる開口ホールを形成し、さらにエッチングを進めて前記開口ホールの下で、前記ゲート短絡ラインの下層第 1 金属層を前記開口ホールの中央部分を中心に相互離隔されるように、またその上の第 2 金属層をネック状のブリッジを有するように形成する過程と；前記層間絶縁膜の上部に Mo を含む第 3 金属層を積層する過程と；前記第 3 金属層をエッチングして前記ゲート短絡ラインの上層に積層された第 3 金属層及びその下部の第 2 金属層を除去して、前記ソース及びドレイン領域と各々電氣的に連結されるソース及びドレイン電極を形成する過程とを含むことを特徴とする液晶表示装置用アレイパネルの製造方法。

40

【請求項 12】

前記層間絶縁膜は、 $6500$  ないし  $7500$  オングストロームの厚さを有する窒化シリ

50

コン膜であって、前記第 1 金属層は、2500 ないし 3500 オングストロームの厚さを有する AlNd であり、前記第 2 及び第 3 金属層は 450 ないし 550 オングストロームの厚さを有する Mo であることを特徴とする請求項 11 に記載の液晶表示装置用アレイパネルの製造方法。

【請求項 13】

前記ネック状ブリッジの幅は 4  $\mu$ m 以下であって、相異なる幅を連結する傾斜面と前記ネック状のゲート短絡ラインがつくる角度は 110 ないし 160 度であり、前記ゲート短絡ラインの下層第 1 金属層の離隔距離は 2 ないし 8  $\mu$ m であることを特徴とする請求項 11 に記載の液晶表示装置用アレイパネルの製造方法。

【請求項 14】

請求項 11 の方法で形成及び除去されるゲート短絡ラインを含むことを特徴とする液晶表示装置用アレイパネル。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は画像表示装置に係り、さらに詳細には薄膜トランジスタ(TFT)を含む液晶表示装置(LCD)の製造方法及びその製造方法による液晶表示装置に関する。

【0002】

【従来の技術】

最近情報化社会に時代が急進展するにしたがって、大量の情報を処理してこれを表示するディスプレイ分野が発展している。最近では、薄形化、軽量化、低消費電力化などの時代相に応じるために平板表示装置の必要性が高まりつつある。そのために、色再現性が優秀で薄形である薄膜トランジスタ型液晶表示素子(以下 TFT-LCD と称する)が開発された。

【0003】

一般に液晶表示装置の駆動原理は、液晶の光学的異方性と分極性質を利用する。前記液晶は構造が細くて長いために分子の配列に方向性を持っており、人為的に液晶に電界を印加して分子配列の方向を制御できる。したがって、前記液晶の分子配列方向を任意に調節すると、液晶の分子配列が変わるようになって、光学的異方性によって偏光された光が任意に変調されて画像情報を表現することができる。現在は前述した場合がある薄膜トランジスタと前記薄膜トランジスタに連結された画素電極が行列方式に配列された能動行列液晶表示装置(AM-LCD)が解像度及び動映像具現能力が優秀で最も注目されている。

【0004】

以下に、液晶表示装置を構成する液晶パネルの構造を説明する。

図 1 は、一般的な液晶パネルの一部を図示した断面図である。

【0005】

液晶パネル 20 は、多種の素子が形成された二枚の基板 2、4 が相互対応するように配列されており、前記二枚の基板 2、4 間に液晶層 10 が挟まれた形態で位置している。前記液晶パネル 20 には色相を表現するカラーフィルタが形成されたカラーフィルタ基板 4 と前記液晶層 10 の分子配列方向を変換させることができるスイッチング回路が内蔵されたアレイパネル 2 とで構成される。

【0006】

前記カラーフィルタ基板 4 には色を具現するカラーフィルタ層 8 が形成されており、前記カラーフィルタ層 8 を覆う共通電極 12 が形成されている。前記共通電極 12 は液晶層 10 に電圧を印加する片側電極の役割をする。前記アレイパネル 2 はスイッチング役割をする薄膜トランジスタ S と、前記薄膜トランジスタ S から信号を印加受けて前記液晶層 10 に電圧を印加する他の片側の電極役割をする画素電極 14 とで構成される。前記画素電極 14 が形成された部分を画素部 P という。そして、前記カラーフィルタ基板 4 とアレイパネル 2 の間に注入される液晶 10 の漏洩を防止するために、前記カラーフィルタ基板 4 とアレイパネル 2 は縁にコーティングされたシーラント(Sealant)6 で封印されてい

10

20

30

40

50

る。前記アレイパネル 2 には薄膜トランジスタ S が多数個位置し、前記薄膜トランジスタと各々連結された多数個の画素電極 14 が配列される。

【0007】

上述した液晶表示装置は最も一般的な方式であって、カラーフィルタ基板と薄膜トランジスタが配列されたアレイパネルを相異なる工程を通して製作して、これらを合着する方式を採択した。

【0008】

前記液晶表示装置用アレイパネルの構造は図 2 に図示した通りである。

従来の液晶表示装置のアレイパネルは、透明基板 1 の左右の縁部分にゲート短絡バー 36 と前記ゲート短絡バー 36 から分岐してゲートパッド 35 が複数個形成され、前記ゲートパッド 35 に連結されるゲートライン 30 が一体型に形成される。また、前記透明基板 1 の上下の縁部分にデータ短絡バー 46 が形成されて、前記データ短絡バー 46 から分岐してデータパッド 45 が複数個形成されて、前記データパッド 45 に連結されるデータライン 40 が前記ゲートライン 30 と交差してマトリックス状に形成される。

【0009】

前記データパッド 45 と前記データ短絡バー 46 は、前記データライン 40 を形成する同時にパターニングして一体型に形成することができるが製作工程を単純化するために、一般に前記ゲートライン 30 を形成する時同時にパターニングして、この時前記データ短絡バー 46 はゲート絶縁膜に形成されるコンタクトホール(図示せず)を通して前記データライン 40 と接触するようにすればよい。前記ゲート短絡バー 36 と前記ゲートライン 30 及び前記ゲートパッド 35 の連結構造を図 3 (図 2 の一部分の拡大図)を通してさらに詳細に説明する。複数本のゲートライン 30 は各々奇数番目と偶数番目に区分されて、奇数番目のゲートライン 30 a は奇数番目ゲートパッド 35 a 及び第 1 短絡バー 36 a と各々連結され、偶数番目のゲートライン 30 b は偶数番目のゲートパッド 35 b 及び第 2 短絡バー 36 b と各々電氣的に連結される。

【0010】

前記隣接する 2 本のゲートライン 30 a、30 b と、前記隣接する 2 本のデータライン 40 a、40 b が交差してなす領域内に画素電極 14 が形成されて、前記画素電極 14 と電氣的に連結される前記薄膜トランジスタ S が前記ゲートライン 30 a、30 b と前記データライン 40 a、40 b の交差領域付近に形成される。

【0011】

この時前記ゲート短絡バー 36 a、36 b は、前記薄膜トランジスタ S の作動テストを容易にするために形成されるが、占める面積を小さくするために前記第 2 ゲート短絡バー 36 b は前記アレイ基板 2 の第 1 側面切断線(A)の外側の方に位置し、以後カラーフィルタ基板が合着された後なされる切断工程で前記第 1 側面切断線 A に沿って切断されて分離されて、前記第 1 ゲート短絡バー 36 a は前記アレイパネル 2 の前記第 1 側面切断線 A と第 2 側面切断線 B の間に位置し、第 2 側面切断線 B に沿って切断して第 1 ゲート短絡バー 36 a と第 2 ゲート短絡バー 36 b をすべて分離できる。特に、第 1 ゲート短絡バー 36 a は、前記薄膜トランジスタ S を製造するために後続製造工程中に発生できる静電気による内部素子の破壊を防止するために第 1 ゲート短絡ライン 31 をさらに含んでいる。

【0012】

このような構造で、奇数番号目ゲートライン 30 a と奇数番号目ゲートパッド 35 a は第 1 ゲート短絡バー 36 a と直接電氣的に連結されて、偶数番号目ゲートライン 30 b とゲートパッド 35 b は第 2 ゲート短絡ライン 34 を通して第 2 ゲート短絡ライン 36 b と電氣的に連結される。また、製作工程の初期には静電気によるアレイ素子の破壊を防ぐため偶数番号目ゲートライン 30 b とゲートパッド 35 b を第 1 ゲート短絡バー 36 a とともに第 1 ゲート短絡ライン 31 を通して連結するが、後続工程で第 1 ゲート短絡ライン 31 を切って連結を遮断する。すなわち、前記第 1 ゲートラインは通常後述するソース電極及びドレーン電極を形成する工程で電氣的に断線されて、前記各々の第 1 ゲート短絡バーは前記各々の短絡ラインが断線された以後薄膜トランジスタの作動テストを終えてカラーフィル

10

20

30

40

50

タ基板と合着される前の適切な工程で電氣的に断線される。

【0013】

上述したゲート短絡バー及びゲートパッドとゲート短絡ラインとゲートラインに関する説明は図面に図示されなかったが、データ短絡バー及びデータパッドとデータ短絡ラインとデータラインにも適用される。

【0014】

上述したアレイパネル2の製造工程を図3と製造工程図図4A～図4E(図3のIV-I V線に沿って切断して図示した断面図)を参照してさらに詳細に説明する。

【0015】

図4Aに図示したように、ゲート電極32及び前記第1ゲート短絡ライン31を形成する方法は、前記透明基板1上に金属膜を蒸着した後前記金属膜上に一例としてポジティブ型のフォトリソistを塗布して、所定のパターンを有する第1露光マスクを位置合わせ後フォトリソistを露光現像して、現像されたパターンによって金属膜を所定のエッチャントを用いてエッチングした後、金属膜上に残っているフォトリソistを除去することによって作られる。この時図3に図示したゲート短絡バー36a、36b及びゲートパッド35a、35bと前記ゲートパッド35a、35bから分岐するゲートライン30a、30bなどが上述した工程で形成される。また、上述した工程で好ましくはデータ短絡バー及びデータパッドとデータ短絡ラインと一緒に形成することができることは前述した場合がある(図示せず)。

【0016】

続いて図4Bのようにシリコン窒化膜(SiNx)、シリコン酸化膜(SiOx)等のゲート絶縁膜34が形成されて、前記ゲート電極部のゲート絶縁膜上に非晶質シリコン(a-Si:H)からなる半導体層37と、n+イオンがドーピングされた非晶質シリコン(n+a-Si:H)からなるオーミック接触層38を連続に積層してアイランド状に形成する。続いて、前記オーミック接触層38が形成された基板全面にMo金属膜を蒸着して、前記Mo金属膜上にポジティブ型のフォトリソistを塗布した後、所定のパターンを有する露光マスクを位置合わせる。以後フォトリソistを露光現像してフォトリソistパターンを形成して、そのフォトリソistパターンに沿って下層の金属膜をエッチングして分離されたソース電極42とドレイン電極44を形成して、前記ソース電極及びドレイン電極42、44をマスクとして前記オーミック接触層90をエッチングして、所定間隔を置いて相互離隔されるように分離することによって各々前記ソース電極42と接触するオーミック接触層38aと前記ドレイン電極44と接触するオーミック接触層38bに形成して、残っているフォトリソistパターンを除去して図4Cのように構成する。

【0017】

この時通常前記ゲート短絡ライン上のゲート絶縁膜34をエッチングして第1ゲート短絡ライン31の一部分を露出させて前記第1ゲート短絡ライン31をエッチングして電氣的に断線する工程を含む。

【0018】

前記ゲート電極32と前記半導体層37と前記分離されたオーミック接触層38a、38bと前記ソース電極42及び前記ドレイン電極44などが形成されることによって前記薄膜トランジスタSが完成されて、前記基板全面を覆うように窒化シリコン(SiNx)膜や、酸化シリコン(SiOx)膜またはBCB(ベンゾシクロブテン)等でなされた保護膜45を形成する。前記保護膜45上にフォトリソistをスピンコーティングして塗布して、所定のパターンを有するマスクを利用して露光することにより薄膜トランジスタSのドレイン電極44上の保護膜45が露出された部分48を有するフォトリソist膜47を図4Dに図示したように形成する。

【0019】

以後前記フォトリソist膜47が形成された基板をエッチングチャンバに入れて露出された保護膜部分45の保護膜をエッチングすることによりドレイン電極44が露出されるドレイン電極コンタクトホール49を形成して残っているフォトリソist膜を除去する。以

10

20

30

40

50

後、図4Eに図示したようにITO(Indium Tin Oxide)膜を基板の全面に形成して、所定の様子にパターニングして前記ドレーン電極44と前記ドレーン電極コンタクトホール49を通して接触する前記画素電極14を構成する。

#### 【0020】

通常の液晶表示装置の下部アレイ基板は、今まで説明した工程を経て製造されるが、特に大面積、高解像度の液晶表示装置において前記ゲート配線(ゲート電極)の配線抵抗による信号遅延のために発生するクロストークによる画質低下が発生できる短所を克服するためにゲート配線の金属として低抵抗のアルミニウムを用いる。しかし、アルミニウムは化学的に耐食性が弱く、後続の高温工程でヒロック(hillock)形成による配線欠陥問題が発生する場合があるので、前記のような問題点を解決するために前記ゲート配線としてアルミニウム上に耐久性が大きなMo金属を積層させた積層構造が適用され、前記Mo金属は以後ソース電極及びドレーン電極を構成する物質として再び用いられる。このような二重積層構造を有する液晶表示装置用アレイ基板に対しては図5、6A-6E及び7A-7Eを通して説明する。ここで、アレイ基板はコプレーナタイプ薄膜トランジスタをスイッチング素子として含んでいる。

10

#### 【0021】

前述したように、液晶表示装置とは相互対向する二基板の一面に各々電界生成電極を形成して、これら二電極を対向するように配置した状態でその間に液晶物質を挿入して構成されることであって、このように対向するように形成された電極に電圧を印加して生成される電界変化によって液晶を駆動させることによって、変化する光の透過率で多様な種の画像を表現する装置である。特に液晶表示装置を構成する二基板中一つである下部アレイ基板の上面には画素電極と、前記画素電極に一対一対応する薄膜トランジスタがスイッチング素子として多数個配列されるが、このような薄膜トランジスタを構成する構成要素の一つであるアクティブ層の材質としては非晶質シリコン(a-Si:H)が主流をなすが、これはガラスのような低価の大型基板上に低温工程で具現可能な長所を有しているためである。

20

#### 【0022】

しかし近年になってこのような非晶質シリコンに比べて電界効果移動度が100ないし200倍程度さらに大きくて応答速度が速くて、温度と光に対する安全性が優秀で、特に駆動回路を同一基板上に形成することができるなどの多くの長所を有する多結晶シリコンでアクティブ層を具現する方法が開発されて活用されており、以下参照される図面は前述した多結晶シリコンを利用したアクティブ層を有する薄膜トランジスタが配列されるアレイ基板に対して説明する。

30

#### 【0023】

図5は一般的なコプレーナタイプの薄膜トランジスタを有した液晶表示装置用アレイパネルの一部を簡略に図示した平面図であって、透明な基板上に平行に配列される多数のゲート配線51及びこれと直交する多数の平行したデータ配線71がマトリックス状をなして画素領域を定義しており、このような画素領域内には各々薄膜トランジスタTと、前記薄膜トランジスタTと電氣的に連結される画素電極91が位置する。この時多数のゲート配線51及びデータ配線71は基板の1方向または両方向に長く延びて各々外部ゲート回路G及び外部データ回路(図示せず)と電氣的に連結されるが、この時特にゲート配線51とゲート外部回路Gが連結される基板縁部分と、データ配線71とデータ外部回路(図示せず)が連結される基板の縁部分には、多数のゲート配線51と多数のデータ配線71を各々単一閉回路に連結するゲート短絡バー54及びデータ短絡バー(図示せず)が形成されてこれは以後適切な工程で電氣的に切断されて、最終的には図5に図示したような構成を有する。

40

#### 【0024】

この時、前述したゲート短絡バー54と、各画素領域内に位置した状態で隣接するゲート配線51及びデータ配線71と電氣的に連結される薄膜トランジスタTに対して、図5のVI-VI線に沿って切断した断面とVII-VII線に沿って切断した断面を工程別に

50

示した図 6 A - 6 E 及び 7 A - 7 E を参照して説明する。

【 0 0 2 5 】

まず工程の最後過程を示した図 6 E と 7 E で、薄膜トランジスタは透明基板 1 0 の全面に蒸着された緩衝層 2 4 と、これの上部に不純物のドーピング有無によってアクティブ領域 5 0 とソース及びドレイン領域 5 0 a、5 0 b に区分される半導体層が位置し、これの上部にはゲート絶縁膜 2 6 が位置する。また特に前述したアクティブ領域 5 0 の上部に積層されたゲート絶縁膜 2 6 上にはゲート電極 5 3 が位置するが、このようなゲート電極 5 3 は図 5 に図示したように基板の横方向に延びたゲート配線 5 1 と電氣的に連結されている。このようなゲート電極 5 3 及びゲート絶縁膜 2 6 の上部には、基板全面に蒸着される層間絶縁膜 6 0 が位置するが、このような層間絶縁膜 6 0 は各々ソース及びドレイン領域 5 0 a、5 0 b の一部を各々あらわす第 1 及び第 2 コンタクトホール 6 1、6 2 を有しており、これの上部に形成されるソース及びドレイン電極 7 2 a、7 2 b は各々これらを通してソース及びドレイン領域 5 0 a、5 0 b と電氣的に連結される。

10

【 0 0 2 6 】

この時、特にソース電極 7 2 a は図 5 の縦方向に延びたデータ配線 7 1 と電氣的に連結されるが、このようなソース及びドレイン電極 7 2 a、7 2 b が形成された基板の上部には各々ドレイン電極 7 2 b をあらわすように貫通された第 3 コンタクトホール 8 1 を有する保護膜 6 2 と、平坦化膜 8 0 が順に形成されており、これの上部に前記第 3 コンタクトホール 8 1 を通してドレイン電極 7 2 b と電氣的に連結される画素電極 9 1 が位置する。

【 0 0 2 7 】

一方、このような薄膜トランジスタ T を基板上に形成するためには数回にかけた化学及び物理的処理工程を経るので、この時発生する静電気等によって素子は致命的な損傷を受ける場合がある。したがってこれを防止するために各々のゲート配線(図 5 の 5 1)とデータ配線(図 5 の 7 1)を閉回路に連結するゲート短絡バー(図 1 の 5 4)及びデータ短絡バー(図示せず)が設けられるが、これらは以後静電気による素子の損傷可能性がなくなれば電氣的に断線されることは前述した場合がある。このようなゲート短絡バー 5 4 は図 7 E の図面のように、基板上に順に全面蒸着された緩衝層 2 4 及びゲート絶縁膜 2 6 の上部に、薄膜トランジスタのゲート電極 5 3 を構成する金属物質と同一な材質で形成された後適切な工程で切断されるが、図示された図面はゲート短絡バー 5 4 が切断された状態を図示した。

20

30

【 0 0 2 8 】

このようなゲート短絡バー 5 4 の形成及び切断の過程を薄膜トランジスタの製造工程と比較し、図 6 A - 6 E 及び 7 A - 7 E を参照して製造工程順序によって説明する。図 6 A ないし図 6 E は各々一般的なアレイパネルの製造順序によって図 5 の V I - V I 線に沿って切断した断面を図示した図面であり、図 7 A ないし図 7 E は各々一般的なアレイパネルの製造順序によって図 5 の V I I - V I I 線に沿って切断した断面を図示した図面である。

【 0 0 2 9 】

まず、図 6 A 及び 7 A に図示したように、透明基板 1 0 の全面にシリコン酸化膜( $\text{SiO}_2$ )等でなされた緩衝層 2 4 を積層して、これの上部にアイランド状の多結晶シリコン層 5 0 を形成するが、したがってこの時には図 6 A に図示したように、薄膜トランジスタ T が形成される部分には各々基板 1 0 と、緩衝層 2 4 と、アイランド状の多結晶シリコン層 5 0 が順に積層されているが、ゲート短絡バー部分には基板 1 0 と、これの上部に積層された緩衝層 2 4 のみ存在している。

40

【 0 0 3 0 】

続いて、図 6 B 及び 7 B に図示したように緩衝層 2 4 及び多結晶シリコン層 5 0 が形成された基板の上部全面にシリコン酸化膜やシリコン窒化膜などの材質でなされるゲート絶縁膜 2 6 と導電性金属を順に積層した後、導電性金属のみをパターンニングして基板の全面に蒸着されたゲート絶縁膜 2 6 及びこれの上部に形成されたゲート電極 5 3 と、後続工程で発生する静電気などを放電する役割をするゲート短絡バー 5 4 を形成するが、この時前述したゲート電極 5 3 と電氣的に連結される図 5 のゲート配線 5 1 も同時に具現される。以

50

後このような2重積層構造を有するゲート電極53をマスクとしてその下部に位置するゲート絶縁膜26を媒介に多結晶シリコン層50にイオンドーピングを実施して、真性半導体物質であるアクティブ領域50をはさんで各タイオン不純物がドーピングされたソース及びドレイン領域50a、50bを具現する。

#### 【0031】

一方大面積、高解像度の液晶表示装置において、このようなゲート電極53及びゲート配線(図5の51)が有する配線抵抗が大きな場合には信号遅延によるクロストークによって画質が低下する場合は頻りに観察されるので、これを防止するためにゲート電極及びゲート配線としては通常低抵抗のアルミニウム(A1)を用いる。しかしこのようなアルミニウム(A1)は化学的に耐食性が弱くて、後続工程で要求される高温によってその表面が損傷されてヒロックなどの配線欠陥問題が発生する場合があるので、これの上部に耐久性が大きなMoなどの金属を積層してなされる2重積層構造のゲート電極53及びゲート配線(図5の51)が用いられている。したがってこれを図示した図6B以下の図面において、ゲート電極53及びゲート短絡バー54を構成する下端のA1材質でなされる第1金属層に図面符号52aを、その上部のMo材質でなされる第2金属層には図面符号52bを付与して説明する。

#### 【0032】

続いて図6C及び7Cに図示したように、基板の全面にシリコン酸化膜やシリコン窒化膜でなされた層間絶縁膜60を積層して、このような層間絶縁膜60及びその下部のゲート絶縁膜26をパターニングすることにより、各々ソース及びドレイン領域50a、50bをあらわす第1及び第2コンタクトホール61、62と、ゲート短絡バー54を露出させる露出ホール64を形成する。このような層間絶縁膜60は後述するソース及びドレイン電極72a、72bとゲート電極53との絶縁のためのものであって、以後図6Dに図示したように層間絶縁膜60の上部基板全面に、耐久性が大きなMoなどの金属物質でなされた第3金属層を蒸着してこれをパターニングすることによりデータ配線(図1の71)とソース及びドレイン電極72a、72bを形成する。

#### 【0033】

この時、データ配線(図5の71)はソース電極72aと電氣的に連結された状態でゲート配線51と直交するようになされることは前述した場合があり、ソース及びドレイン電極72a、72bは第1及び第2コンタクトホール61、62を通してソース及びドレイン領域72a、72bと電氣的に連結されるが、この時ゲート短絡バー54の上部にも第3金属層が積層されるが、これはソース及びドレイン電極72a、72bの形成のためのパターニング工程で除去されると同時にその下部の2重積層構造を有するゲート短絡バー54もこれと同一工程で電氣的に断線される。これはたとえ図面に図示しなかったが、ゲート配線(図5の51)が延びて連結される外部ゲート回路(図5のG)において、前述したソース及びドレイン電極72a、72bの具現と同時に静電気防止回路が完成されるので無理に残っている必要がないためである。

#### 【0034】

このような過程を通して構成される薄膜トランジスタは、図6E及び7Eに図示したようにソース及びドレイン電極72a、72bが形成された基板10全面にかけてシリコン窒化膜等でなされる保護膜62と、BCB等でなされる平坦化膜80を順に積層して、これらをパターニングすることによりドレイン電極72bの一部をあらわす第3コンタクトホール81を形成するが、以後このような第3コンタクトホール81を通して透明導電物質でなされた画素電極91が電氣的に連結される。

#### 【0035】

以上で説明したゲート短絡バーの具現及び切断と薄膜トランジスタの製造工程において、特に第3金属層を蒸着した後これをパターニングしてソース及びドレイン電極72a、72bを形成するためには通常湿式エッチング方法が用いられるので、この時ゲート短絡バー54の切断のためにまた他のエッチャントを用いる追加湿式工程が要求される。すなわち、ソース及びドレイン電極72a、72bを形成する第3金属層としては通常ゲート短

10

20

30

40

50



絡バー 5 4 の上層を形成する M o 金属が用いられるが、このような M o 金属を溶解させることができるエッチャントを用いてソース及びドレーン電極 7 2 a、7 2 b のパターンニングと、ゲート短絡バー 5 4 上層の第 2 金属層 5 2 b の電氣的断線がなされたとしても、その下部の A 1 金属でなされた第 1 金属層 5 2 a は相変わらず存在しているので、これを溶解して電氣的に断線されるようにするためにはまた他のエッチャントを用いる追加湿式エッチング工程が必要になる。

#### 【 0 0 3 6 】

それで基板は二種のエッチャントに長時間露出されることによって損傷される場合が頻繁で、これを防止するために湿式エッチング工程時間を短縮する場合にゲート短絡バーが完全に断線できなくて正しい作動が不可能な問題点を有している。

10

言い換えれば、前記ゲート配線として上述した A 1 と M o 金属の積層構造を用いる場合に全体製造工程は A 1 の上部に M o 金属を積層する過程をさらに含んで、前記ゲート配線をパターンニングしてエッチングする工程にも上層に積層された M o 金属をパターンニングしてエッチングする過程と、下部の A 1 金属をエッチングする過程とに細分化されて各々のエッチング過程で用いられるエッチャントの種もやはり変わる。結局前記積層構造は製造工程数を増加させて基板を汚染させる可能性を高めて不良の発生率がさらに高まる問題点を有している。

#### 【 0 0 3 7 】

したがって前記の問題を解決するためにゲート配線、ゲート短絡ライン及びゲート短絡バーとして前記積層構造が用いられる場合に、通常の液晶表示装置のアレイ基板のゲート短絡ライン及びゲート短絡バーに M o - ブリッジ ( M o - B r i d g e ) をさらに含むこともする。

20

#### 【 0 0 3 8 】

##### 【 発明が解決しようとする課題 】

本発明は前記問題点を解決するために案出されたものであり、本発明の目的は、データ及びゲート短絡ラインの安定した短絡と分離が可能な液晶表示装置を提供することである。

#### 【 0 0 3 9 】

本発明の他の目的は、ソース及びドレーン電極の具現工程でなされるゲート短絡バーの切断にさらに信頼性を付与し、特に基板がエッチャントに露出される時間を短縮してここに加えられる衝撃を最小化でき、さらに改善されたゲート短絡バー及びその製造方法を提供することである。

30

#### 【 0 0 4 0 】

##### 【 課題を解決するための手段 】

前記の目的を達成するための本発明は、基板を備える過程と；前記基板に各々第 1 金属と第 2 金属を薄膜で積層する過程と；前記積層された金属膜をエッチングしてゲート電極を含むゲートライン及びゲート短絡ラインを形成する過程において、前記ゲート短絡ラインを形成する上層部の第 2 金属をエッチングしてシェブロン (chevron) 状を含むネック状のブリッジを形成する過程と；前記基板に第 1 絶縁膜を蒸着して、半導体層及びオーミック接触層を形成する過程と；前記ゲート短絡ラインに蒸着した第 1 絶縁膜を除去する過程とこれと同時に前記ネック状のブリッジの下部の前記第 1 金属が離隔されるようにエッチングする過程と；前記ゲート短絡ラインの第 1 絶縁膜が除去された基板の全面に第 3 金属膜を積層する過程と；前記第 3 金属膜をエッチングしてソース電極とドレーン電極を形成して、前記ブリッジ及びその上部の前記第 3 金属膜を除去する過程と；前記ソース、ドレーン電極が備わった基板に第 2 絶縁膜を蒸着する過程を含む液晶表示装置用アレイパネルの製造方法を提供する。

40

#### 【 0 0 4 1 】

この時、前記ネック状のブリッジの幅は  $3.5 \sim 4.5 \mu\text{m}$  であって、前記ネック状のブリッジの長さは  $2 \sim 8 \mu\text{m}$  以下であって、前記ネック状のブリッジと幅が異なる隣接部分がつくる傾斜面の傾斜角が  $20$  度から  $70$  度間であり、これに対向される傾斜面の傾斜角は  $110$  度から  $160$  度であって、前記ネック状のブリッジの下部前記第 1 金属が離隔さ

50

れた距離が  $5\ \mu\text{m}$  以下であることを特徴とする。

【0042】

また、本発明で前記第1金属はアルミニウム(A1)またはアルミニウムネオジム(AlNd)であり、前記第2金属はモリブデン(Mo)である液晶表示装置用アレイパネルの製造方法であることを特徴とする。

【0043】

前記目的を達成するための本発明は、また基板と；前記基板上に第1金属と第2金属膜が積層されたゲートラインと、前記ゲートラインと連結されたゲート短絡ラインにネック状のブリッジとこのブリッジの下部に第1金属が離隔されて分離された形態を有している液晶表示装置用アレイパネルを提供する。

10

【0044】

この時、前記ネック状のブリッジの幅は  $3.5 \sim 4.5\ \mu\text{m}$  であって長さは  $2 \sim 8\ \mu\text{m}$  であり、前記ネック状のブリッジと隣接部分がつくる傾斜面の傾斜角が  $20$  度から  $70$  度であり、これに対向される傾斜面の傾斜角は  $110$  度から  $160$  度であって、前記ネック状のブリッジを中心に両側に離隔された距離が  $5\ \mu\text{m}$  以下になされたゲート短絡ラインを含む液晶表示装置用アレイパネルであることを特徴とする。

【0045】

また本発明で、前記第1金属はアルミニウム(A1)またはアルミニウムネオジム(AlNd)であり、前記第2金属はモリブデン(Mo)である液晶表示装置用アレイパネルであることを特徴とする。

20

【0046】

前記他の目的を達成するための本発明は、基板を備える過程と；前記基板の一面に緩衝層を形成する過程と；前記緩衝層の上部にアイランド状の多結晶シリコン層を形成する過程と；前記多結晶シリコン層及び緩衝層の上部にゲート絶縁膜と、Alを含む第1金属層と、Moを含む第2金属層を順に積層する過程と；前記第1及び第2金属層をエッチングしてゲート電極と、ゲート配線と、ゲート短絡ラインを形成する過程と；前記ゲート電極をマスクに、前記多結晶シリコン層に各々アクティブ領域と、ソース及びドレイン領域を形成する過程と；前記ゲート電極及びゲート絶縁膜の上部に層間絶縁膜を形成する過程と；前記層間保護膜及びその下部のゲート絶縁膜をエッチングして前記ソース及びドレイン領域の一部分を各々露出させる第1及び第2コンタクトホールと、前記上部ゲート短絡ラインを露出させる開口ホール及び前記ゲート短絡ラインの下層第1金属層を相互離隔されるように形成する過程と；前記層間絶縁膜の上部にMoを含む第3金属層を積層する過程と；前記第3金属層をエッチングして前記ゲート短絡ラインの上層に積層された第3金属層及びその下部の第2金属層を除去して、前記ソース及びドレイン領域と各々電氣的に連結されるソース及びドレイン電極を形成する過程を含む液晶表示装置用アレイパネルの製造方法を提供する。

30

【0047】

この時、前記層間絶縁膜は、 $6500$  ないし  $7500$  オングストロームの厚さを有する窒化シリコン膜であって、前記第1金属層は  $2500$  ないし  $3500$  オングストロームの厚さを有する AlNd であり、前記第2及び第3金属層は  $450$  ないし  $550$  オングストロームの厚さを有する Mo である液晶表示装置用アレイパネルの製造方法であることを特徴とする。

40

【0048】

また、前記上層ゲート短絡ラインは、他の部分より狭い幅を有するネック状である液晶表示装置用アレイパネルの製造方法であることを特徴とする。この時、前記ネック状の上層ゲート短絡ラインの幅は  $4\ \mu\text{m}$  以下であって、相異なる幅を連結する傾斜面と前記ネック状のゲート短絡ラインがつくる角度は  $110$  度ないし  $160$  度であり、前記上層ゲート短絡ラインを中心に下層ゲート短絡ラインの離隔距離は  $2$  ないし  $8\ \mu\text{m}$  である液晶表示装置用アレイパネルの製造方法であることを特徴とする。

【0049】

50

また前記のような方法で形成及び除去されるゲート短絡ラインを含む液晶表示装置用アレイパネルを提供する。

【 0 0 5 0 】

【 発 明 の 実 施 の 形 態 】

以下、本発明によるアレイ基板の製造過程を製造工程図図 8 A ~ 図 8 F を参照して詳細に説明する。

【 0 0 5 1 】

まず図 8 A に図示したように、透明基板 1 0 1 上に配線抵抗による信号遅延のために発生するクロス - トークによる画質低下が発生できる短所を克服できる低抵抗の金属である A l でなされた金属を蒸着する。以後前記 A l 金属上に、後続の高温工程で発生できるヒロックによる配線欠陥問題を解決するために耐久性が強い M o 金属を積層して、このような基板上に一例としてポジティブ型のフォトレジストを塗布して、所定の形態を有した露光マスクを位置合わせ後フォトレジストを露光現像してフォトレジストのパターンを形成する。

【 0 0 5 2 】

以後エッチャントを用いて、図 8 B のようにゲート電極 1 3 2 及びゲート短絡ライン 1 3 1 を形成するが、この時特にゲート短絡ラインの上層部 1 3 1 b は図 9 ( 図 8 B の K 部分を拡大して平面で図示した拡大平面図 ) のように幅 D は 3 . 5 ~ 4 . 5  $\mu$  m であって、長さ E は数  $\mu$  m ~ 数十  $\mu$  m でなされたネック状の M o - ブリッジ 1 0 0 を含むように形成する。また前記ネック状の M o - ブリッジ 1 0 0 は幅が異なる隣接する部分とつくる傾斜面 1 3 3 a の第 1 傾斜角 は 2 0 度から 7 0 度間とし、それに対向される傾斜面 1 3 3 b の第 2 傾斜角 は 1 1 0 度から 1 6 0 度間になるように形成する。ゲート短絡ライン 1 3 1 の第 2 金属層 1 3 0 b はシェブロンパターンで積層された構造に形成する。

【 0 0 5 3 】

以後ゲート配線が形成された基板に図 8 C のように窒素シリコン ( S i N x ) や酸化シリコン ( S i O x ) 等のゲート絶縁膜 1 3 4 を形成して、前記ゲート電極部のゲート絶縁膜 1 3 4 上に非晶質シリコン ( a - S i : H ) からなる半導体層 1 3 7 と、 n + イオンがドーピングされた非晶質シリコン ( n + a - S i : H ) からなるオーミック接触層 1 3 8 を連続積層してアイランド状に形成する。以後前記ゲート短絡ライン 1 3 1 上に蒸着されたゲート絶縁膜 1 3 4 を除去する。この時前記 M o - ブリッジ 1 0 0 下部に位置した第 1 金属層 1 3 0 a も除去されるが、詳細な説明は図 1 0 A と図 1 0 B を参照して説明する。図 1 0 A と 1 0 B は図 8 C の “ M ” 部分を拡大図示した断面図と平面図である。

【 0 0 5 4 】

前述したようにゲート短絡ライン 1 3 1 の下部第 1 金属層 1 3 0 a は A l 金属や A l 合金で形成されて図 8 C のエッチングホール 1 3 5 は一般にエッチャントを用いて湿式エッチングを進むが、このようなエッチャントに露出されるゲート短絡ライン 1 3 1 の第 1 金属層 1 3 0 a も一部がエッチングされる。特に、第 1 金属層 1 3 0 a は化学的耐食性が弱くて湿式エッチングをするエッチャントに弱いので第 1 金属層のエッチングは活発に進められ、第 1 金属層 1 3 0 a はエッチングホール 1 3 5 の中央部分を中心に相互離隔される。

【 0 0 5 5 】

すなわち、ゲート絶縁膜 1 3 4 をエッチングしてエッチングホール 1 3 5 を構成する時、前記ゲート短絡ラインの下層部 1 3 0 b の金属が相互分離離隔されるように同時にエッチングされ、前記ゲート短絡ラインの上層部 1 3 0 a はネック状の M o - ブリッジ 1 0 0 構造をなして前記ネック状の M o - ブリッジ 1 0 0 の下層金属は数  $\mu$  m 以下 ( 図 1 0 A 及び図 1 0 B の “ F ” ) に離隔された形態を有することができるように図 1 0 A と 1 0 B のように形成する。本発明のように構成すれば前記ネック状の M o - ブリッジ 1 0 0 を通して電氣的流れは可能になって、したがって後述する工程で発生できる静電気等によって内部素子が破壊されることを防ぐゲート短絡ライン 1 3 1 の役割ができる。

【 0 0 5 6 】

上述したネック状の M o - ブリッジを有するゲート短絡ラインは、前記ゲート電極及びゲ

10

20

30

40

50

ート短絡ラインを形成する工程と同一工程でデータパッド、及びデータ短絡バーとデータ短絡ラインを形成する時にも同一に適用できることは当業者に自明な事実である。

【 0 0 5 7 】

以後、図 8 D に図示したように、前記基板に第 2 M o 金属を蒸着して、前記第 2 M o 金属膜上にポジティブ型のフォトレジストを塗布した後、所定のパターンを有する露光マスクを位置合わせる。続いてフォトレジストを露光現像してフォトレジストパターンを形成して、そのフォトレジストのパターンに沿って下層の第 2 M o 金属をエッチングすれば、ソース電極 1 4 2 とドレーン電極 1 4 4 に分離されると同時に、前記ソース及びドレーン電極と同一材質でなされた前記ゲート短絡ライン 1 3 1 の上層部に第 2 M o 金属とネック状の M o - ブリッジ 1 0 0 もエッチングされて前記ゲート短絡ライン 1 3 1 は電氣的に切断される。以後、前記ソース及びドレーン電極 1 4 2、1 4 4 をマスクとして前記オーミック接触層 1 9 0 をエッチングして所定間隔を置いて離隔されて各々前記ソース電極 1 4 2 と接触されるオーミック接触層 1 3 8 a と前記ドレーン電極 1 4 4 と接触するオーミック接触層 1 3 8 b に形成して、前記金属膜上に残っているフォトレジストパターンを除去して図 8 D のように形成する。

10

【 0 0 5 8 】

以後、前記薄膜トランジスタを含んで覆うように窒酸シリコン (S i N x) 膜や酸化シリコン (S i O x) 膜または B C B 等でなされた保護膜を蒸着して、図 8 E のように保護膜上にフォトレジストをスピンコーティングして塗布して、所定のパターンを有するマスクを利用して露光することにより薄膜トランジスタのドレーン電極 1 4 4 部分の保護膜が露出される部分 1 4 8 を有するフォトレジスト膜 1 4 7 が形成される。上述した構造で形成された基板をエッチングチャンバに入れて露出された保護膜部分 1 4 8 の保護膜をエッチングする。

20

【 0 0 5 9 】

以後、残っているフォトレジスト膜を除去した後 I T O 膜を基板の全面に形成して、所定の様子にパターニングして、ドレーン電極 1 4 4 とドレーン電極コンタクトホール 1 4 9 を通して接触する画素電極を電氣的に連結することによって液晶表示装置のレイパネルを図 8 F のように完成する。

【 0 0 6 0 】

上述したレイ基板の製造過程中にゲート短絡ラインに含まれるネック状の M o - ブリッジを形成する工程及びそうした工程でなされたゲート短絡ラインと前記ネック状の M o - ブリッジが断線される工程及びそうした工程でなされたゲート短絡ラインはデータ短絡ラインにも同一に適用される。

30

【 0 0 6 1 】

前記 M o - ブリッジをさらに詳細に説明すると、上述したように A l 金属と M o 金属の積層構造を用いてエッチャントを利用してゲート短絡ラインの上層部 1 3 0 b を構成する時前記ゲート短絡ラインの上層部 1 3 0 b は他の部分より細く作られたネック状の M o - ブリッジ 1 0 0 をさらに含むようになって、下部層である A l 金属であるゲート短絡ラインの下層部 1 3 0 a はゲート絶縁膜 1 3 4 にエッチングホール 1 3 5 を形成する時相互分離されて離隔されるように形成する。

40

すなわち、前記ゲート短絡ライン 1 3 1 上層の金属層をシェブロン (c h e v r o n) 状に積層された状態に形成し、特に前記ゲート短絡ラインの下層部 1 3 0 a はエッチングされて相互数  $\mu\text{m}$  ~ 数十  $\mu\text{m}$  の距離を置いて離隔されて、前記ゲート短絡ラインの上層部 1 3 0 b はネック状の M o - ブリッジ 1 0 0 を含むように構成する。

【 0 0 6 2 】

この時、一般に前記ネック状の M o - ブリッジ 1 0 0 の長さは通常数  $\mu\text{m}$  であり前記ゲート短絡ラインの下層 1 3 0 a は分離、離隔されていても前記ゲート短絡ライン 1 3 1 の電氣的流れは前記ゲート短絡ラインの上層部 1 3 0 b にネック状の M o - ブリッジ 1 0 0 を通して可能になって前記ゲート短絡ライン 1 3 1 は静電気防止のための役割ができる。

【 0 0 6 3 】

50

上述したネック状のM o - ブリッジ 1 0 0 を適用すると、前記ネック状のM o - ブリッジ 1 0 0 は同一なM o 金属でなされたソース電極とドレーン電極をエッチング工程によってエッチング、分離する工程で同一エッチャントを利用して同時にエッチングして切断されるようにすることによって前記ゲート短絡ライン 1 3 1 の断線工程を簡便化させることができるようになってまた前記ネック状のM o - ブリッジ 1 0 0 はデータ短絡ラインにも適用できる。

#### 【 0 0 6 4 】

また、前記M o - ブリッジ 1 0 0 の長さを数 $\mu\text{m}$ 以下(好ましくは $2\mu\text{m}$  長さ  $8\mu\text{m}$ )に構成するようになれば、液晶表示装置のアレイ基板のアレイ基板を製作する後続工程でM o - ブリッジに加えられる物理的衝撃によって容易にこわれなかったり取り離されない長所を有する。また前記ネック状のM o - ブリッジ 4 5 の幅が $4\mu\text{m}$ 以下の場合には、従来のソース及びドレーン電極を形成するためにエッチングする過程で容易に切断され、これはゲート短絡ラインが完全に切断されない問題点を解決することができる。

#### 【 0 0 6 5 】

以上で説明したブリッジ構造は、コプレーナタイプ薄膜トランジスタT F Tにも適用できるが、これに対する説明は図 1 1 ~ 図 1 4 Bを通して説明する。本発明によるコプレーナタイプT F Tを含むアレイ基板において、ゲート短絡ラインはその切断に信頼性を付与して基板に加えられる損傷を最少化するために、下部に相互離隔された第1金属層と、前記離隔された第1金属層の上部でこれらを電氣的に連結するブリッジ状の第2金属層を含むことを特徴とするが、特に本発明によるゲート短絡ラインが適用されるアレイ基板上に配列される薄膜トランジスタは多結晶シリコンでなされたアクティブ層を有することを特徴とする。

#### 【 0 0 6 6 】

図 1 1 は、本発明によるゲート短絡ライン 1 5 4 が適用されたアレイ基板の一部分を簡略に図示した平面図であって、これは透明な基板上に平行に配列される多数のゲート配線 1 5 1 及びこれと直交する多数の平行したデータ配線 1 7 1 がマトリックス状をなして画素領域を定義しており、このような画素領域内には各々薄膜トランジスタTと、前記薄膜トランジスタTと電氣的に一对一連結される画素電極 1 9 1 が位置する。

#### 【 0 0 6 7 】

この時多数のゲート配線 1 5 1 及びデータ配線 1 7 1 は基板の一方向または両方向に長く延びて各々外部ゲート回路G及び外部データ回路(図示せず)と電氣的に連結されるが、特に各々のゲート配線 1 5 1 とゲート外部回路Gが連結される基板縁部分と、データ配線 1 7 1 とデータ外部回路(図示せず)が連結される基板の縁部分には、この製造工程中に発生できる静電気等によって素子が損傷されることを防ぐためにゲート短絡ライン 1 5 4 及びデータ短絡ライン(図示せず)を形成して、これらは以後適切な工程で電氣的に断線されることは一般的な場合と同様である。

#### 【 0 0 6 8 】

このようなゲート短絡ライン 1 5 4 と、各画素領域内に位置した状態で隣接するゲート配線 1 5 1 及びデータ配線 1 7 1 と電氣的に連結される薄膜トランジスタTに対して、図 1 1 のX I I - X I I 線に沿って切断した断面と、X I I I - X I I I 線に沿って切断した断面図である図 1 2 A ~ 1 2 E 及び図 1 3 A ~ 1 3 E を参照して説明する。

#### 【 0 0 6 9 】

まず製作工程の最終過程である図 1 2 E 及び 1 3 E を通して説明すると、薄膜トランジスタは透明基板 1 0 の全面に蒸着された緩衝層 1 2 4 と、このような緩衝層 1 2 4 の上部に各々真性半導体物質であるアクティブ領域 1 5 0 及びこれをはさんで接続したソース及びドレーン領域 1 5 0 a、1 5 0 b に区分される半導体層がアイランド状に形成され、これらの上部にゲート絶縁膜 1 2 6 が基板全面に位置している。

#### 【 0 0 7 0 】

この時アクティブ領域 1 5 0 の上部ゲート絶縁膜 1 2 6 上にはゲート電極 1 5 3 が位置するが、これは図 1 1 のゲート配線 1 5 1 と電氣的に連結されている。また前記ゲート絶縁

10

20

30

40

50

膜 1 2 6 及びゲート電極 1 5 3 の上部全面には層間絶縁膜 1 6 0 が位置するが、このような層間絶縁膜 1 6 0 とその下部のゲート絶縁膜 1 2 6 には各々ソース及びドレイン領域 1 7 2 a、1 7 2 b の一部をあらわす第 1 及び第 2 コンタクトホール 1 6 1、1 6 2 が形成されており、層間絶縁膜 1 6 0 の上部に位置するソース及びドレイン電極 1 7 2 a、1 7 2 b が各々ソース及びドレイン領域 1 5 0 a、1 5 0 b と電氣的に連結されることができるようになる。

#### 【0071】

この時ソース電極 1 7 2 a は、図 1 1 に図示した縦方向に延びたデータ配線 1 7 1 と電氣的に連結されることは一般的な場合と同一であるが、このようなソース及びドレイン電極 1 7 2 a、1 7 2 b が形成された基板の上部には順に保護膜 1 6 2 と平坦化膜 1 8 0 が位置して、特にこのような保護膜 1 6 6 及び平坦化膜 1 8 0 には各々ドレイン電極 1 7 2 b の一部をあらわすように貫通された第 3 コンタクトホール 1 8 1 が形成されており、これを通して平坦化膜の上部に位置する画素電極 1 9 1 がドレイン電極 1 7 2 b と電氣的に連結される。

10

#### 【0072】

一方、このような薄膜トランジスタ T の製造工程中に発生する静電気等によって素子に加えられる損傷を防止するために、各々のゲート配線(図 1 1 の 1 5 1)を電氣的に連結するゲート短絡ライン部分は、基板 1 0 上に順に全面蒸着された緩衝膜 1 2 4 及びゲート絶縁膜 1 2 6 の上部に、前述した薄膜トランジスタのゲート電極 1 5 3 と同一な材質で同一工程で具現されて適切な工程で切断されるので、図示された図 1 3 E は現在ゲート短絡ライン 1 5 4 が電氣的に断線された状態を示している。

20

#### 【0073】

このような本発明によるゲート短絡ライン 1 5 4 の構成及び切断の過程を薄膜トランジスタの製造工程と比較して説明する。図 1 2 A ~ 1 2 E 及び図 1 3 A ~ 1 3 E は各々製造工程順序によって図 1 1 の薄膜トランジスタ部分 T である X I I - X I I 線と、ゲート短絡ライン 1 5 4 部分である X I I I - X I I I 線に沿って切断した面を図示した。

#### 【0074】

まず図 1 2 A 及び 1 3 A に図示したように、透明基板 1 0 の全面にシリコン酸化膜( $\text{SiO}_2$ )などの材質でなされた緩衝層 1 2 4 が蒸着されると、これの上部にアイランド状の多結晶シリコン層 1 5 0 が形成されるが、このような多結晶シリコン層 1 5 0 の形成のためには基板上に直接多結晶シリコンを蒸着したりまたは緩衝層 1 2 4 の上部に非晶質シリコンを積層した後これを結晶質シリコンに変化させる方法が用いられることができる。

30

#### 【0075】

この時特に後者の場合において、前記非晶質シリコンが積層された基板温度を 2 5 0 程度に加熱しながらエキサイマーレーザーを照射して多結晶を成長させるレーザー熱処理方法や、非晶質シリコン上に金属を蒸着して金属をシードに多結晶シリコンを形成する金属誘導結晶化(MIC)方法または非晶質シリコンを高温で長時間熱処理する固状結晶化(SPC)方法などが用いられており、この場合に緩衝層 1 2 4 は、非晶質シリコン層を多結晶シリコン層 1 5 0 に再結晶化する過程で発生する熱によって基板 1 0 の内部に存在するアルカリイオン(例えば、 $\text{K}^+$ 、 $\text{Na}^+$ 等)によって多結晶シリコン層 1 5 0 の膜質特性が低下することを防止する。

40

#### 【0076】

このような過程を通して緩衝層 1 2 4 の上部にアイランド状に存在する多結晶シリコン層 1 5 0 が形成されると、図 1 2 A に図示したように薄膜トランジスタ T 部分には各々基板 1 0 と、緩衝層 1 2 4 と、アイランド状の多結晶シリコン層 1 5 0 が順に積層されており、図 1 3 A に図示したようにゲート短絡ライン部分には基板 1 0 とこれの上部に積層された緩衝層 1 2 4 のみ存在する。

#### 【0077】

続いて図 1 2 B 及び図 1 3 B に図示したように基板全面にシリコン酸化膜やシリコン窒化膜などの材質でなされ、その厚さは 1 8 0 0 程度であるゲート絶縁膜 1 2 6 と、導電性

50

金属を順に積層した後このような導電性金属のみをパターニングして基板全面に蒸着されたゲート絶縁膜 1 2 6 と、これの上部に形成されたゲート短絡ライン 1 5 4 及びゲート配線(図 1 1 の 1 5 1)と、これと電氣的に連結されるゲート電極 1 5 3 を形成する。

#### 【 0 0 7 8 】

この時特に本発明において、ゲート配線(図 1 1 の 1 5 1)及びゲート電極 1 5 3 としては第 1 及び第 2 金属層 1 5 2 a、1 5 2 b が順に積層された 2 重積層構造が用いられるので、これは配線抵抗を小さくすると同時に高温工程に起因したヒロックなどの問題を解決するためである。したがって図 1 2 A 以下の図面において、ゲート電極 1 5 3 とゲート短絡ライン 1 5 4 を構成する下端の第 1 金属層には図面符号 1 5 2 a を、その上部の第 2 金属層には図面符号 1 5 2 b を付与して説明するが、この時好ましくは第 1 金属層 1 5 2 a と 10 としては A l を含む金属、一例で A l N d を用いて 3 0 0 0 オングストローム程度の厚さを有するようにして、第 2 金属層 1 5 2 b としては M o を含む金属、一例で M o を用いて 5 0 0 オングストロームの程度の厚さに形成することが有利である。

#### 【 0 0 7 9 】

以後、このようにパターニングされたゲート電極 1 5 3 をマスクにして、その下部のゲート絶縁膜 1 2 6 を媒介に多結晶シリコン層 1 5 0 にイオンをドーピングするが、このように多結晶シリコン層 1 5 0 にイオンドーピングをする理由は、以後工程で形成されるソース及びドレイン電極 1 7 2 a、1 7 2 b と多結晶シリコン層 1 5 0 との接触抵抗を低めてこれに電氣的な特性を付与するためである。したがってゲート電極 1 5 3 をマスクに 3 族 20 ないし 5 族の元素が含まれたガスを用いて、その下部のゲート絶縁膜 1 2 6 を媒介に多結晶シリコン層 1 5 0 の一部にイオンドーピングをすることにより、不純物領域と真性領域の 2 種の形態の領域が区分されるようにするが、この時不純物領域は各々ソース及びドレイン領域 1 5 0 a、1 5 0 b になって、真性領域は薄膜トランジスタのアクティブ領域 1 5 0 になる。

#### 【 0 0 8 0 】

以後図 1 2 C 及び 1 3 C に図示したように基板の全面にシリコン酸化膜やシリコン窒化膜等となされた層間絶縁膜 1 6 0 を 7 0 0 0 程度の厚さになるように積層して、このような層間絶縁膜 1 6 0 及びその下部のゲート絶縁膜 1 2 6 をパターニングすることによりソース及びドレイン領域 1 5 0 a、1 5 0 b を各々あらわす第 1 及び第 2 コンタクトホール 1 6 1、1 6 2 と、ゲート短絡ライン 1 5 4 を露出させる露出ホール 1 6 4 を形成する。 30

#### 【 0 0 8 1 】

この時特に本発明は前述した第 1 及び第 2 コンタクトホール 1 6 1、1 6 2 及び露出ホール 1 6 4 を形成すると同時に、ゲート短絡ライン 1 5 4 の下部層を形成する第 1 金属層 1 5 2 a をエッチングして相互離隔されるようにすることを特徴とする。すなわち、本発明は湿式エッチング方法を通して前述した層間絶縁膜 1 6 0 及びゲート絶縁膜 1 2 6 に各々第 1 及び第 2 コンタクトホール 1 6 1、1 6 2 と、ゲート短絡ライン 1 5 4 上部の露出ホール 1 6 4 を形成する。

#### 【 0 0 8 2 】

以後、前述した第 1 及び第 2 コンタクトホール 1 6 1、1 6 2 と、露出ホール 1 6 4 が形成された後に同一エッチャントを用い続けて湿式エッチングを進めれば、このようなエッチャントに露出されるゲート短絡ライン 1 5 4 も一部がエッチングされるが、特にこれを構成する第 1 金属層 1 5 2 a と第 2 金属層 1 5 2 b 中で相対的に化学的耐食性が弱い A l N d 材質の第 1 金属層のエッチングがさらに活発に進められ、特にこれの厚さは 3 0 0 0 オングストローム程度の小さな大きさを有しているので露出面積が大きな露出ホール 1 6 4 の中央部分を中心に相互離隔される。 40

#### 【 0 0 8 3 】

したがって図 1 3 C の一部である “ R ” を拡大して図示した図 1 4 A 及び 1 4 B のように、下層の第 1 金属層 1 5 2 a は相互離隔されており、これの上部に位置する第 2 金属層 1 5 2 b は第 1 金属層の上部を連結するように M o - ブリッジ ( b r i d g e ) 状を有するが、好ましくは円内 “ R ” の平面図である図 1 4 B のように、上層の第 2 金属層 1 5 2 b で 50

なされた上層ゲート短絡ライン、すなわちMo - ブリッジは他の部分より狭い幅を有するネック状を有する。

【0084】

このような上層第2金属層152bをネック状に形成することは、前述した第1金属層152aを離隔されるようにする湿式エッチング工程において比較的耐食性が大きなMo金属でなされた第2金属層152bも一部がエッチングされるので、エッチャントの供給時間及びこれの濃度を調節することによって自然に形成することができるが、これを容易にするために本発明はこれの厚さを500オングストローム程度とするが、これは後述するソース及びドレーン電極172a、172bの形成のためのパターニング工程でさらに信頼性ある切断を可能にするためである。

10

【0085】

この時、第2金属層152bが形成するネック状のMo - ブリッジの幅が過度に小さい場合には物理的衝撃によって容易に取り離される可能性があるので好ましくは4µm程度の大きさを有することが最も相応しくて、相対的に小さい幅を有するネック状の部分の幅部分を連結する傾斜面159の角度はゲート短絡ライン154と垂直の直線と20度ないし70度程度が望ましく、またこのような上層第2金属層152bであるMo - ブリッジの下層に相互離隔された第1金属層152a間の距離が過度に大きな場合には、第2金属層152bのMo - ブリッジが有するネック状部分が破損される可能性があるので、下層第2金属層152aの離隔距離は好ましくは数µm程度をなすことが有利である。

20

【0086】

以後図12D及び図13Dのように基板の全面に第3金属層を蒸着してこれをパターニングすることにより各々データ配線171とソース及びドレーン電極172a、172bを形成するが、この時データ配線171はゲート配線151と直交するようになされることは前述した場合があってソース及びドレーン電極172a、172bは第1及び第2コンタクトホール161、132を通してソース及びドレーン領域150a、150bと電気的に連結される。

【0087】

このようなソース及びドレーン電極172a、172b及びデータ配線171を具現する第3金属層の材質としてはMo金属を用いることが望ましいので、この時ゲート短絡ライン154の上層Mo - ブリッジ状の第2金属層152bの上面にも同一材質の第3金属層が積層されるが、これはソース及びドレーン電極172a、172bのためのパターニング工程で除去されると同時にこれの下部上層ゲート短絡ラインを形成する第2金属層152bも同一工程で一緒に除去される。

30

【0088】

特に本発明では上層のMo金属でなされた第2金属層152bの厚さを500程度とし、これの形状として幅が狭いネック状を付与するので前述したソース及びドレーン電極172a、172bのパターニング工程で使用するエッチャントで容易に切断可能で、特に第2金属層152bが有する幅(図14BのW)も4µm程度の小さな大きさであるので信頼性ある切断が可能である。

【0089】

したがってこのような過程を通してゲート短絡ライン154は電氣的に断線されるが、これはたとえ図面に図示しなかったがゲート配線151bが延びて連結される外部ゲート回路(図11のG)において、前述したソース及びドレーン電極172a、172bの形成工程と同一工程で具現される静電気防止回路が完成されるので無理に残っている必要がないためである。

40

【0090】

このような過程を通して構成される薄膜トランジスタは図12E及び13Eに図示したように、ソース及びドレーン電極172a、172bが形成されている基板10上の全面にかけて保護膜166及び平坦化膜を順に積層してこれらをパターニングすることにより、ドレーン電極172bの一部が露出する第3コンタクトホール181を形成した後これの

50



上部に前記第3コンタクトホール181を通してドレーン電極172bと電氣的に連結される透明導電物質でなされた画素電極191を形成する。

【0091】

本発明の特定の実施例が説明されて図示されたが本発明が当業者によって多様に変形されて実施される可能性があることは自明である。

【0092】

このような変形された実施例は、本発明の技術的思想や観点から個別的に理解されてはならず、このような変形された実施例は本発明の特許請求の範囲内に属する。

【0093】

【発明の効果】

10

上述したようにゲート及びデータ短絡ラインを他の部分より細く形成したネック状のMo-ブリッジを含むように形成する際に、本発明を適用すれば次のような長所がある。

【0094】

第一に、前記各々の短絡ラインに含まれるネック状のMo-ブリッジにおいて幅が異なる隣接部分と連結される傾斜面の傾斜角を20度から70度間として、これに対向される傾斜面の傾斜角を110度から160度にし、前記ネック状のMo-ブリッジの長さを数 $\mu\text{m}$ ～数十 $\mu\text{m}$ 以下に構成して、各々の短絡ラインのネック状のMo-ブリッジの下層のAl金属の離隔距離を数 $\mu\text{m}$ ～数十 $\mu\text{m}$ 以下とすることによって、前記Mo-ブリッジが耐えることができる剪断強度を高めることができるので後続工程で加えられる物理的衝撃に十分に耐えることができて所望しない過程で短絡ラインが断線される不良を減らすことができる。

20

第二に、前記ネック状のMo-ブリッジの幅を3.5～4.5 $\mu\text{m}$ とすることによって、第2Mo金属をソース及びドレーン電極に分離する時前記ゲート短絡ラインのMo-ブリッジの上層に積層された第2Mo金属と前記Mo-ブリッジを容易に切断できるようにして従来の切断されなかったために発生する不良を減らすことができる。

【0095】

また、本発明は第1及び第2金属が積層された2重積層構造を有しながら、特に下層の第1金属層は相互離隔されて、その上部の第2金属層がこれらを連結するブリッジ状で構成されるゲート短絡ラインを提供してさらに信頼性ある切断を可能にする。この時前記第2金属層にはその幅が相対的に小さい、4 $\mu\text{m}$ 程度のネック状を付与して、その下部に位置する相互離隔された第1金属層の離隔距離を数 $\mu\text{m}$ ～数十 $\mu\text{m}$ 以下にすることによって物理的衝撃に強いさらに改善されたゲート短絡ラインを提供する。

30

【0096】

このような本発明によるゲート短絡ラインをアレイ基板上に適用する場合に基板に加えられる化学的衝撃をさらに最小化することが可能でさらに信頼性ある素子を具現することが可能な利点を有している。

【図面の簡単な説明】

【図1】 一般的な液晶パネルの一部を図示した断面図。

【図2】 一般的な液晶表示装置用アレイ基板の一部を図示した略平面図。

【図3】 図2の一部分を拡大して図示した詳細図。

40

【図4】 一般的な液晶表示装置のアレイ基板の製造工程を順序とおり、図3のIV-IV線に沿って切断した断面を図示した工程断面図。

【図5】 一般的なコプレーナタイプの薄膜トランジスタを有した液晶表示装置用アレイパネルの一部を簡略に図示した図面。

【図6】 各々一般的なアレイパネルの製造順序によって図5のVI-VI線に沿って切断した断面を図示した図面。

【図7】 各々一般的なアレイパネルの製造順序によって図5のVII-VII線に沿って切断した断面を図示した図面。

【図8】 本発明によって逆スタガタイプ薄膜トランジスタを含む液晶表示装置のアレイ基板の製造工程を順序どおり、図3のVIII-VIII線に沿って切断した断面を図

50

示した工程断面図。

【図 9】 図 8 B の “ K ” 部分を拡大した平面図。

【図 10】 図 8 C の “ M ” 部分を拡大図示した断面図と平面図。

【図 11】 本発明によってコプレーナタイプ薄膜トランジスタを含む液晶表示装置のアレイパネルの一部を簡略に図示した図面。

【図 12】 本発明のアレイパネルの製造順序によって図 11 の X I I - X I I 線に沿って切断した断面を図示した図面。

【図 13】 本発明のアレイパネルの製造順序によって図 11 の X I I I - X I I I 線に沿って切断した断面を図示した図面。

【図 14】 図 13 C の “ R ” 部分を拡大図示した断面図と平面図。

10

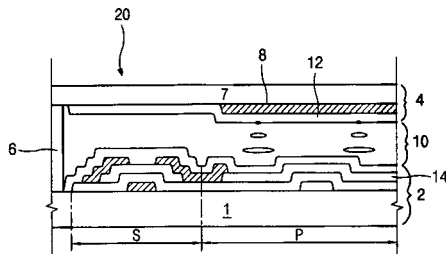
【符号の説明】

1 5 2 a : ゲート短絡ラインの下層部

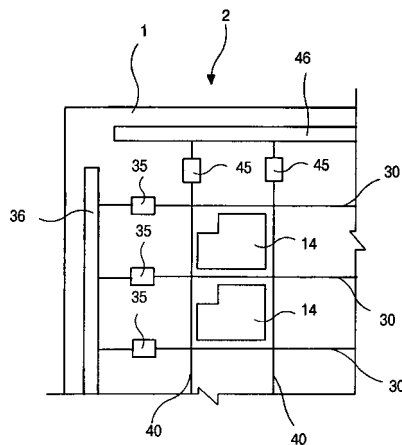
1 5 2 b : ゲート短絡ラインの上層部

1 0 0 : ネック状の M o - ブリッジ

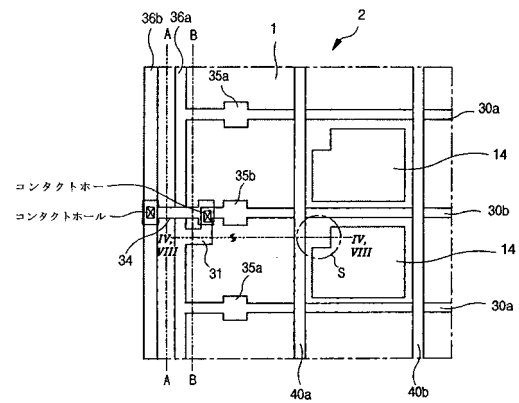
【図 1】



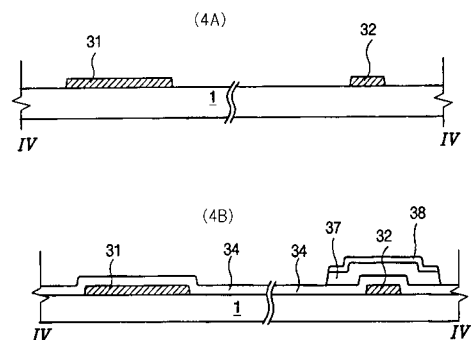
【図 2】

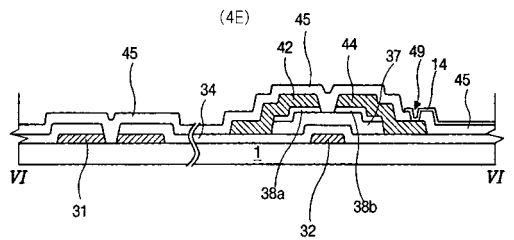
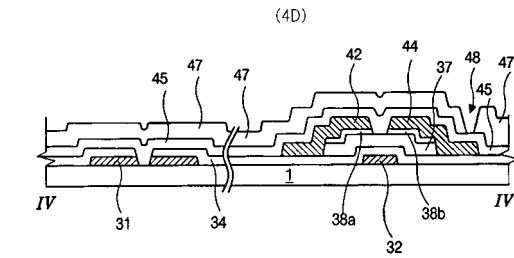
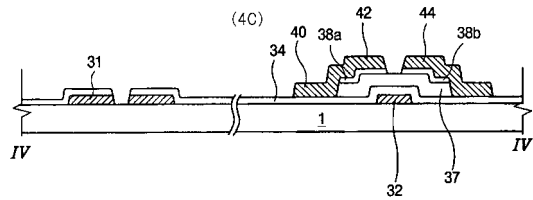


【図 3】

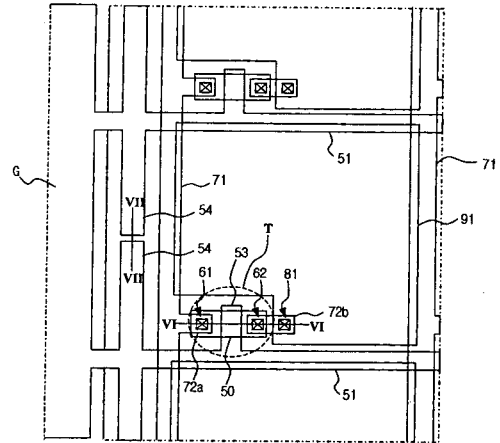


【図 4】

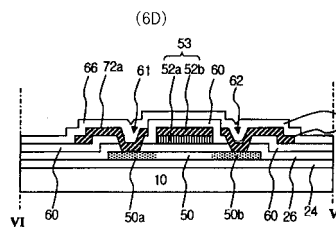
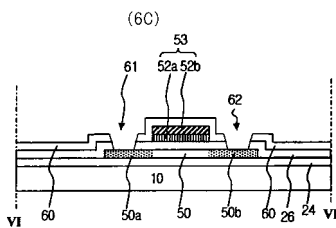
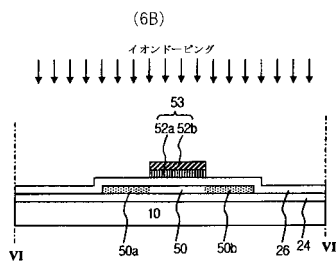
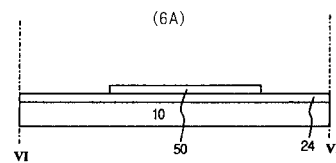




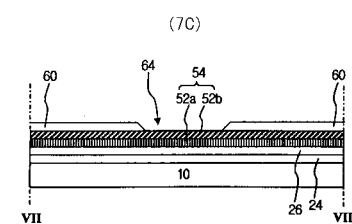
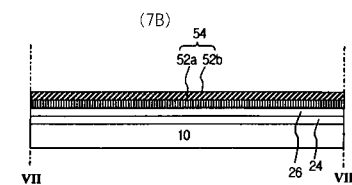
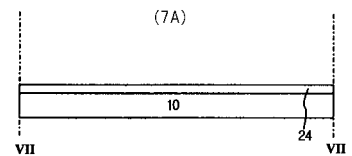
【図5】

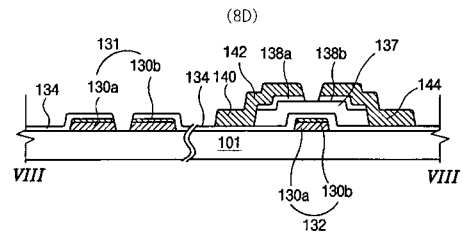
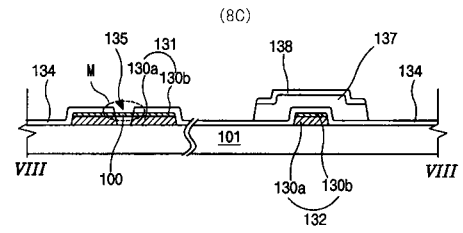
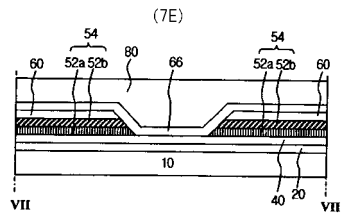
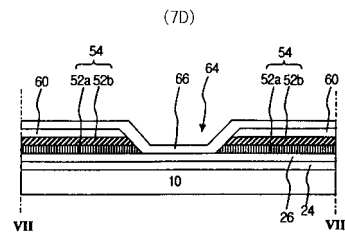


【図6】

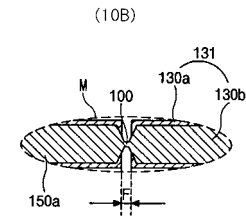
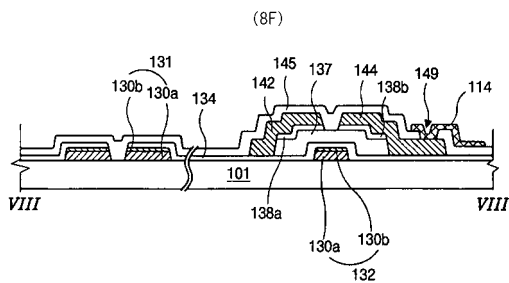
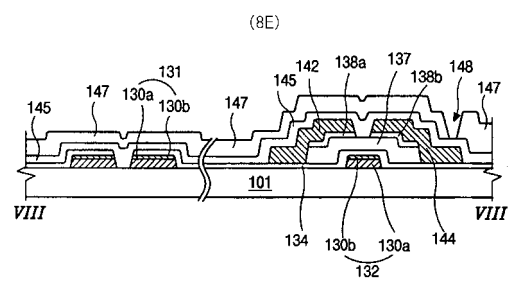
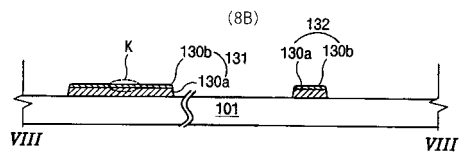
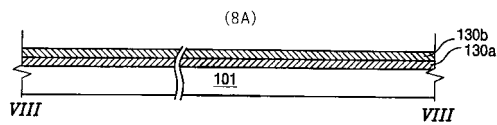


【図7】



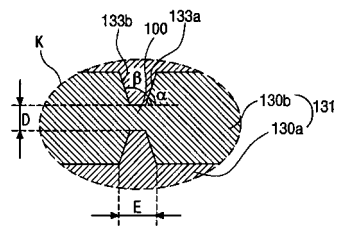


【 図 8 】

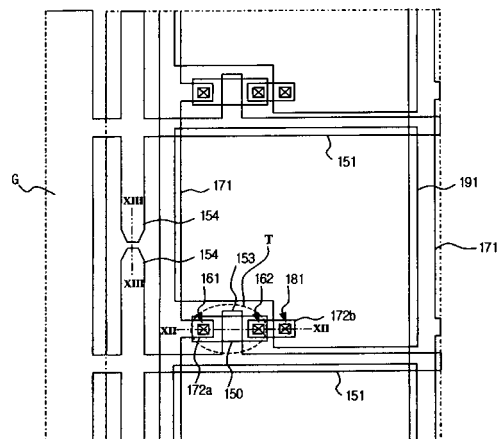
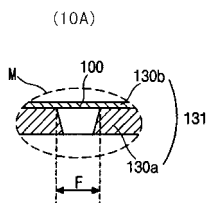


【 図 1 1 】

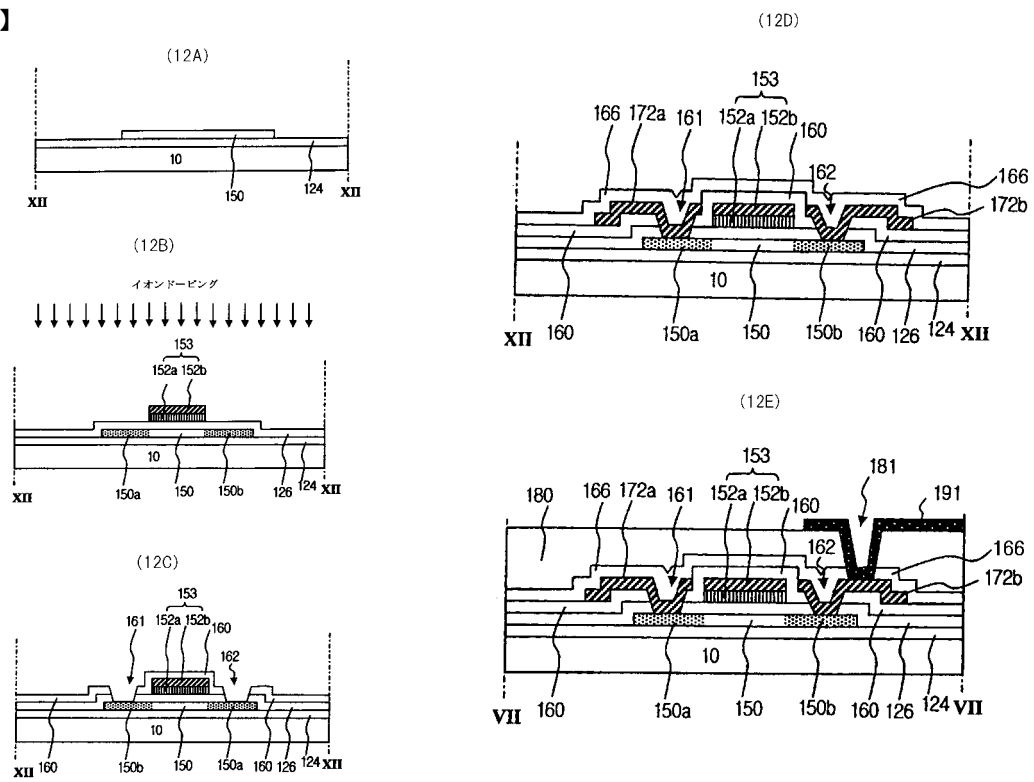
【 図 9 】



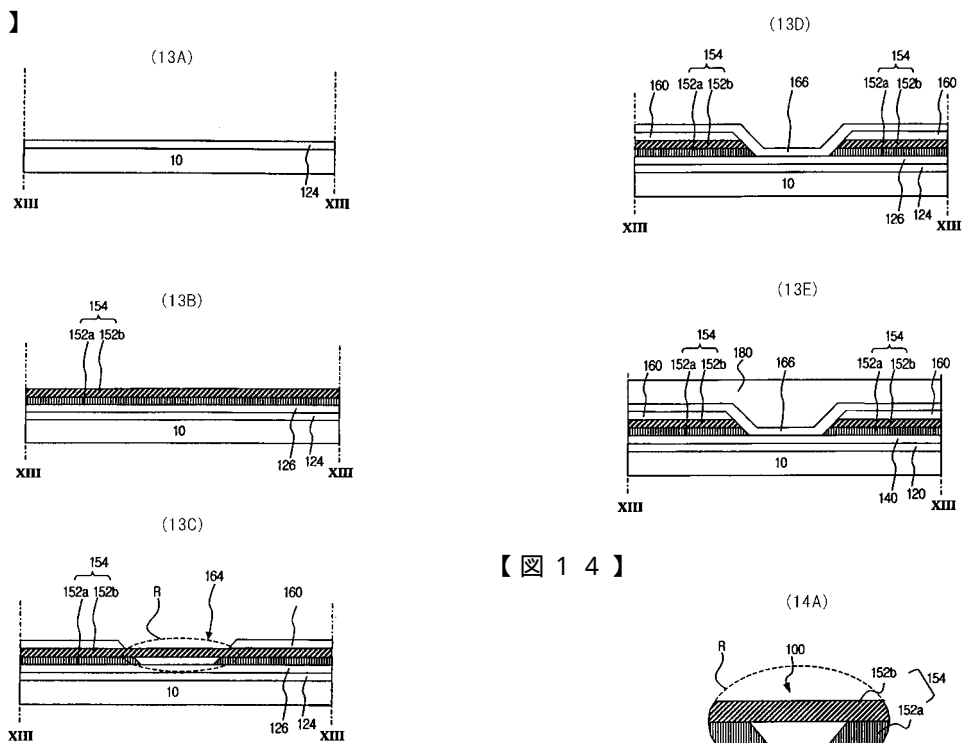
【 図 1 0 】



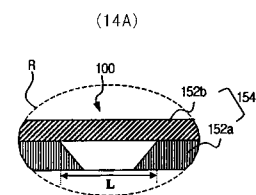
【図 12】

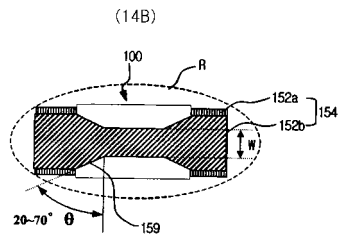


【図 13】



【図 14】





## フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L	21/3205 (2006.01)	H 0 1 L	21/285 3 0 1
H 0 1 L	23/52 (2006.01)	H 0 1 L	29/78 6 1 2 A
		H 0 1 L	21/88 R

(72)発明者 ハー ヨン - ミン  
大韓民国 7 3 0 - 0 2 2 ギョンサンブク - ドー , グミ - シ , ドリアン 2 - ドン 7 7 ,  
1 0 0 1ホ パーク マンション 1 0 5ドン

(72)発明者 パク ジェ - デョク  
大韓民国 7 3 0 - 7 7 2 ギョンサンブク - ドー , グミ - シ , オクギェ - ドン , ブヨン  
アパート 0 3 - 1 1 0 5

審査官 福田 知喜

(56)参考文献 特開平 1 0 - 0 7 9 5 1 4 ( J P , A )  
特開平 0 8 - 1 2 2 8 1 9 ( J P , A )  
特開平 0 7 - 1 8 1 5 0 9 ( J P , A )  
特開 2 0 0 0 - 1 1 1 9 3 7 ( J P , A )  
特開 2 0 0 0 - 2 7 5 6 8 2 ( J P , A )  
特開平 0 9 - 2 5 1 1 6 9 ( J P , A )  
特開平 0 9 - 1 4 6 1 0 7 ( J P , A )  
特開平 1 0 - 0 3 9 3 2 9 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1368  
G09F 9/30  
G09F 9/35  
H01L 21/285  
H01L 21/3205  
H01L 23/52  
H01L 29/786

专利名称(译)	用于液晶显示装置的阵列面板及其制造方法		
公开(公告)号	<a href="#">JP4452424B2</a>	公开(公告)日	2010-04-21
申请号	JP2001314597	申请日	2001-10-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	Eruji飞利浦杜迪股份有限公司		
当前申请(专利权)人(译)	Eruji显示有限公司		
[标]发明人	オーサンフン ハーヨンミン パクジェデオク		
发明人	オー サン-フン ハー ヨン-ミン パク ジェ-デオク		
IPC分类号	G02F1/1368 G09F9/30 G09F9/35 H01L21/285 H01L29/786 H01L21/3205 H01L23/52 G02F1/1362 H01L21/28		
CPC分类号	G02F1/13458 G02F1/136204 G02F1/136286 G02F2001/136295		
FI分类号	G02F1/1368 G09F9/30.330.Z G09F9/30.338 G09F9/30.348.A G09F9/35 H01L21/285.301 H01L29/78.612.A H01L21/88.R G09F9/30.330 H01L21/28.301.R H01L21/285.301.L		
F-TERM分类号	2H092/GA64 2H092/JA25 2H092/JA26 2H092/JA38 2H092/JA42 2H092/JB13 2H092/JB23 2H092/JB32 2H092/JB33 2H092/JB38 2H092/JB63 2H092/JB69 2H092/JB79 2H092/KA04 2H092/MA05 2H092/MA07 2H092/MA13 2H092/MA17 2H092/MA35 2H092/MA37 2H092/NA14 2H092/NA29 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB05 2H192/CB34 2H192/CB56 2H192/CC02 2H192/CC32 2H192/GA12 2H192/GA41 2H192/HA64 4M104/AA01 4M104/BB02 4M104/BB16 4M104/BB36 4M104/CC05 4M104/DD09 4M104/DD16 4M104/DD17 4M104/DD26 4M104/DD34 4M104/DD64 4M104/FF13 4M104/GG09 4M104/GG10 4M104/GG14 4M104/GG20 4M104/HH15 5C094/AA15 5C094/AA22 5C094/AA32 5C094/AA42 5C094/AA43 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA15 5C094/EA04 5C094/EA07 5C094/GB01 5C094/JA08 5F033/HH05 5F033/HH08 5F033/HH10 5F033/HH20 5F033/HH38 5F033/JJ01 5F033/JJ05 5F033/JJ10 5F033/JJ20 5F033/JJ38 5F033/KK04 5F033/KK05 5F033/KK08 5F033/KK10 5F033/KK20 5F033/LL04 5F033/MM05 5F033/NN03 5F033/QQ08 5F033/QQ09 5F033/QQ10 5F033/QQ37 5F033/QQ59 5F033/QQ65 5F033/RR04 5F033/RR06 5F033/RR21 5F033/SS10 5F033/VV15 5F033/WW00 5F033/WW01 5F033/XX01 5F033/XX16 5F110/AA27 5F110/BB01 5F110/CC02 5F110/CC07 5F110/EE03 5F110/EE04 5F110/EE06 5F110/EE14 5F110/EE37 5F110/FF02 5F110/FF03 5F110/GG02 5F110/GG13 5F110/GG15 5F110/HJ12 5F110/HK09 5F110/HK16 5F110/HL04 5F110/HM19 5F110/HM20 5F110/NN03 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN72 5F110/PP03 5F110/QQ11		
审查员(译)	福田 知喜		
优先权	1020000059868 2000-10-11 KR 1020010055212 2001-09-07 KR		
其他公开文献	JP2002202528A		
外部链接	<a href="#">Espacenet</a>		
摘要(译)			



要解决的问题：提供一种液晶显示装置，其中可以实现数据和栅极短路线的短路和分离，并提供栅极短路棒及其制造方法。解决方案：该器件具有以下结构，即当形成栅极短路线和数据短路线131时，每个短路线的上层Mo金属包括颈形Mo桥100。宽度为3.5至4.5微米，长度等于或小于几微米。在桥100中，在桥和相对于桥具有不同宽度的相邻部分之间形成边界的倾斜表面具有20至70度之间的倾斜角和与倾斜表面相对的倾斜表面的倾斜角。设置在110到160度之间。具有颈形Mo桥的下层的Al金属的距离设定为几 $\mu\text{m}$ 到几十 $\mu\text{m}$ ，使得每个短路线稳定地保持短路。

