

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4271441号
(P4271441)

(45) 発行日 平成21年6月3日 (2009.6.3)

(24) 登録日 平成21年3月6日 (2009.3.6)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
 G02F 1/133 (2006.01)
 G02F 1/1368 (2006.01)
 G09G 3/20 (2006.01)

G09G 3/36
 G02F 1/133 550
 G02F 1/1368
 G09G 3/20 611E
 G09G 3/20 621B

請求項の数 12 (全 11 頁) 最終頁に続く

(21) 出願番号 特願2002-547154 (P2002-547154)
 (86) (22) 出願日 平成13年11月29日 (2001.11.29)
 (65) 公表番号 特表2004-514957 (P2004-514957A)
 (43) 公表日 平成16年5月20日 (2004.5.20)
 (86) 国際出願番号 PCT/US2001/044896
 (87) 国際公開番号 W02002/045067
 (87) 国際公開日 平成14年6月6日 (2002.6.6)
 審査請求日 平成16年11月26日 (2004.11.26)
 (31) 優先権主張番号 60/250, 259
 (32) 優先日 平成12年11月30日 (2000.11.30)
 (33) 優先権主張国 米国 (US)

(73) 特許権者 501263810
 トムソン ライセンシング
 Thomson Licensing
 フランス国, エフ-92100 ブロー
 ニュ ビヤンクール, ケ アルフォンス
 ル ガロ, 46番地
 46 Quai A. Le Gallo
 , F-92100 Boulogne-
 Billancourt, France
 (74) 代理人 100115864
 弁理士 木越 力
 (72) 発明者 オードネル, ユージーン マーフィ
 アメリカ合衆国 インディアナ州 フイツ
 シヤーズ テインバー・スプリングス・ド
 ライブ 7594

最終頁に続く

(54) 【発明の名称】 表示ドライバおよび液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

液晶セル用の表示ドライバであって、
 第1の記憶キャパシタンスと、
 前記第1の記憶キャパシタンスに結合された第1の増幅器と、
 前記第1の増幅器と前記液晶セルとの間に結合されており、第1の制御信号に応答する
 第1のスイッチと、
 第2の記憶キャパシタンスと、
 前記第2の記憶キャパシタンスに結合された第2の増幅器と、
 前記第2の増幅器と前記液晶セルとの間に結合されており、第2の制御信号に応答する
 第2のスイッチと、
 を備え、

前記第1のスイッチ及び前記第2のスイッチを交互にオンにして前記第1の増幅器と前
 記第2の増幅器とを交互に前記液晶セルに結合する、表示ドライバ。

【請求項 2】

前記第1の増幅器が、第1の極性を有する駆動信号を供給し、前記第2の増幅器が、第
 2の極性を有する駆動信号を供給する、請求項1に記載の表示ドライバ。

【請求項 3】

各々がそれぞれの表示ドライバを有する複数の液晶セルから成るアレイを備える液晶表
 示装置であって、

前記表示ドライバが、
第 1 の記憶キャパシタンスと、
前記第 1 の記憶キャパシタンスに結合された第 1 の増幅器と、
前記第 1 の増幅器と当該液晶セルとの間に結合されており、第 1 の制御信号に応答する第 1 のスイッチと、
第 2 の記憶キャパシタンスと、
前記第 2 の記憶キャパシタンスに結合された第 2 の増幅器と、
前記第 2 の増幅器と前記当該液晶セルとの間に結合されており、第 2 の制御信号に
応答する第 2 のスイッチと、
を含み、

10

前記第 1 のスイッチ及び前記第 2 のスイッチを交互にオンにして前記第 1 の増幅器と前記第 2 の増幅器とを交互に前記当該液晶セルに結合する、前記液晶表示装置。

【請求項 4】

前記第 1 の制御信号と前記第 2 の制御信号が、それぞれ、前記第 1 のスイッチと前記第 2 のスイッチに供給される、請求項 3 に記載の液晶表示装置。

【請求項 5】

前記第 1 の増幅器が、第 1 の極性を有する駆動信号を供給し、前記第 2 の増幅器が、第 2 の極性を有する駆動信号を供給する、請求項 3 に記載の液晶表示装置。

【請求項 6】

液晶セル・アレイの所定の液晶セル用の表示ドライバであって、
前記所定の液晶セルの第 1 のメモリ素子に結合された第 1 の駆動回路と、
少なくとも、前記所定の液晶セルの第 2 のメモリ素子に結合された第 2 の駆動回路と、
前記第 1 の駆動回路と少なくとも前記第 2 の駆動回路を切り替えて前記液晶セルに結合する切替え手段と、
を備え、

20

前記第 1 の駆動回路と少なくとも前記第 2 の駆動回路とのうちの少なくとも 1 つが差動増幅器を含む、表示ドライバ。

【請求項 7】

前記第 1 の駆動回路と前記第 2 の駆動回路の各々が、1 対の N チャンネル・トランジスタを含む差動増幅器を備え、前記 N チャンネル・トランジスタが、電流源に結合されたそれぞれのソース電極を有し、前記液晶セルに対する分離増幅器として働く、請求項 6 に記載の表示ドライバ。

30

【請求項 8】

前記第 1 の駆動回路と前記第 2 の駆動回路の各々が、1 対の N チャンネル・トランジスタを含む差動増幅器を備え、前記 N チャンネル・トランジスタが、電流源に結合されたそれぞれのソースを有する、請求項 6 に記載の表示ドライバ。

【請求項 9】

前記切替え手段が、第 1 の切替え電圧によって駆動される第 1 のトランジスタと、第 2 の切替え電圧によって駆動される第 2 のトランジスタとを備える、請求項 6 に記載の表示ドライバ。

40

【請求項 10】

記憶コンデンサと前記差動増幅器との間に結合されて残像およびフリッカを減少させるのに使用されるスイッチング素子を更に備える、請求項 6 に記載の表示ドライバ。

【請求項 11】

当該表示ドライバが、液晶アレイ素子のアレイ全体を同時に駆動する、請求項 6 に記載の表示ドライバ。

【請求項 12】

当該表示ドライバが、メモリ・アレイをインタレース・モードで駆動する、請求項 6 に記載の表示ドライバ。

【発明の詳細な説明】

50

【0001】

(発明の分野)

本発明は、液晶表示装置(LCD:Liquid Crystal Display)または液晶オン・シリコン(LCOS:Liquid Crystal On Silicon)を利用したビデオ・システムの分野に関し、より詳細には、このような表示装置用の切替式ドライバ回路(switched driver circuit)に関する。

【0002】

(発明の背景)

液晶オン・シリコン(LCOS)は、シリコン・ウェーハ(silicon wafer)上に形成された大きな1つの液晶と考えることができる。シリコン・ウェーハは、小さなプレート電極(plate electrode)の増分(incremental)アレイ(array:配列)に分割される。液晶の小さな増分領域が、小さな各プレートおよび共通プレート(common plate)により発生される電界の影響を受ける。このような小さな各プレートおよび対応する液晶領域は、合わせてイメージャ(imagery)のセル(cell)と呼ばれる。各セルは、個別に制御可能なピクセル(pixel)に対応する。液晶(LC:Liquid Crystal)の反対側には、共通プレート電極が配置される。駆動電圧が、液晶オン・シリコン(LCOS)アレイの各側のプレート電極に供給される。各セルまたはピクセルは、入力信号が変更されるまで同じ強度で輝き続け、従って、サンプル・アンド・ホールド(sample and hold)回路として働く。共通プレート電極と可変プレート電極の各セット(組)が、イメージャを形成する。イメージャは、各色につき1つ供給され、この場合、赤、緑、青にそれぞれ1つのイメージャが供給される。

【0003】

通常、液晶オン・シリコン(LCOS)表示装置のイメージャは、30Hzのフリッカを防止するために、フレームを2倍に倍増させた信号で駆動する。これは、所定の入力ピクチャ(画像)に回答して、各セルに関連する電極の電圧が、共通電極の電圧に対して正(positive)である第1の正常フレーム(normal frame)(正ピクチャ(positive picture))を送り、次いで、各セルに関連する電極の電圧が共通電極の電圧に対して負(negative)である逆フレーム(inverted frame)(負ピクチャ(negative picture))を送ることにより行われる。正と負のピクチャを生成することにより、各ピクセルは、確実に、正の電界で描かれてから負の電界で描かれることになる。その結果得られる駆動電界のDC(直流)成分は、0(零)であり、これは画像の焼き付き、および究極的にはイメージャの永久劣化を防止するのに必要である。人間の目は、これらの正と負のピクチャによって生成されるピクセルの輝度の平均値に回答することが測定されている。

【0004】

液晶オン・シリコン(LCOS)の現在の技術では、V_{ITO}(またはVITO)として表されるコモンモード電極電圧(common mode electrode voltage)を、正確に液晶オン・シリコン(LCOS)についての正と負のフィールド駆動の間に入るように調節することが必要である。下付き文字のITOは、材料のインジウム錫酸化物(Indium Tin Oxide)を表す。フリッカ(flicker:ちらつき)を最小限に抑え、更に画像の焼き付き(image sticking)と呼ばれる現象を防止するには、平均バランス(average balance)が必要である。

【0005】

現在の技術では、液晶オン・シリコン(LCOS)駆動セル(drive cell)は、従来のアクティブ・マトリックスLCDドライバと類似している。これは、文献で論じられている様々なアーティファクト(artifact)が原因で、余りうまく機能しない。主な原因は、液晶(LC)材料のイオン漏出およびバルク抵抗率による、寄生容量漏話(parasitic capacitance cross-talk)、液晶(LC

10

20

30

40

50

セル中の残留電圧、および液晶（ＬＣ）の電圧ドループ（droop：電圧降下ひずみ）である。これは、主に次のことにより解決されてきた。即ち、１．セル・キャパシタンスを増加させること（物理的領域によって制限される）、２．より高い抵抗率の液晶（ＬＣ）材料に変更すること（フレキシビリティおよび応答時間を制限する）、３．フレーム走査レートを増加させて６０Ｈｚよりも高くすること（高価であり、より多くの帯域幅を要する）、４．デバイスの温度を積極的に制御して高い電圧保持率（VHR：Voltage Holding Ratio）を維持することである。

【０００６】

上述のすべての問題の主な原因は、利用可能な電荷が１フレームにつき１度だけしか液晶（ＬＣ）セルに転送されないということである。このことにより、非常に多数のピクセルを有する表示装置では、利用可能な電力が制限され、また、所望の電圧が実際にピクセル電極上で実現されたことを調べる如何なる閉ループ・チェック方法も存在しない。加えて、フリッカ、駆動電圧、および残像の問題は、ディジタル駆動液晶オン・シリコン（ＬＣＯＳ）表示装置については様々な方法で対処されてきたが、そのような方法は、アナログ・システムにおける問題には、継続的な更新が必要なことに因り解決をもたらすことができない。従って、記憶コンデンサと液晶セルとの間に適切な分離（isolation）を与え、更にフレームを倍増することを必要とせずにフリッカを無くす表示ドライバ回路および方法が必要とされている。

【０００７】

（発明の概要）

本発明の第１の態様では、メモリと、複数の液晶セルのうちの一つの液晶セルとを有する表示ユニット用の表示ドライバは、前記液晶セルの第１のメモリ素子に結合された第１の駆動回路と、前記液晶セルの第２のメモリ素子に結合された第２の駆動回路と、前記第１と第２の駆動回路間で前記液晶セルを切り替えるための切替え機構（回路、手段）とを備える。

【０００８】

本発明の第２の態様では、対応する液晶セル・アレイを有する表示ユニット用の、アレイ・ドライバのアレイのうちの一つの表示ドライバは、第１の記憶キャパシタンスと、前記第１の記憶キャパシタンスと前記液晶セルとの間に選択的に結合されて第１の駆動回路を形成する第１の増幅器と、第２の記憶キャパシタンスと、前記第２の記憶キャパシタンスと前記液晶セルとの間に選択的に結合されて第２の駆動回路を形成する第２の増幅器と、前記第１と第２の駆動回路を切り替えるための切替え機構（回路、手段）とを備える。

【０００９】

本発明の第３の態様では、液晶表示装置（ＬＣＤ）／液晶オン・シリコン（ＬＣＯＳ）表示装置を駆動する方法は、複数の駆動セルのうちの各駆動セル中で差動増幅器を使用して記憶キャパシタンスを液晶セルから分離するステップと、前記複数の駆動セル間を切り替えて液晶セルを駆動するステップとを含んでいる。

【００１０】

（好ましい実施形態の詳細な説明）

前述の問題を解決するため、図１に示すように、内部記憶キャパシタンス（internal storage capacitance）１４と液晶（ＬＣ：Liquid Crystal）セル２０との間に差動増幅器（differential amplifier）１６などの増幅器を追加することを提案する。言い換えれば、駆動液晶（ＬＣ）セルに駆動増幅器（drive amplifier）を追加する。これにより、記憶コンデンサ（storage capacitor）と液晶（ＬＣ）セルとの間に分離（isolation）を加える。電流駆動機能を追加することで、ピクセル上の電圧が素早く所望の電圧になることが保証される。また、これによって、記憶コンデンサからの漏れ電流（leakage current）をごく少なくし（ＦＥＴが非常に高い入力インピーダンスを有するので）、液晶（ＬＣ）上の電圧を継続的にリフレッシュ（refresh）することができる。これは電圧の下降を引き起こす「ドループ（droop）」問

10

20

30

40

50

題を無くし、更に、セルに蓄積される残留ボルト電位も無くす。これは、フリッカの問題と、セル中のDC（直流）バランスを達成できないことに関連する「画像の焼き付き」問題との両方を改善する。また、いくぶん高温の状況でもセルが良好に動作することを可能にする。

【0011】

この技法の不利な点は、液晶セルを流れるDC電流が増加することである。この点は、差動増幅器の底部の電流源をゲートすることにより部分的に解決することができる。これには、デバイス中で「ピクセル選択(pixel select)」または「行選択(row select)」ビットを使用することができる(図1参照)。このようにして、電力消費を1/nrowだけ低減しながら、電圧の定期的なリフレッシュを達成することができる。nrowは、デバイス中の行の数である。加熱が均一なので、状況によってはこのゲーティング(gating)が必要とされない場合もある。

10

【0012】

図1には、CMOS（相補型MOS）中の典型的な実施形態を示す。各構成要素は、概略的に表すものであり、一般性を失わずに代替構成を用いることができる。重要なポイントは、液晶(LC)セルに閉ループ補正電圧を加える増幅器16と、電力消費の低減を可能にするゲート電流源である。

【0013】

通常、この回路は、3つのトランジスタを使用して実現することができ、これらのトランジスタは、液晶オン・シリコン(LCOS)表示デバイス中の液晶セルの下に配置することができる。図1の構成で、増幅器16は液晶(LC)セルをメモリ素子から分離している。図1には、液晶表示装置用の液晶セル・ドライバ10が示してある。この液晶セル・ドライバ10は、図1に示すように、相互に結合された複数のトランジスタ(12、15、17、18)と、記憶コンデンサ14などの記憶キャパシタンスと、複数の抵抗器19および21を備えていることが好ましい。トランジスタ15、17、18などの3つのトランジスタが増幅器16を形成することが好ましく、増幅器16は、バッファ増幅器または分離増幅器として働く差動増幅器の形式をとることが好ましい。差動増幅器16は、液晶セルへの出力として働くNチャネル・トランジスタで形成されることが好ましい。加えて、差動増幅器のトランジスタの各ソース電極は、トランジスタ18のようなゲート制御可能なNチャネル・トランジスタ等の電流源により駆動される。この電流ミラー構成は、所定のピクセル上で所定の電圧を保証する。差動増幅器16は、記憶コンデンサ14との間に結合され、記憶コンデンサ14と液晶セルまたはピクセルとの間の分離を与える。

20

30

【0014】

図2の構成では、データを記憶素子からドライバに転送するための大域スイッチ素子(global switch element)32を追加している。このことは、同じ回路動作電圧に対してピクセル駆動能力を増大させることを可能にし、また、ピクセル駆動電圧およびITO透過性導電電極をフレーム間で反転できるようにすることによって、残像(image retention)およびフリッカを減少させる。図2を参照すると、図1の液晶セル・ドライバ10に類似する別の液晶セル・ドライバ30が示されている。セル・ドライバ10に関して先に挙げた要素に加えて、セル・ドライバ30は更に、記憶コンデンサ14と差動増幅器16との間に結合された、トランジスタの形式をとる大域スイッチ素子32も備える。大域スイッチ素子は、データをメモリ・セルから表示ドライバのドライバ・コンデンサ36に転送する。

40

【0015】

フリッカの問題は、過去に多くの方法によって対処されてきた。また、駆動電圧および残像の問題は、デジタル駆動液晶オン・シリコン(LCOS)表示装置では対処されてきた。アナログ・システムの場合、駆動電圧および残像の問題は、継続的に更新する必要があるため同様に対処することができる。

【0016】

本明細書に開示する技法の主な利点は、ドライバ・コンデンサ36を記憶コンデンサ14

50

から分離することにある。図2に示すこの分離により、望むなら、液晶(LC)アレイ全体のセルすべてを一度に更新することができる。この利点には2つの側面がある。第1に、この分離により(液晶(LC)セルがフレーム間で変化したことを決定するための前処理を追加して)、液晶(LC)アレイ中で前のフレームから変化したセルだけを更新することもできる。言い換えれば、液晶(LC)セル上の表示内容を瞬時に変更することなく記憶コンデンサ14の内容を変更することができる。これにより、静的なピクチャ(画像)に必要なデータ・レートが大きく低減される。また、ライン間走査アーティファクトを表示することなく表示装置をインタレース・モード(interlaced mode)で駆動することも可能になる。通常、インタレースされるシステムでは、第1の走査(scan)で奇数ラインが描かれ、第2の走査(scan)で偶数ラインが描かれる。この走査方式は、「ライン間フリッカ(interline flicker)」と呼ばれるアーティファクトを生じる。これはフィルムなど、本来はインタレースされないデータの場合でも発生する。「ライン間フリッカ」の理由は、あるフレームからの偶数ラインが、前のフレームからの奇数ラインが表示されるのと同時に表示されるからである。フレームのどんな変化部分も、「ライン間フリッカ」を呈することになる。本発明によれば、液晶(LC)セル・アレイに対応する記憶コンデンサ(14)アレイを有する表示装置を通常どおり(偶数ラインに続いて奇数ライン)更新するが、例外として、次いで記憶アレイが満たされた後で液晶(LC)アレイ全体を更新する。従って、異なるフレームからのラインが同時に表示されることはない。この技法の第2の利点は、共通電極電圧をフレーム間で変調できることである。この変調により、ドライバ回路の所定の動作電圧で液晶(LC)セルに加えることのできる実効電界(effective electric field)が増大する。プロセス・ジオメトリ(process geometry)が、精緻になるほど最大許容駆動電圧は低下するので、これは大きな利点である。前述の利点は、ピクセルすべてが一度に更新されるときにのみ生じる。ピクセルを同時に更新することは、記憶アレイ(記憶コンデンサ14のアレイ)が、ドライバ・アレイ(ドライバ・コンデンサ36のアレイ)から分離されている場合にのみ行うことができる。

【0017】

この技法は、図1で述べた回路によって最も簡単に実現することができ、図2に示すように変更することもできる。図2の電圧 V_{nn} は、トランジスタ15および17のための電流源を制御する静的な電圧である。行と列のアドレスは、アクティブ・マトリックス・ディスプレイに於ける通常のアドレッシングである。制御信号(転送(Transfer)および放電(DischARGE))は、大域的に制御される別々の信号であり、これらの信号は記憶コンデンサ14上の電荷を駆動コンデンサ36に転送し、駆動コンデンサ36は液晶(LC)セルを駆動する。デバイス上の追加のトランジスタ32および34とコンデンサ36を加えることにより、この新しい回路を実現し、各転送後に記憶コンデンサ14から適切に電流が放電されるように動作させる。プロセス製造技術が0.1ミクロン以下に向かって進歩しているので、構成要素の追加はそれほど問題にはならない。

【0018】

図1の構成では、前述のように分離増幅器(isolation amplifier)を追加して液晶(LC)セルをメモリ素子から分離した。図3の本発明の追加実施形態では、第2の記憶セル(好ましくは記憶コンデンサ14')と、第2の増幅器(好ましくはトランジスタ15'、17'、18'を含む差動増幅器16')と、2つの駆動セル間を高速レートで切り替えるための1対のトランジスタ(72および74)とを有する、第2のセル・ドライバ部分を追加する。また、第2の駆動セルは、図1の実施形態と同様に構成されたトランジスタ12'およびトランジスタ18'と抵抗器19'および抵抗器24'も備えることが好ましい。これにより、フレームを倍増することを必要とせずフリッカを無くすことができる。また、これを用いて、セル上で利用可能な駆動電圧を増加させることもできる。

【0019】

液晶オン・シリコン(LCOS)を駆動するための図3の実施形態の基本的な利点は、2

10

20

30

40

50

つの別々の記憶素子および駆動回路を使用し、これらを切り替えて液晶（LC）セルを駆動することである。これは高速な切替え周波数を可能にし、それによりセルのフリッカ・レートは、人間の目で検出可能な周波数よりもずっと高い周波数になる。また、シリコン・バックプレーン（back plane）の所定の動作電圧でセル上の可能なRMS（Root Mean Square：平方自乗平均）電圧を増加させるのに役立つように、共通電極電圧（VITO）を切り替えることも可能になる。

【0020】

上側のセル（トランジスタ72を使用する）は、「正」のフレーム中に液晶（LC）を駆動するための電圧を含み、下側のセル（トランジスタ74を使用する）は、「負」のフレーム中に液晶（LC）を駆動するための電圧を含んでいる。セル上の正味DC電圧およびその結果生じる残像および信頼性の問題を回避するために、正と負のフレーム中での電圧はVITOとバランスが取れていなければならない。VddおよびVssは、CMOSデバイスについての高い方（upper）と低い方（lower）の動作電圧である。Vnnは、差動増幅器のトランジスタを通る電流を調整するために設定され、増幅器の電力損失を制御する。V1およびV2は、どの増幅器が液晶セルを駆動しているかを決定する大域的な切替え電圧である。図6に、静的VITOの場合のタイミング図を示す。図7に、切替え式VITOの場合のタイミング図を示す。

【0021】

図6および図7を更に参照すると、これらのタイミング図は、図3における上側の記憶セル14中の「正」のピクチャ・データ（V+）と、下側の記憶セル14'中の「負」のピクチャ・データ（V-）を反映している。図6の場合、VITOは切り替わらない。V1が、ハイ（高）に切り替わると（V2は、ロー（低））、トランジスタ72がオンになり、V+が液晶（LC）セルに加えられる。セル上の実効電圧は（V+ - VITO）である。次の切替え時、V1はロー（低）に切り替わり、V2はハイ（高）に切り替わる。トランジスタ74がオンになり、V-が液晶（LC）セルに加えられる。セル上の実効電圧は（VITO - V-）である。

【0022】

図7の場合、VITOは切り替わる。V1がハイ（高）に切り替わると（V2は、ロー（低））、トランジスタ72がオンになり、V+が液晶（LC）セルに加えられる。同時に、図7に示すようにVITOがロー（低）に切り替わる（VITO-）。この場合、液晶（LC）セル全体にわたる実効電圧は（V+ - VITO-）である。次の切替え時には、V1はロー（低）に設定されてトランジスタ72はオフになり、V2はハイ（高）に設定されてトランジスタ74はオンになる。これはV-を、セルに加える。同時に、図7に示すように、VITOは、ハイ（高）に切り替わる（VITO+）。この場合、液晶（LC）セルにわたる実効電圧は（VITO+ - V-）である。

【0023】

V+およびV-の最大値が、バックプレーン・プロセス（backplane process）の最大電圧で固定されている場合は、図6のような固定値のVITOは（V+ + V-）/2でなければならない。図7のようにVITOを切り替えることができる場合、VITO-は、V-とすることができ、VITO+は、V+とすることができ、従って、液晶（LC）セル上の最大実効電圧は、図6では（V+ - V-）/2だが、図7ではV+ - V-である。図7のタイミングは、アナログ・システム上で、大域スイッチV1およびV2によってすべてのセルが同時に更新される場合だけしか達成することができない。

【0024】

通常、V1とV2で切り替える間の時間は、1または2ミリ秒とすべきである。これは、液晶（LC）材料とバックプレーンの特性との所定の組み合わせ、およびデバイスの応答時間に対して決定する必要がある。

【0025】

この方式の不利な点は、多数のトランジスタを実装する必要があることである（おそらく

10

20

30

40

50

12個になる)。これは、20ミクロン・ピクセルおよび0.35ミクロン・プロセスを用いれば容易に実現可能である。より精緻なプロセス・ジオメトリを用いることにより、より小さなピクセルに対する同様の拡大・縮小も可能である。

【0026】

次に図4を参照すると、前述の表示ドライバ10または30または70を利用することのできる表示ユニット50が示されている。表示ユニット50は、行(row)と列(column)のマトリックス(matrix)に構成された複数の表示素子と、メモリ素子と、液晶セルとを備えることが好ましい。ドライバは、複数の電圧のうちの1つを、行と列のマトリックスのうちの少なくとも1つにある表示素子に切替え可能に出力することが好ましく、表示ユニットは、従来型デコーダ51を備え、ドライバは、この従来型デコーダ51によって制御される。ドライバは、記憶コンデンサと、記憶コンデンサと液晶セルとの間に結合された差動増幅器とを備えることができ、それにより差動増幅器は、記憶コンデンサと液晶セルとの間の分離を与える。ドライバは、デコーダ51と、デコーダ51の出力信号により開閉するように制御される複数の半導体スイッチとを備えることができる。図4に示すように、表示ユニット50は、複数の行(走査)アドレス・ライン56を有する行駆動回路60と、複数の列(データ)アドレス・ライン58を有する列駆動回路62とを備えることができる。

10

【0027】

図5を参照すると、本発明による表示装置駆動方法200を表すフロー・チャートが示されている。方法200は、複数の駆動セルのうちの各駆動セル中で差動増幅器を使用してメモリ素子(記憶コンデンサなど)と液晶セルとの間の分離を与えるステップ202を含むことが好ましい。この分離は、第1のセル中で、第1の差動増幅器を使用して第1の記憶コンデンサと液晶セルとの間に与えられ、第2のセル中で、第2の差動増幅器を使用して第2の記憶コンデンサと液晶セルとの間に与えられることが好ましい。方法200はまた、複数の駆動セル間を切り替えて液晶セルを駆動するステップ204を含むことが好ましく、1対のトランジスタが、第1と第2の駆動セル間を切り替える機能を実行することが好ましい。ステップ208で更に、フレームを倍増せずにフリッカを無くすステップを与えることができる。方法200は更に、液晶素子のアレイ全体を同時に更新するステップ216、および/または、前のフレームから変化したメモリ・セルだけを更新するステップ218を含むこともできる。方法200の追加の利点として、ライン間走査アーティファクトを表示することなくメモリ・アレイをインタレース・モードで駆動するステップ220、および/または、共通電極電圧をフレーム間で変調して、必要とされる液晶駆動電圧を低減するステップ222を含むこともできる。

20

30

【0028】

本明細書に開示する実施形態に関連して本発明について述べたが、以上の記述は本発明を例示するものであり、特許請求の範囲で定める本発明の範囲を限定するものではないことを理解されたい。

【図面の簡単な説明】

【図1】 本発明による液晶セル・ドライバのブロック図である。

【図2】 本発明による別の液晶セル・ドライバのブロック図である。

40

【図3】 本発明による切替え式液晶セル・ドライバを利用する表示ユニットのブロック図である。

【図4】 本発明による液晶セル・ドライバを利用する表示ユニットのブロック図である。

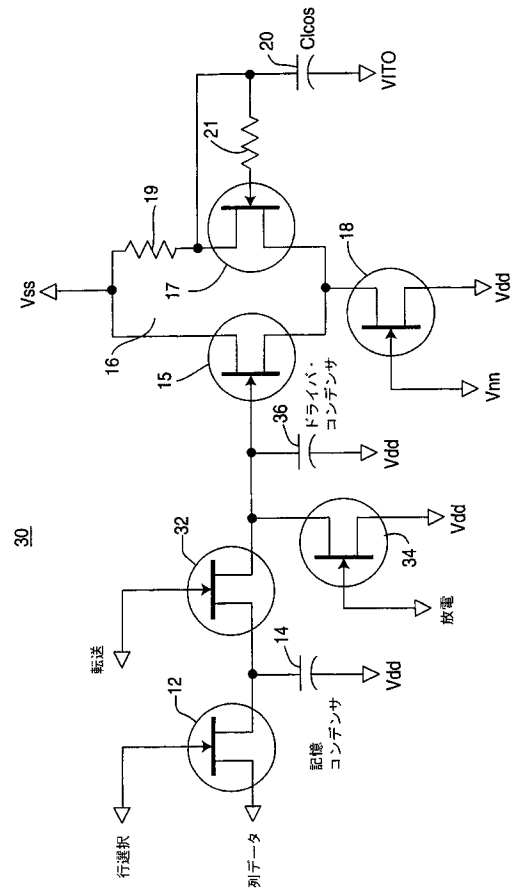
。

【図5】 本発明による表示装置駆動方法を示すフロー・チャートである。

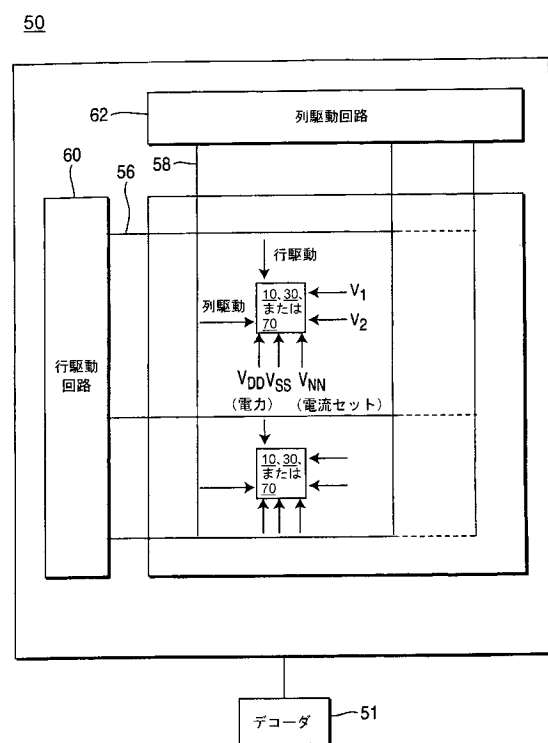
【図6】 本発明による静的VITOの場合のタイミング図である。

【図7】 本発明による切替え式VITOの場合のタイミング図である。

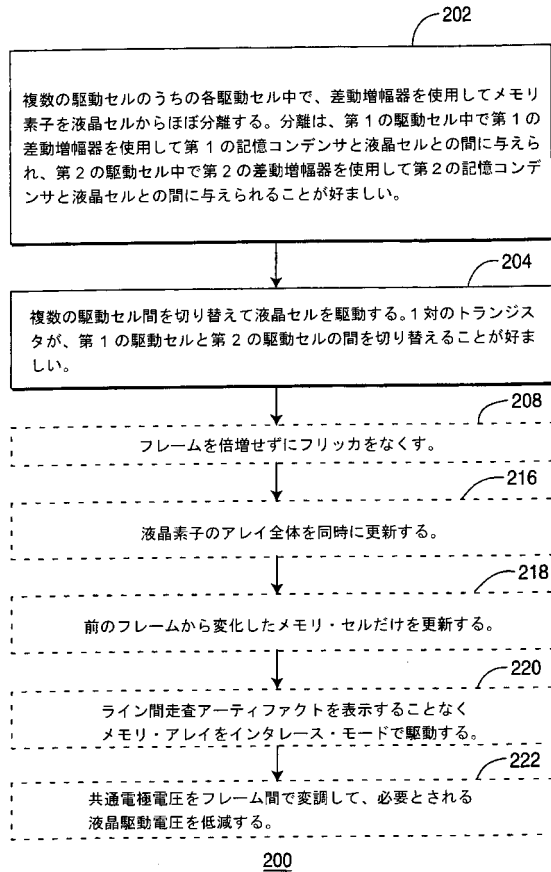
【 図 2 】



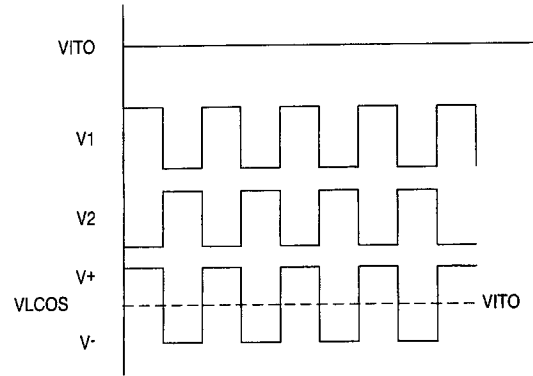
【図 4】



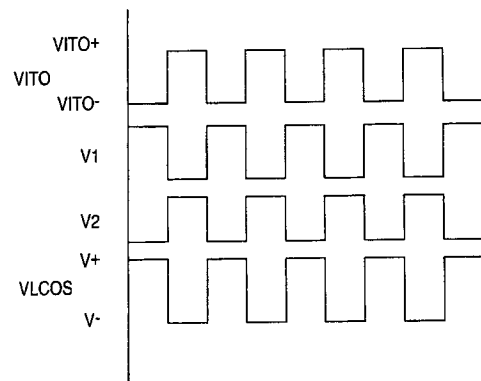
【図 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 3 B
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 7 0 K

審査官 一宮 誠

(56)参考文献 特開平 0 9 - 3 2 9 8 0 6 (J P , A)
特開平 1 1 - 3 2 6 9 4 6 (J P , A)
特開平 1 0 - 0 6 2 8 1 7 (J P , A)
特開平 1 1 - 3 1 1 7 7 1 (J P , A)
特開 2 0 0 2 - 1 0 8 3 0 3 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G09G 3/00 - 3/38

G02F 1/133

专利名称(译)	显示驱动器和液晶显示器件		
公开(公告)号	JP4271441B2	公开(公告)日	2009-06-03
申请号	JP2002547154	申请日	2001-11-29
[标]申请(专利权)人(译)	汤姆森特许公司		
申请(专利权)人(译)	汤姆森许可兴业ANONYME		
当前申请(专利权)人(译)	汤姆森许可		
[标]发明人	オードネルユージーンマーフィ		
发明人	オードネル, ユージーン マーフィ		
IPC分类号	G09G3/36 G02F1/133 G02F1/1368 G09G3/20 G02F1/1333 H03F3/45		
CPC分类号	G09G3/3688 G02F1/13306 G02F1/1333 G09G3/2011 G09G3/3611 G09G3/3614 G09G3/3648 G09G2300/0809 G09G2300/0842 G09G2300/0852 G09G2310/0251 G09G2310/027 G09G2310/04 G09G2320/0233 G09G2320/0247 G09G2320/0285		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1368 G09G3/20.611.E G09G3/20.621.B G09G3/20.622.B G09G3/20.623.B G09G3/20.624.B G09G3/20.670.K		
代理人(译)	木越 力		
审查员(译)	一宮 誠		
优先权	60/250259 2000-11-30 US		
其他公开文献	JP2004514957A JP2004514957A5		
外部链接	Espacenet		

摘要(译)

用于具有存储元件和多个液晶单元中的液晶单元的显示单元 (50) 的单元驱动器 (70) 包括第一存储电容器 (14) , 第一存储电容器和液晶单元并且第一差分放大器 (16) 选择性地耦合在第一和第二差分放大器之间以形成第一驱动电路。单元驱动器还包括第二存储电容器 (14') , 第二差分放大器 (16') , 耦合在第二存储电容器和液晶单元之间, 以形成第二驱动电路, 设置有门。切换机构 (72和74) 用于在第一和第二驱动电路之间切换液晶单元。

50

