

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4256717号

(P4256717)

(45) 発行日 平成21年4月22日(2009.4.22)

(24) 登録日 平成21年2月6日(2009.2.6)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G02F 1/133 575

G09G 3/20 611A

G09G 3/20 612F

請求項の数 9 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2003-135220 (P2003-135220)
(22) 出願日 平成15年5月14日(2003.5.14)
(65) 公開番号 特開2004-341075 (P2004-341075A)
(43) 公開日 平成16年12月2日(2004.12.2)
審査請求日 平成17年8月10日(2005.8.10)

(73) 特許権者 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町2番2号
(74) 代理人 100114476
弁理士 政木 良文
(72) 発明者 清水 幸浩
大阪府大阪市阿倍野区長池町2番2号
シャープ株式会社内
(72) 発明者 中尾 友昭
大阪府大阪市阿倍野区長池町2番2号
シャープ株式会社内

審査官 一宮 誠

最終頁に続く

(54) 【発明の名称】 液晶駆動装置及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

入力される複数の参照電圧から n ビットの表示データに応じた 2^n 通りの階調表示用電圧を発生させる基準電圧発生手段と、前記 2^n 通りの階調表示用電圧の中から、入力される前記表示データに応じた階調表示用電圧を選択するDA変換回路とを備え、選択された階調表示用電圧を複数の出力端子を介して液晶パネルに出力可能に構成された液晶駆動装置であって、

前記基準電圧発生手段は、直列接続された複数の分割抵抗により前記複数の参照電圧の電圧差を抵抗分割して前記 2^n 通りの階調表示用電圧を発生可能に構成された第1分圧手段と、直列接続された複数の補助抵抗により前記複数の参照電圧の電圧差を抵抗分割して前記 2^n 通りの階調表示用電圧を発生可能に構成された第2分圧手段と、前記第1分圧手段が発生する前記 2^n 通りの階調表示用電圧と前記第2分圧手段が発生する前記 2^n 通りの階調表示用電圧を相互に接続するスイッチ手段とを備え、

前記DA変換回路が応答する過渡状態期間中に前記スイッチ手段が導通状態となり、前記第1分圧手段と前記第2分圧手段の両方が動作するよう構成されたことを特徴とする液晶駆動装置。

【請求項2】

入力される複数の参照電圧から n ビットの表示データに応じた 2^n 通りの階調表示用電圧を発生させる基準電圧発生手段と、前記 2^n 通りの階調表示用電圧の中から、入力される前記表示データに応じた階調表示用電圧を選択するDA変換回路とを備え、選択された階

調表示用電圧を複数の出力端子を介して液晶パネルに出力可能に構成された液晶駆動装置であって、

前記基準電圧発生手段は、直列接続された複数の分割抵抗により前記複数の参照電圧の電圧差を抵抗分割して前記 2^n 通りの階調表示用電圧を発生可能に構成された第 1 分圧手段と、直列接続された複数の補助抵抗により前記複数の参照電圧の電圧差を抵抗分割して前記 2^n 通りの階調表示用電圧の一部を発生可能に構成された第 2 分圧手段と、前記第 1 分圧手段が発生する前記 2^n 通りの階調表示用電圧と前記第 2 分圧手段が発生する前記 2^n 通りの階調表示用電圧の一部の対応する電圧同士を相互に接続するスイッチ手段とを備え、

前記 D/A 変換回路が応答する過渡状態期間中に前記スイッチ手段が導通状態となり、前記第 1 分圧手段と前記第 2 分圧手段の両方が動作するよう構成されたことを特徴とする液晶駆動装置。

10

【請求項 3】

前記第 2 分圧手段が発生する前記 2^n 通りの階調表示用電圧の一部の電圧は、折れ線近似したガンマ補正特性の折れ線部に対応するように前記複数の補助抵抗の各抵抗値が設定されていることを特徴とする請求項 2 に記載の液晶駆動装置。

【請求項 4】

前記第 1 分圧手段の前記直列接続された複数の分割抵抗の合成抵抗が、前記第 2 分圧手段の前記直列接続された複数の補助抵抗の合成抵抗より大きいことを特徴とする請求項 1～3 の何れか 1 項に記載の液晶駆動装置。

20

【請求項 5】

入力される複数の参照電圧から n ビットの表示データに応じた 2^n 通りの階調表示用電圧を発生させる基準電圧発生手段と、前記 2^n 通りの階調表示用電圧の中から、入力される前記表示データに応じた階調表示用電圧を選択する D/A 変換回路とを備え、選択された階調表示用電圧を複数の出力端子を介して液晶パネルに出力可能に構成された液晶駆動装置であって、

前記基準電圧発生手段は、直列接続された複数の分割抵抗により前記複数の参照電圧の電圧差を抵抗分割して前記 2^n 通りの階調表示用電圧を発生可能に構成された第 1 分圧手段と、直列接続された複数の補助抵抗により前記複数の参照電圧の電圧差を抵抗分割して前記 2^n 通りの階調表示用電圧を発生可能に構成された第 2 分圧手段と、前記第 1 分圧手段が発生する前記 2^n 通りの階調表示用電圧と前記第 2 分圧手段が発生する前記 2^n 通りの階調表示用電圧の何れか一方を選択して出力するスイッチ手段とを備え、

30

前記第 1 分圧手段の前記直列接続された複数の分割抵抗の合成抵抗が、前記第 2 分圧手段の前記直列接続された複数の補助抵抗の合成抵抗より大きく設定され、

前記スイッチ手段は、前記 D/A 変換回路が応答する過渡状態期間中に前記第 2 分圧手段を選択し、定常状態で前記第 1 分圧手段を選択するよう構成されたことを特徴とする液晶駆動装置。

【請求項 6】

前記基準電圧発生手段は、前記入力される複数の参照電圧の内の少なくとも最大電圧と最小電圧を、低出力インピーダンスのボルテージフォロア回路を介して出力することを特徴とする請求項 1～5 の何れか 1 項に記載の液晶駆動装置。

40

【請求項 7】

前記基準電圧発生手段は、ソースドライバ内に内蔵されていることを特徴とする請求項 1～6 の何れか 1 項に記載の液晶駆動装置。

【請求項 8】

前記 D/A 変換回路で選択された階調表示用電圧を低インピーダンス化して前記複数の出力端子を介して前記液晶パネルに出力する出力回路を備えていることを特徴とする請求項 1～7 の何れか 1 項に記載の液晶駆動装置。

【請求項 9】

請求項 1～8 の何れか 1 項に記載の液晶駆動装置を備えてなる液晶表示装置。

50

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリックス型液晶表示装置、及び、その液晶駆動装置に関し、詳しくは、階調表示電圧を発生させる基準電圧発生回路に適用して有効な技術に関する。

【0002】

【従来の技術】

従来の液晶表示装置の一例として、例えば下記特許文献1に開示されているものがある。図11～図13は、当該従来の液晶表示装置におけるドライバIC間の入出力信号の接続の関係を示す。一般的にドライバIC間の接続はプリント配線基板(Printed Wiring Board)を介して、例えば、図13に示すように行われる。

10

【0003】

図11は、従来のドライバIC(液晶駆動装置)のTCP(Tape Carrier Package)に実装された状態を示す。複数のドライバICに共通な入出力信号用外部接続端子部51を、TCPの下側(液晶駆動出力用外部接続端子部55の反対側)に配置し、図13に示すように、この端子部51とプリント配線基板71、72、75の接続用リード端子をハンダにて接続することにより、ドライバIC間の入出力信号の接続を行っていた。

【0004】

TCPのほぼ中央にドライバチップ57を配置し、上側に液晶駆動出力用外部接続端子部55、下側に入出力信号用外部接続端子部51(複数のドライバICに共通)を有し端子S1～S7を引き出している。チップ部分は、樹脂によりカバーされ電氣的且つ物理的に保護されている。また、液晶駆動出力用外部接続端子部分55は、一般的には異方性導電シートを介して、直接液晶パネルに接続される。入出力用外部接続端子部分51には、TCP基材を抜き取ったスリットを設けてあり、プリント配線基板にハンダ接続することにより、複数のドライバICに共通な信号を供給することが可能である。

20

【0005】

図12は、チップ57とTCPとの接続部分の拡大図である。チップ上に設けられたパッド67とTCPの中央部分に設けられたインナーリード64を熱的に圧着することにより、電氣的・物理的に接続される。この場合、入出力信号用端子部51の端子S1～S7は、各信号に対して1本ずつであり、当然パッドも1個ずつである。

30

【0006】

図13は、従来の液晶モジュールの実装形態を示す図である。640(横方向)×400(縦方向)ドットのパネルを想定すると、上下に配されたセグメント・ドライバ8個は、夫々液晶駆動出力数が160本、左側に配されたコモン・ドライバ4個は、夫々液晶駆動出力数が100本である。

【0007】

また、前記プリント配線基板を使わずに液晶パネルとTCPだけで液晶表示装置を構成する方法が同じく特許文献1に開示されている。図14は、その液晶表示装置におけるドライバICのTCPに実装された状態を示す。TCPの左右に同一入出力信号(S1～S7)用外部接続端子部11及び12を配置し、片側(本実施例では左側11)の外部接続端子部にはTCP基材を抜き取ったスリット13を設け、反対側(本実施例では右側12)の外部接続端子にはハンダ接続可能なリード14を形成する。これにより隣接IC間を、プリント配線基板を介することなく直接接続による構成例が示される。

40

【0008】

図15は、ドライバICにおけるチップ17とTCPとの接続部分の拡大図である。このチップ17が図14のホール部20に取り付けられる。図12と大きく異なる点は、チップ内部の左右に同一信号(S1～S7)用のパッド27が配されており、チップ17の左右に有る同一信号用パッド27間が、チップ内部の配線材料21にて、比較的低いインピーダンスで接続される。配線材料21は、例えば、チップ上の2層目メタル、または、チ

50

チップ上の金バンプ（TCP品のパッド部に形成）などの導体で形成される。

【0009】

チップ17の上部には、液晶駆動用出力信号23用のパッド28が形成される。チップ17の下部には基本的にパッドを配さない。但し、チップとTCPの接続強度を確保する目的で、ダミーパッドを配する場合も有る。

【0010】

図16は、前記ドライバICにおけるIC間の具体的な接続手順を示したものである。TCP40bのスリット13bの側の外部接続端子を上配し、隣接IC17a(40a)の接続リード14aの側を下に配し、位置合せをし、双方のリードを重ねてハンダ接続を行う。

10

【0011】

図17は、液晶モジュール形成例であって、液晶パネルとTCPの接続例を示す。図13と全く同一のドット構成(640×400)をイメージしており、パネル上下にプリント配線基板を採用したセグメント・ドライバ8個(上下各4個)と、パネル左側にコモン・ドライバ4個が使用されている。この場合も、セグメント・ドライバは液晶駆動出力数が夫々160本、コモン・ドライバは液晶駆動出力数が夫々100本である。

【0012】

セグメント・ドライバ8個とコモン・ドライバ4個の隣接デバイス間は重なり合ったTCP部分に形成された接続リード31、32、33、34、35により、相互にハンダ接続される。すなわち、セグメント側で6カ所(上下各3カ所)、コモン側で3カ所である。また、コモン・ドライバとセグメント・ドライバ間も、同一方式で接続することが可能である。

20

【0013】

また、前記ドライバICにおいて、64階調の多色表示が可能なTF-T液晶表示装置のドレイン駆動回路に関する一例が下記非特許文献1に記載されている。

【0014】

前記ドレイン駆動回路は、1個の階調電圧生成回路を有し、図示しない内部電源回路から入力される9値の階調基準電圧(V0-V8)を基に、64階調分の階調電圧を生成する。

【0015】

また、前記ドレイン駆動回路は、表示データラッチ用クロック信号に同期して各色6ビットの表示用データを出力本数分だけ取り込み、また、出力タイミング制御用クロック信号に応じて、前記階調電圧生成回路で生成された64階調分の階調電圧の中から、表示用データに対応する階調電圧を選択して、各ドレイン信号線に出力する。

30

【0016】

更には、画素となる液晶層の劣化を防止するために、図示しない交流化信号(M)の交流化周期でドレイン駆動回路の出力電圧(画素電極に印加される電圧)と、図示しないコモン電極とに印加する電圧の極性を反転させている。

【0017】

図18は、前記液晶表示装置におけるドレイン駆動回路の階調電圧生成回路の概略構成を示す回路図である。

40

【0018】

図18に示すように、前記液晶表示装置におけるドレイン駆動回路の階調電圧生成回路606は、先ず、内部電源回路から入力された9値の階調基準電圧(V0-V8)の各階調基準電圧間を、直列抵抗分割回路605により8分割することにより、 $8 \times 8 = 64$ (階調)の階調電圧を生成する。

【0019】

次に、表示データに対応する階調電圧を $64 \times b$ 個のMOSトランジスタからなる選択回路113により選択し、ドレイン信号線1~bに出力する。

【0020】

50

図19は、図18に示す階調基準電圧 V_n と階調基準電圧 V_{n-1} ($n=1\sim 8$) とからなる1階調基準電圧分の階調電圧生成回路606である直列抵抗分割回路605及び直列抵抗分割回路605の概略構成を示す回路図である。

【0021】

図19に示すように、従来の直列抵抗分割回路605は、内部電源回路から入力された階調基準電圧 V_n 、 V_{n-1} ($n=1\sim 8$) 間を、8分割するための分割抵抗105～112からなり、その抵抗値は R である。

【0022】

【特許文献1】

特許第2837027号明細書

10

【非特許文献1】

「Low-Power 6-bit Column Driver for AMLCDs」、1994年6月、SID 94 DIGEST P. 351-354

【0023】

【発明が解決しようとする課題】

しかしながら、近年、液晶パネルのガラス基板からはみ出る部分の幅（額縁サイズ）を縮小し、同じモジュールサイズでより大きな表示面積を確保しようとする傾向がある。また、液晶パネルはCRTと比較してコストがまだまだ高いのでコストダウンの要求も非常に厳しい。

【0024】

20

このような状況の中、ガラス基板からはみ出るTCPの幅を縮小するために、図17で示したように、プリント配線基板を使わず液晶パネルとTCPとだけで液晶表示装置を構成して、隣り合うTCP間で信号配線を接続し、TCP上の配線のみ、或いは、一部ガラス基板上の配線も使用して入力信号の授受を行う構成が採用されている。

【0025】

しかしながら、このようなTCP上の配線のみ、或いは、一部ガラス基板上の配線も使用して入力信号の授受を行う構成においては、入力信号や基準電源端子数の増加、及び、それに伴うコストアップ、基準電源等の配線抵抗が問題となる。特に、液晶パネルの大型化に伴い、配線の引き廻しにより配線抵抗が増大し、配線上での電圧降下によっては液晶パネルを駆動するためのドライバ間で電位が変化する虞があり、その結果、表示不良（ブロック別れ）等を引き起こす可能性がある。

30

【0026】

当該配線抵抗の増大を考慮して、配線自体を太くすることも考えられるが、例えば、TCPのリード配線やガラス基板の配線等を太くすると、今度はTCP自体の形状が大きくなったり、ガラス基板上のドライバ搭載面積を広くする必要が生じるため、マザーガラスのパネル取り数の低下やコストアップを招く虞があった。

【0027】

図18で開示されているドレイン駆動回路単体においては、内部電源回路（図示なし）から入力された9値の階調基準電圧（ V_0-V_8 ）の各階調基準電圧間を直列抵抗分割回路605により8分割することにより、 $8\times 8=64$ （階調）の階調電圧を生成し、そして選択回路113は表示データに対応する階調電圧を $64\times b$ 個のMOSトランジスタからなるDA変換回路により、どれか一つを選択して出力するよう構成されている。

40

【0028】

液晶パネルの大型化に伴いドレイン駆動回路も多出力化される傾向にあるが、出力負荷が増えることによって、直列抵抗分割回路605の抵抗値を低くし、より電流を流すことで応答速度を確保してやる必要がある。この場合、1つのドレイン駆動回路内で同一階調電圧を出力するソース信号線の本数が増えると階調基準電圧生成回路の電圧変動は大きくなり、特に、印加電圧に対する液晶層の透過率の変化が大きい中間調表示の部分では、表示画面上で輝度ムラが発生する虞があった。

【0029】

50

本発明は、上記問題点に鑑みてなされたもので、その目的は、低消費電力で輝度ムラ等の表示不良を抑制できる液晶駆動装置及び液晶表示装置を提供することにある。

【0030】

【課題を解決するための手段】

この目的を達成するための本発明に係る液晶駆動装置は、入力される複数の参照電圧から n ビットの表示データに応じた 2^n 通りの階調表示用電圧を発生させる基準電圧発生手段と、前記 2^n 通りの階調表示用電圧の中から、入力される前記表示データに応じた階調表示用電圧を選択する D/A 変換回路とを備え、選択された階調表示用電圧を複数の出力端子を介して液晶パネルに出力可能に構成された液晶駆動装置であって、前記基準電圧発生手段は、直列接続された複数の分割抵抗により前記複数の参照電圧の電圧差を抵抗分割して前記 2^n 通りの階調表示用電圧を発生可能に構成された第 1 分圧手段と、直列接続された複数の補助抵抗により前記複数の参照電圧の電圧差を抵抗分割して前記 2^n 通りの階調表示用電圧の一部または全部を発生可能に構成された第 2 分圧手段と、前記第 1 分圧手段が発生する前記 2^n 通りの階調表示用電圧と前記第 2 分圧手段が発生する前記 2^n 通りの階調表示用電圧の一部または全部の対応する電圧同士を相互に接続するスイッチ手段とを備え、前記 D/A 変換回路が応答する過渡状態期間中に前記スイッチ手段が導通状態となり、前記第 1 分圧手段と前記第 2 分圧手段の両方が動作するよう構成されたことを特徴とする。

10

【0031】

更に、上記特徴構成の本発明に係る液晶駆動装置は、更に、前記第 1 分圧手段の前記直列接続された複数の分割抵抗の合成抵抗が、前記第 2 分圧手段の前記直列接続された複数の補助抵抗の合成抵抗より大きいことを特徴とし、また、前記基準電圧発生手段が、前記入力される複数の参照電圧の内の少なくとも最大電圧と最小電圧を、低出力インピーダンスのボルテージフォロア回路を介して出力することを特徴とする。

20

【0032】

【発明の実施の形態】

本発明に係る液晶駆動装置（以下、適宜「本発明装置」という。）及び本発明装置を備えた本発明に係る液晶表示装置の実施の形態につき、図面に基づいて説明する。

【0033】

〈第 1 実施形態〉

図 1 に、アクティブマトリクス方式の代表例である TFT（薄膜トランジスタ）方式の液晶表示装置 900 のブロック構成を示す。

30

【0034】

この液晶表示装置 900 は、液晶表示部とそれを駆動する液晶駆動部とで構成されている。上記液晶表示部は、TFT 方式の液晶パネル 901 を備えている。液晶パネル 901 内には、図示しない液晶表示素子と、対向電極（共通電極）906 とが設けられている。

【0035】

一方、上記液晶駆動部は、それぞれ IC（Integrated Circuit）チップからなるソースドライバ 902 及びゲートドライバ 903 と、コントローラ 904 と、液晶駆動電源 905 とを備えて構成されている。

40

【0036】

ソースドライバ 902 やゲートドライバ 903 は、一般的には、配線のあるフィルム、例えば TCP（Tape Carrier Package）上に、ソースドライバ 902 やゲートドライバ 903 の IC チップを搭載し、その TCP を液晶パネルの ITO（Indium Tin Oxide；インジウムスズ酸化膜）端子上に実装して接続するか、或いは、当該 IC チップを ACF（Anisotropic Conductive Film；異方性導電膜）を介して直接、液晶パネルの ITO 端子に熱圧着して実装して接続する方法で構成されている。

【0037】

コントローラ 904 は、デジタル化された表示データ D（例えば、赤、緑、青に対応する

50

R G Bの各信号) 及び各種制御信号をソースドライバ902に出力すると共に、各種制御信号をゲートドライバ903に出力している。ソースドライバ902への主な制御信号は、水平同期信号、スタートパルス信号、及び、ソースドライバ用クロック信号等があり、図1中ではS1で示されている。一方、ゲートドライバ903への主な制御信号は、垂直同期信号やゲートドライバ用クロック信号等があり、図中ではS2で示されている。尚、図1中、各ICを駆動するための電源は省略している。

【0038】

液晶駆動電源905は、ソースドライバ902及びゲートドライバ903へ液晶パネル表示用電圧(本発明に係るものとしては、階調表示用電圧を発生させるための参照電圧)を供給するものである。

10

【0039】

外部から入力された表示データは、コントローラ904を通してデジタル化された表示データDとしてソースドライバ902へ入力される。ここで、各ソースドライバ902に対して、従来の技術で示したプリント配線基板を使わず液晶パネルとT C Pとだけで液晶表示装置を構成して、隣り合うT C P間で信号配線を接続し、T C P上の配線のみ、或いは、一部ガラス基板上の配線も使用して入力信号の授受を行う構成を採用している。

【0040】

ソースドライバ902は、入力されたデジタル表示データDを時分割で内部にラッチし、その後、コントローラ904から入力される水平同期信号(ラッチ信号L S(図5参照)とも言う)に同期してD A(デジタル→アナログ)変換を行う。そして、ソースドライバ902は、D A変換によって得られた階調表示用のアナログ電圧(階調表示電圧)を、液晶駆動電圧出力端子から、後述のソース信号ライン1004(図2参照)を介して、その液晶駆動電圧出力端子に対応した液晶パネル901内の液晶表示素子(図示せず)へ夫々出力する。

20

【0041】

次に、液晶パネル901について説明する。図2は、液晶パネル901の構成を示している。液晶パネル901には、画素電極1001、画素容量1002、画素への電圧印加をオン/オフする素子としてのT F T(Thin Film Transistor)1003、ソース信号ライン1004、ゲート信号ライン1005、液晶パネルの対向電極1006(図1の対向電極906に相当)が設けられている。図2中、Aで示す領域が1画素分の液晶表示素子である。

30

【0042】

ソース信号ライン1004には、ソースドライバ902から、表示対象の画素の明るさに応じた階調表示電圧が与えられる。ゲート信号ライン1005には、ゲートドライバ903から、縦方向に並んだT F T1003が順次オンするように走査信号が与えられる。オン状態のT F T1003を通して、そのT F T1003のドレインに接続された画素電極1001にソース信号ライン1004の電圧が印加されると、画素電極1001と対向電極1006との間の画素容量1002に電荷が蓄積され、液晶の光透過率が変化し、表示が行われる。

【0043】

40

図3及び図4は、液晶駆動波形の一例を示している。図3及び図4中、符号1101、1201で指示される波形はソースドライバ902からの出力信号の駆動波形、符号1102、1202で指示される波形はゲートドライバ903からの出力信号の駆動波形である。符号1103、1203で指示される電位は対向電極1006の電位であり、符号1104、1204で指示される波形は画素電極1001の電圧波形である。液晶材料に印加される電圧は、画素電極1001と対向電極1006との電位差であり、図3及び図4中では斜線で示されている。

【0044】

例えば、図3では、駆動波形1102で示すゲートドライバ903からの出力信号が高レベルのとき、T F T1003がオンし、駆動波形1101で示すソースドライバ902か

50

らの出力信号と対向電極1006の電位1103との差が画素電極1001に印加される。この後、駆動波形1102で示されるように、ゲートドライバ903からの出力信号は低レベルとなり、TFT1003はオフ状態となる。このとき、画素では、画素容量1002があるため、上述の電圧が維持される。図4の場合も同様である。

【0045】

図3と図4とは、液晶材料に印加される電圧が異なる場合を示しており、図4の場合は、図3の場合と比べて印加電圧が低い。このように、液晶に印加される電圧をアナログ電圧として変化させることで、液晶の光透過率をアナログ的に変え、階調表示を実現している。表示可能な階調数は、液晶に印加されるアナログ電圧の選択肢の数により決定される。

【0046】

ところで、本発明は、特に大きな回路規模及び消費電力を占める階調表示用回路の中の基準電圧発生回路に関するものであるため、以後、ソースドライバ902を中心に本発明装置の説明を行う。

【0047】

図5は、本発明装置の一例であるソースドライバ902のブロック構成を示している。以下、基本的な部分のみ説明する。

【0048】

コントローラ904から転送されてきた各デジタル表示データDR・DG・DB（例えば各6ビット）は、一旦、入力ラッチ回路1301でラッチされる。なお、各デジタル表示データDR・DG・DBは、夫々、赤、緑、青に対応している。

【0049】

一方、スタートパルス信号SPは、クロック信号CKに同期を取り、シフトレジスタ回路1302内を転送され、シフトレジスタ回路1302の最終段から次段のソースドライバにスタートパルス信号SP（カスケード出力信号SSPO）として出力される。

【0050】

このシフトレジスタ回路1302の各段からの出力信号に同期して、先の入力ラッチ回路1301にてラッチされたデジタル表示データDR・DG・DBは、時分割でサンプリングメモリ回路1303内に一旦記憶されると共に、次のホールドメモリ回路1304に出力される。

【0051】

1水平同期期間の表示データがサンプリングメモリ回路1303に記憶されると、ホールドメモリ回路1304は、水平同期信号（ラッチ信号LS）に基づいてサンプリングメモリ回路1303からの出力信号を取り込み、次のレベルシフタ回路1305に出力すると共に、次の水平同期信号が入力されるまでその表示データを維持する。

【0052】

レベルシフタ回路1305は、液晶パネルへの印加電圧レベルを処理する次段のDA変換回路1306に適合させるため、信号レベルを昇圧等により変換する回路である。基準電圧発生回路1309は、先述の液晶駆動電源905（図1参照）からの参照電圧VRに基づき、階調表示用の各種アナログ電圧を発生させ、DA変換回路1306に出力する。

【0053】

DA変換回路1306は、基準電圧発生回路1309から供給される各種アナログ電圧から、レベルシフタ回路1305にてレベル変換された表示データに応じたアナログ電圧を選択する。この階調表示を表すアナログ電圧は、出力回路1307を介して、各液晶駆動電圧出力端子（以下、単に出力端子と記載する）1308から液晶パネル901の各ソース信号ラインへ出力される。出力回路1307は、基本的にはバッファ回路であり、例えば差動増幅回路を用いたボルテージフォロア回路で構成されるものである。

【0054】

次に、本発明装置の特徴部分を成す基準電圧発生回路1309について、それらの回路構成を更に詳細に説明する。

【0055】

図6は、第1実施形態に係る本発明装置の基準電圧発生回路1309の回路構成例を示している。RGBに対応するデジタル表示データが各々例えば6ビットで構成されている場合、基準電圧発生回路1309は、m種類の参照電圧 V_{Ri} ($i = 0 \sim 63$ の中から選択されるm通りの値、図5では単にVRと表示) から $2^6 = 64$ 通りの階調表示に対応する64種類のアナログ電圧 $V_0 \sim V_{63}$ を出力する。以下、その具体的構成について説明する。

【0056】

本発明の実施形態の基準電圧発生回路1309は、分割抵抗 $R_{01} \sim R_{63}$ が直列に接続され、その合成抵抗値が比較的高い第1分圧手段102と、補助抵抗 $R_1 \sim R_8$ が直列に接続され、その合成抵抗値が第1分圧手段102と比べて比較的低い第2分圧手段103と、また、分割抵抗 $R_{01} \sim R_{63}$ と補助抵抗 $R_1 \sim R_8$ とを接続するためのスイッチ手段 $SWE_0 \sim SWE_8$ とを含んで構成されている。尚、前記スイッチ手段であるアナログスイッチ $SWE_0 \sim SWE_8$ は、MOSトランジスタやトランスマッションゲート等で構成され、そのオンオフは図5に示す信号Mで行われる。

【0057】

基準電圧発生回路1309の第1分圧手段102は、例えばm種類の参照電圧 V_{Ri} (例えば、 V_{R0} 、 V_{R8} 、… V_{R56} 、 V_{R63})の何れかに対応する中間調電圧入力端子を備えており、本第1実施形態においては、4つの中間調電圧入力端子 V_{R0} 、 V_{R8} 、 V_{R32} 、 V_{R63} を備えているものとする。尚、 V_{R0} と V_{R63} 以外の中間調電圧入力端子には外部から電圧印加されない場合がある。

【0058】

第1分圧手段102において、分割抵抗 $R_{01} \sim R_{63}$ の内、抵抗 R_{63} の一端には参照電圧 V_{R63} に対応する中間調電圧入力端子が接続されたボルテージフォロワ回路101の出力端子が接続される。抵抗 R_{57} の他端、すなわち、抵抗 R_{57} と抵抗 R_{56} との接続点にはスイッチ SWE_7 の一端が接続される。

【0059】

以下、隣り合う各抵抗 R_{49} と R_{48} 、 R_{41} と R_{40} 、…、 R_{09} と R_{08} の接続点には、同様にスイッチ SWE_6 、 SWE_5 、…、 SWE_1 の一端が接続される。そして、抵抗 R_{01} の一端には参照電圧 V_{R0} に対応する中間調電圧入力端子が接続されたボルテージフォロワ回路100の出力端子が接続される。

【0060】

また、分割抵抗 $R_{01} \sim R_{63}$ の抵抗比は、実際の液晶表示装置における液晶材料の光透過特性と人の視覚特性との違いを考慮して、自然な階調表示を行なうための γ (ガンマ) 補正を実現できるような比に設定されている。つまり、階調表示用電圧が階調表示用データに応じて図7に示した折れ線特性を持つように、分割抵抗 $R_{01} \sim R_{63}$ の抵抗比が設定されている。従って、第1分圧手段102の分割抵抗 $R_{01} \sim R_{63}$ の抵抗比は、等分割ではなく非等分割となっている。

【0061】

次に、第2分圧手段103において、補助抵抗 $R_1 \sim R_8$ の夫々の抵抗値も、図7に示す γ 補正に追従するように設定され、特に、補助抵抗 $R_1 \sim R_8$ の各接続点に対応する電圧が、図7の γ 補正特性の折れ線部に相当するように決められている。

【0062】

本第1実施形態では、例えば、補助抵抗 R_8 は、第1分圧手段102で作成される電圧 V_{63} と V_{56} 間に対応して設けられており、また、補助抵抗 R_7 は、第1分圧手段102で作成される電圧 V_{56} と V_{48} 間に対応して設けられている。以下、隣り合う各補助抵抗 R_6 、 R_5 、 R_4 、… R_2 の接続点は、電圧 V_{48} と V_{40} 間、電圧 V_{40} と V_{32} 間、電圧 V_{32} と V_{24} 間、…、電圧 V_{16} と V_8 間に夫々対応して設けられている。そして、抵抗 R_1 は電圧 V_8 と V_0 間に対応して設けられる。尚、補助抵抗 R_8 と補助抵抗 R_1 には、分割抵抗と同様に抵抗 R_8 は参照電圧 V_{R63} の中間調電圧入力端子に接続されたボルテージフォロワ回路101の出力端子が接続される。一方、補助抵抗 R_1 に

は参照電圧 V_{R0} の中間調電圧入力端子に接続されたボルテージフォロワ回路 100 の出力端子が接続される。

【0063】

ボルテージフォロワ型差動増幅回路で構成されるボルテージフォロワ回路 100、101 は、分割抵抗 $R_{01} \sim R_{63}$ 間並びに補助抵抗 $R_1 \sim R_8$ 間に定常電流が流れるのを低インピーダンス化して出力することを目的に挿入されている。

【0064】

以上、本発明においては抵抗値の高い γ 抵抗分割回路（第 1 分圧手段 102）と抵抗値の低い γ 抵抗分割回路（第 2 分圧手段 103）の 2 つの回路を用いて、定常状態では抵抗値の高い第 1 分圧手段 102 をそのまま使用し、DA 変換回路 1306 が応答する過渡状態の時には、ラッチ信号 LS 変化後の直後に、別途、コントローラから送られてくる制御信号 M （図 5 参照）により、スイッチ手段 $SW_{E0} \sim SW_{E8}$ を閉成（オン）し、抵抗値の低い第 2 分圧手段 103 と抵抗値の高い第 1 分圧手段 102 との両方の合成抵抗値を利用して動作するよう構成される。

10

【0065】

尚、図 5 に示すように、例えば、ボルテージフォロワ回路で構成された出力回路 1307 が備えられている場合（大画面パネル対応）では、液晶パネルの電極へ出力される階調表示用電圧は出力回路 1307 で低インピーダンス化されるため、上記過渡状態の時とは、1 水平同期信号に相当するラッチ信号 LS に同期を取り、表示データに応じて階調表示用電圧が DA 変換回路 1306 内のスイッチ回路が切り替わる際の当該切り替えに伴う浮遊容量の充放電期間が相当し、当該充放電期間に当たるラッチ信号 LS 入力の初期時に抵抗値の低い第 2 分圧手段 103 をボルテージフォロワ回路 100、101 の出力端子に接続（ $SW_{E0} \sim SW_{E8}$ をオン）させ、充放電の影響がなくなった時点で高抵抗の第 1 分圧手段 102 のみボルテージフォロワ回路 100、101 の出力端子に接続させておく形態に戻す。これを各水平同期期間に相当するラッチ信号 LS 入力毎に繰り返す。

20

【0066】

また、別の実施形態として、ボルテージフォロワ回路で構成された出力回路 1307 が備えられていない場合、つまり、DA 変換回路 1306 の出力が直接、液晶パネルの電極へ出力される場合（ボルテージフォロワ回路はアナログ回路であることから比較的レイアウト面積が大きいこと、及び、消費電力が大きいことから、小型液晶パネルが用いられる携帯電話等の表示用駆動回路では出力回路 1307 がない場合がある。）は、液晶パネルの画素容量の充放電を行うため、DA 変換回路 1306 内のスイッチ回路の浮遊容量の充放電も含めて、充放電時に当たるラッチ信号 LS 入力の初期時に抵抗値の低い第 2 分圧手段 103 をボルテージフォロワ回路 100、101 の出力端子に接続（ $SW_{E0} \sim SW_{E8}$ をオン）させ、充放電の影響がなくなった時点（定常状態）で高抵抗の第 1 分圧手段 102 のみボルテージフォロワ回路 100、101 の出力端子に接続させておく形態に戻す。これを各水平同期期間に相当するラッチ信号 LS 入力毎に繰り返す。

30

【0067】

次に、DA 変換回路 1306 について説明する。図 8 は、DA 変換回路 1306 の一構成例を示している。図 8 に示すように、DA 変換回路 1306 では、6 ビットのデジタル信号（ $Bit_0 \sim Bit_5$ ）からなる表示データに応じて、入力された 64 通りのアナログ電圧 $V_0 \sim V_{63}$ の内の 1 つが選択されて出力されるように、MOS トランジスタやトランスミッションゲートがアナログスイッチとして配置されている。即ち、6 ビットのデジタル信号からなる表示データ（ $Bit_0 \sim Bit_5$ ）の夫々に応じて、上記スイッチ $SW_0 \sim SW_5$ の半分がオンし、残りの半分がオフされ、入力された 64 通りのアナログ電圧 $V_0 \sim V_{63}$ の内の 1 つが選択されて出力回路 1307 に出力される。以下にこの様子を説明する。 $Bit_0 \sim Bit_5$ に対応するスイッチを、夫々スイッチ（群） $SW_0 \sim SW_5$ と称す。

40

【0068】

6 ビットのデジタル信号は、 Bit_0 が LSB（最小量子化ビット）であり、 Bit_5 が

50

MSB（最大量子化ビット）である。上記スイッチSW0～SW5は、2個で1組のスイッチ対を構成している。Bit0には32組のスイッチ対（64個のスイッチSW0）が対応しており、Bit1には16組のスイッチ対（32個のスイッチSW1）が対応している。以下、Bit毎に個数が2分の1になり、Bit5には1組のスイッチ対（2個のスイッチSW5）が対応することになる。したがって、合計で、 $2^5 + 2^4 + 2^3 + 2^2 + 2^1 + 2^0 = 63$ 組のスイッチ対（126個のスイッチ）が存在する。

【0069】

Bit0に対応するスイッチSW0の一端は、アナログ電圧V0～V63が入力される端子となっている。そして、上記スイッチSW0の他端は2個1組で接続されると共に、更に、次のBit1に対応するスイッチSW1の一端に接続されている。以降、この構成がBit5に対応するスイッチSW5まで繰り返される。最終的には、Bit5に対応するスイッチSW5から1本の配線が引き出され、出力回路1307に接続されている。

【0070】

スイッチ群SW0～SW5の各スイッチは、6ビットのデジタル表示データ（Bit0～Bit5）により、以下のように制御される。

【0071】

スイッチ群SW0～SW5では、対応するBitが0（低レベル）のときは各2個1組のアナログスイッチの一方（図8では下側のスイッチ）がONし、逆に、対応するBitが1（高レベル）のときは他方のアナログスイッチ（同図では上側のスイッチ）がONする。同図では、Bit0～Bit5が（111111）であり、全てのスイッチ対において上側のスイッチがオン、下側のスイッチがオフとなっている。この場合、DA変換回路1306からは、電圧V63が出力回路1307に出力される。

【0072】

同様に、例えば、Bit5～Bit0が（111110）であれば、DA変換回路1306からは、電圧V62が出力回路1307に出力され、（000001）であれば電圧V1が出力され、（000000）であれば電圧V0が出力される。このようにして、デジタル表示に応じた階調表示用アナログ電圧V0～V63の中から1つが選択され、階調表示が実現される。

【0073】

上記した基準電圧発生回路1309は、通常1つのソースドライバICに1つ設置され、共有化して使用される。一方、DA変換回路1306及び出力回路1307は、各出力端子1308に対応して設けられている。

【0074】

また、カラー表示の場合は、出力端子1308は、各色に対応して使用されるので、その場合は、DA変換回路1306及び出力回路1307は、画素毎で、且つ、1色につき各々1回路が使用される。即ち、液晶パネル901の長辺方向の画素数がNであれば、赤、緑、青の各色用の出力端子1308を、夫々R、G、Bに添え字n（ $n = 1, 2, \dots, N$ ）を付して表せば、この出力端子1308としては、R1、G1、B1、R2、G2、B2、 $\dots$ 、RN、GN、BNがあり、そのため、3N個のDA変換回路1306及び出力回路1307が必要になる。

【0075】

〈第2実施形態〉

次に、本発明装置の第2実施形態につき説明する。第1実施形態との相違点は基準電圧発生回路1309の回路構成であり、具体的には、図9に示すように、基準電圧発生回路1309が、中間調電圧入力端子、第1分圧手段102、第2分圧手段103、スイッチ手段を備え、m種類の参照電圧VRi（ $i = 0 \sim 63$ の中から選択されるm通りの値、図5では単にVRと表示）から $2^6 = 64$ 通りの階調表示に対応する64種類のアナログ電圧V0～V63を出力する基本的な構成は同じであるが、第2分圧手段103とスイッチ手段が第1実施形態と異なる。尚、基準電圧発生回路1309以外の回路部分は第1実施形態と同じであり、重複する説明は割愛する。また、図9において、第1実施形態と同じ回

10

20

30

40

50

路箇所、回路素子、信号等には同じ符号を付して説明する。

【0076】

図9に示すように、基準電圧発生回路1309において、第1分圧手段102は直列に接続された γ 分割抵抗R01～R63からなり、その合成抵抗値が比較的高く設定され、第2分圧手段103は、直列に接続された γ 分割抵抗（補助抵抗）RL01～RL63からなり、その合成抵抗値が第1分圧手段102と比べて比較的低く設定されている。また、第1分圧手段102と第2分圧手段103の各抵抗の両端の対応する接点同士を接続するためのスイッチ手段SWE0～SWE63が設けられている。このように、第2実施形態に係る基準電圧発生回路1309では、スイッチ手段SWE0～SWE63が全てオンすると第2分圧手段103の補助抵抗RL01～RL63の各接続点からアナログ電圧V1～V62が、第1分圧手段102と比較して低インピーダンスで発生できる。

10

【0077】

第2実施形態に係る基準電圧発生回路1309は、定常状態では抵抗値の高い第1分圧手段102をそのまま使用し、DA変換回路1306が応答する過渡状態の時には、ラッチ信号LS変化後の直後の過渡状態のみ、別途、コントローラから送られてくる制御信号M（図5参照）によりスイッチ手段SWE0～SWE63を閉成（オン）し、抵抗値の低い第2分圧手段103と抵抗値の高い第1分圧手段102との両方の合成抵抗値を利用して動作するよう構成される。尚、ボルテージフォロア回路で構成された出力回路1307の有無による動作や、接続するタイミングは、先の第1実施形態と同じである。

20

【0078】

〈第3実施形態〉

次に、本発明装置の第3実施形態につき説明する。第1実施形態及び第2実施形態との相違点は基準電圧発生回路1309の回路構成であり、具体的には、図10に示すように、基準電圧発生回路1309が、中間調電圧入力端子、第1分圧手段102、第2分圧手段103、スイッチ手段を備え、m種類の参照電圧VRi（ $i = 0 \sim 63$ の中から選択されるm通りの値、図5では単にVRと表示）から $2^6 = 64$ 通りの階調表示に対応する64種類のアナログ電圧V0～V63を出力する基本的な構成は同じであるが、第1実施形態とは、第2分圧手段103とスイッチ手段の構成が異なり、第2実施形態とはスイッチ手段の構成が異なる。尚、基準電圧発生回路1309以外の回路部分は第1及び第2実施形態と同じであり、重複する説明は割愛する。また、図10において、第1及び第2実施形態と同じ回路箇所、回路素子、信号等には同じ符号を付して説明する。

30

【0079】

図10に示すように、基準電圧発生回路1309において、第1分圧手段102は直列に接続された γ 分割抵抗R01～R63からなり、その合成抵抗値が比較的高く設定され、第2分圧手段103は、直列に接続された γ 分割抵抗（補助抵抗）RL01～RL63からなり、その合成抵抗値が第1分圧手段102と比べて比較的低く設定されている。また、スイッチ手段は、m種類の参照電圧VRiを第1分圧手段102と第2分圧手段103の何れか一方に接続するm個の第1スイッチ手段SWI1～SWIm（図10に示す例では、SWI1～SWI9）と、64種類のアナログ電圧V0～V63を第1分圧手段102と第2分圧手段103の何れか一方から取り出すべく接続する64個の第2スイッチ手段SWE0～SWE63で構成されている。このように、第3実施形態に係る基準電圧発生回路1309では、第1スイッチ手段スイッチ手段SWI1～SWImと第2スイッチ手段SWE0～SWE63は、オンオフスイッチではなく2系統を切り替える切替スイッチで構成されている。そして、第1スイッチ手段スイッチ手段SWI1～SWImと第2スイッチ手段SWE0～SWE63が第2分圧手段103を選択すると、第2分圧手段103の補助抵抗RL01～RL63の各接続点からアナログ電圧V1～V62が、第1分圧手段102と比較して低インピーダンスで発生できる。

40

【0080】

第3実施形態に係る基準電圧発生回路1309は、第1スイッチ手段スイッチ手段SWI1～SWImと第2スイッチ手段SWE0～SWE63が、別途コントローラから送られ

50

てくる制御信号M（図5参照）により、定常状態では抵抗値の高い第1分圧手段102を選択し、DA変換回路1306が応答するラッチ信号LS変化後の直後の過渡状態のみ、抵抗値の低い第2分圧手段103を選択し、過渡状態時の応答性が向上するように構成されている。尚、ボルテージフォロア回路で構成された出力回路1307の有無による動作や、接続するタイミングは、先の第1実施形態と同じである。

【0081】

〈第4実施形態〉

次に、本発明装置の第4実施形態につき説明する。上記第1乃至第3実施形態では、基準電圧発生回路1309は、参照電圧VR0とVR63に対してボルテージフォロア回路100、101で低インピーダンス化してアナログ電圧V0とV63としていたが、参照電圧VR0とVR63が既に十分に低インピーダンス化されている場合、或いは、DA変換回路1306の後段にボルテージフォロア回路で構成された出力回路1307を有する場合には、必ずしも、ボルテージフォロア回路100、101を設けなくても構わない。従って、第4実施形態に係る基準電圧発生回路1309は、上記第1乃至第3実施形態の基準電圧発生回路1309からボルテージフォロア回路100、101を削除し、その入出力を短絡した形態となっている。各スイッチ手段の動作については、上記第1乃至第3実施形態と同様である。

【0082】

次に、本発明装置を備えた本発明に係る液晶表示装置の別実施形態につき説明する。上記第1乃至第4実施形態では、図1に示すように、各ソースドライバ902に対して、従来の技術で示したプリント配線基板を使わず液晶パネルとTCPとだけで液晶表示装置を構成して、隣り合うTCP間で信号配線を接続し、TCP上の配線のみ、或いは、一部ガラス基板上の配線も使用して入力信号の授受を行う構成を採用しているが、従来の技術で示したドライバIC間の接続にプリント配線基板を用いて液晶表示装置を構成するようにしても構わない。

【0083】

【発明の効果】

以上詳細に説明したように、本発明装置によれば、抵抗値の高い γ 抵抗分割回路（第1分圧手段）と抵抗値の低い γ 抵抗分割回路（第2分圧手段）との2つの分圧手段を用いて、定常状態では抵抗値の高い第1分圧手段をそのまま使用し、DA変換回路が応答する過渡状態の時には、ラッチ信号LS変化後の直後に、別途コントローラから送られてくる制御信号によりスイッチ手段を操作して、抵抗値の低い第2分圧手段と抵抗値の高い第1分圧手段との両方の合成抵抗値で動作するように構成する、或いは、抵抗値の低い第2分圧手段のみを動作するように構成することにより、消費電力の低減並びに輝度ムラの発生を抑制することが実現可能となる。

【図面の簡単な説明】

【図1】本発明に係る液晶駆動装置を備えた本発明に係る液晶表示装置の一実施の形態を示すブロック構成図

【図2】液晶パネルの一般的な構成例を示す図

【図3】液晶駆動波形の一例を示す波形図

【図4】液晶駆動波形の他の一例を示す波形図

【図5】本発明に係る液晶駆動装置の一例であるソースドライバの構成を示すブロック構成図

【図6】本発明に係る液晶駆動装置の第1実施形態における基準電圧発生回路の回路構成を示す回路図

【図7】 γ 補正を行った場合における階調表示データと液晶駆動出力電圧との関係を折れ線で示す γ 補正特性図

【図8】本発明に係る液晶駆動装置に用いられるDA変換回路の一構成例を示す回路図

【図9】本発明に係る液晶駆動装置の第2実施形態における基準電圧発生回路の回路構成を示す回路図

10

20

30

40

50

【図 10】本発明に係る液晶駆動装置の第 3 実施形態における基準電圧発生回路の回路構成を示す回路図

【図 11】従来の液晶駆動装置の T C P に実装された状態の一例を示す図

【図 12】図 11 に示す従来の液晶駆動装置の T C P に実装された状態における液晶駆動装置チップと T C P との接続部分の拡大図

【図 13】従来の液晶モジュールの実装形態を示す図

【図 14】従来の液晶駆動装置の T C P に実装された状態の他の一例を示す図

【図 15】図 14 に示す従来の液晶駆動装置の T C P に実装された状態における液晶駆動装置チップと T C P との接続部分の拡大図

【図 16】液晶駆動装置における I C 間の具体的な接続手順を示す説明図

10

【図 17】従来の液晶モジュールの他の実装形態を示す図

【図 18】従来の液晶表示装置におけるドレイン駆動回路の階調電圧生成回路の概略構成を示す回路図

【図 19】図 18 に示す 1 階調基準電圧分の階調電圧生成回路の概略構成を示す回路図

【符号の説明】

100、101： ボルテージフォロワ回路

102： 第 1 分圧手段

103： 第 2 分圧手段

900： 本発明に係る液晶表示装置

901： 液晶パネル

20

902： ソースドライバ（本発明に係る液晶駆動装置）

903： ゲートドライバ

904： コントローラ

905： 液晶駆動電源

906： 対向電極（共通電極）

1001： 画素電極

1002： 画素容量

1003： T F T

1004： ソース信号ライン

1005： ゲート信号ライン

30

1006： 対向電極

1101： ソースドライバからの出力信号

1102： ゲートドライバからの出力信号

1103、1203： 対向電極の電位

1104、1204： 画素電極の電圧波形

1301： 入力ラッチ回路

1302： シフトレジスタ回路

1303： サンプリングメモリ回路

1304： ホールドメモリ回路

1305： レベルシフト回路

40

1306： D A 変換回路

1307： 出力回路

1308： 液晶駆動電圧出力端子

1309： 基準電圧発生回路

S P： スタートパルス信号

S S P O： カスケード出力信号

D R： デジタル表示データ（赤）

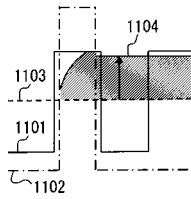
D G： デジタル表示データ（緑）

D B： デジタル表示データ（青）

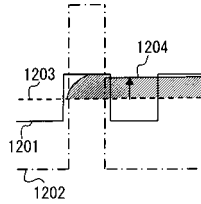
L S： 水平同期信号（ラッチ信号）

50

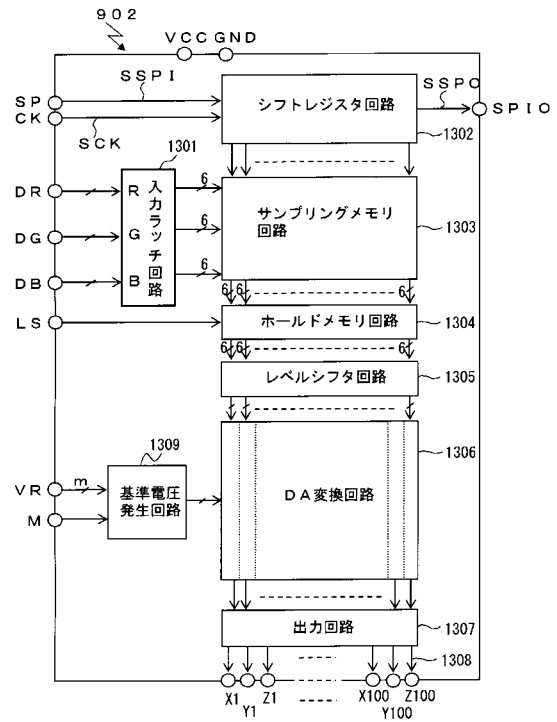
【図 3】



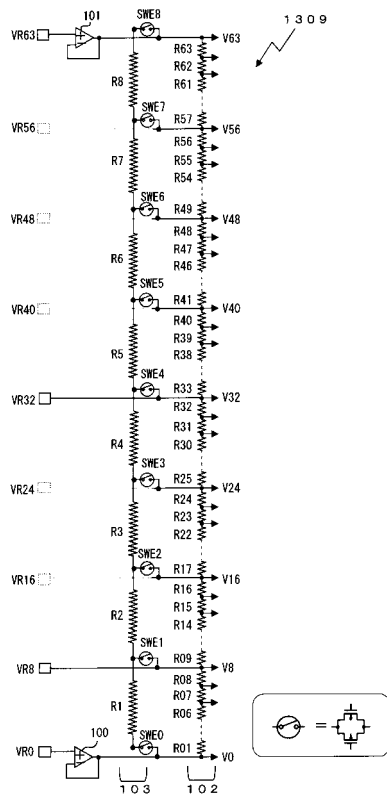
【図 4】



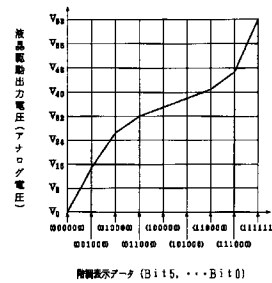
【図 5】



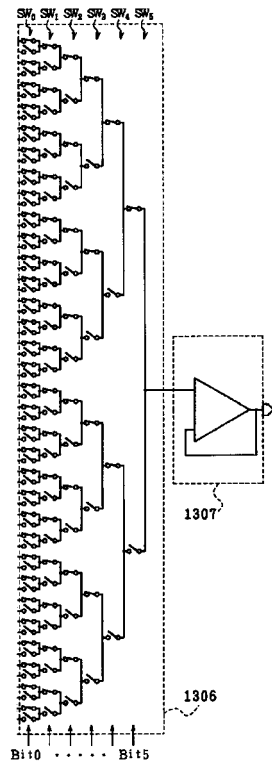
【図 6】



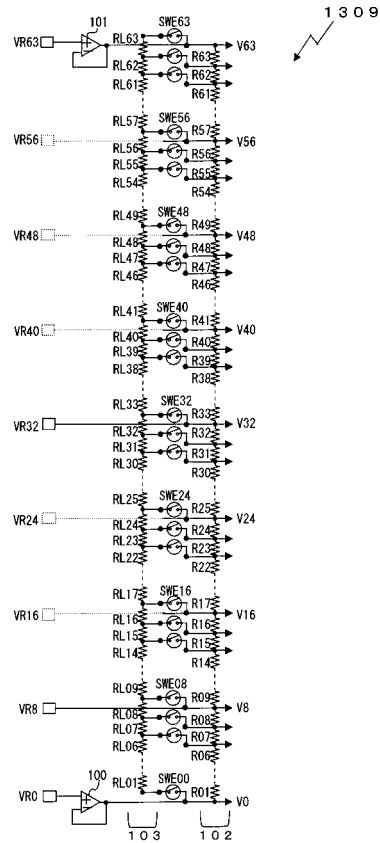
【図 7】



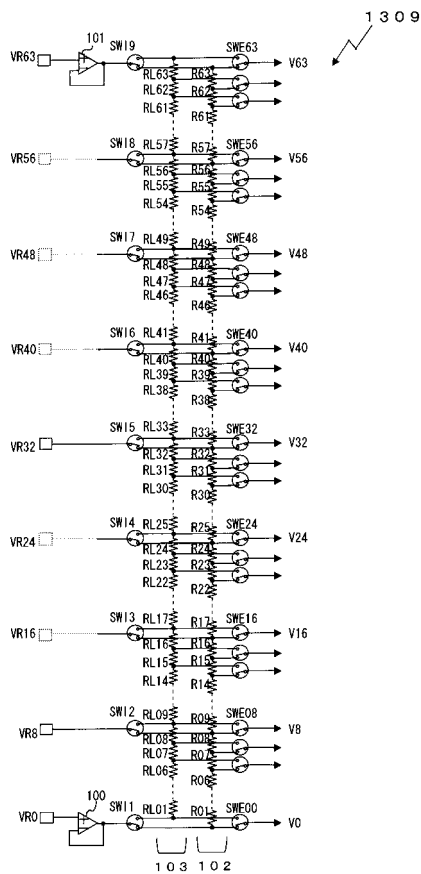
【図 8】



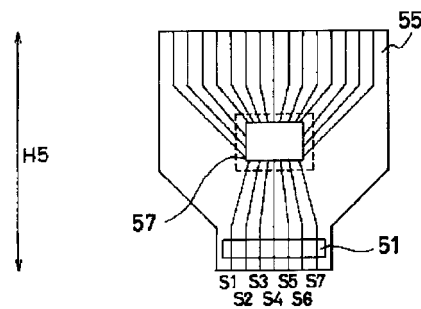
【図 9】



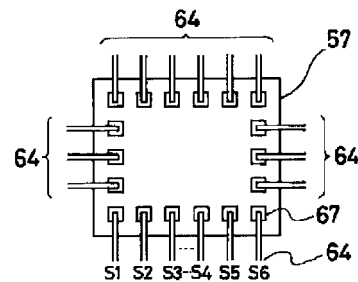
【図 10】



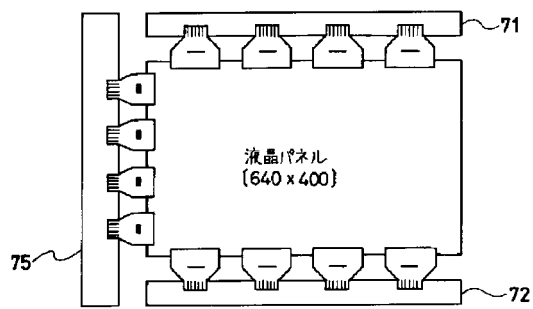
【図 11】



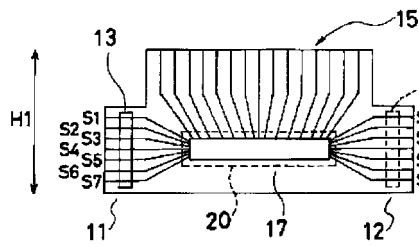
【図 12】



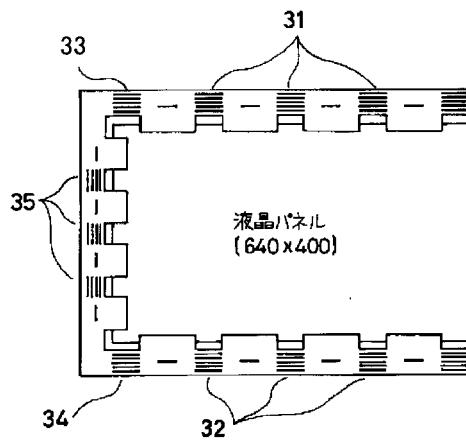
【図 13】



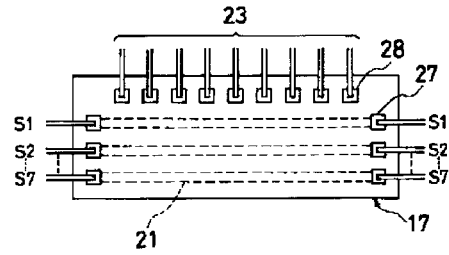
【図 14】



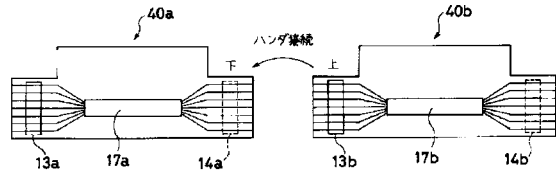
【図 17】



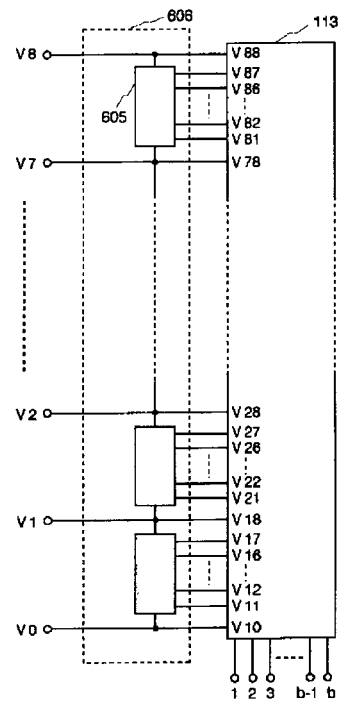
【図 15】



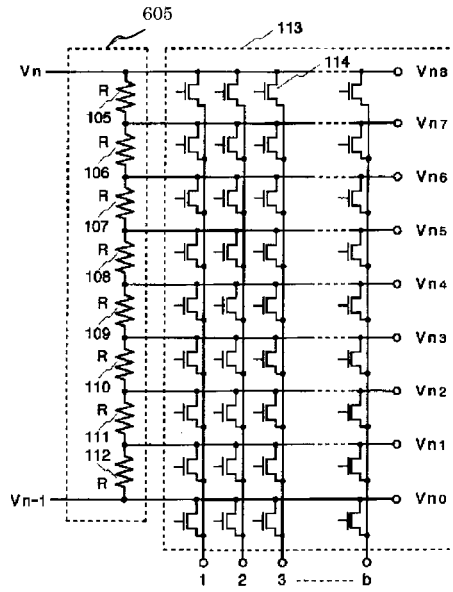
【図 16】



【図 18】



【図 19】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 3 F
G 0 9 G 3/20 6 4 1 Q
G 0 9 G 3/20 6 4 2 A

(56)参考文献 特開 2 0 0 2 - 2 0 2 7 4 5 (J P, A)
特開平 1 0 - 2 0 6 8 1 7 (J P, A)

(58)調査した分野(Int.Cl., D B名)
G09G 3/00 - 3/38
G02F 1/133

专利名称(译)	液晶驱动装置和液晶显示装置		
公开(公告)号	JP4256717B2	公开(公告)日	2009-04-22
申请号	JP2003135220	申请日	2003-05-14
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
当前申请(专利权)人(译)	夏普公司		
[标]发明人	清水幸浩 中尾友昭		
发明人	清水 幸浩 中尾 友昭		
IPC分类号	G09G3/36 G02F1/133 G09G3/20 G09G5/10		
CPC分类号	G09G3/3696 G09G3/3688		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.611.A G09G3/20.612.F G09G3/20.623.F G09G3/20.641.Q G09G3/20.642.A		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC03 2H093/NC11 2H093/NC21 2H093/NC22 2H093/NC23 2H093/NC26 2H093/NC29 2H093/NC34 2H093/ND05 2H093/ND06 2H093/ND09 2H093/ND15 2H093/ND33 2H093/ND39 2H093/ND60 2H193/ZA04 2H193/ZD23 2H193/ZD32 2H193/ZD34 2H193/ZF03 5C006/AA22 5C006/AF46 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BF24 5C006/BF25 5C006/BF43 5C006/EB05 5C006/FA22 5C006/FA47 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06		
审查员(译)	一宫诚		
其他公开文献	JP2004341075A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够以低功耗和液晶显示装置抑制诸如亮度不均匀之类的显示缺陷的液晶驱动装置。解决方案：参考电压产生装置1309配备有第一分压装置，该第一分压装置以这样的方式构成：通过对多个参考电压VR的电压差进行电阻分压，可以产生用于以多种方式分配强度电平的电压。通过多个串联连接的分压电阻器，第二分压装置构成，使得用于分配强度水平的多个电压的一部分或全部可以是通过对多个串联连接的辅助电阻对多个参考电压VR的电压差进行电阻分压而产生的开关装置和连接多个电压的一部分或全部的相应电压的开关装置，用于分配由第一分压装置产生的强度水平和用于将由第二分压装置产生的强度水平彼此分配的多个电压。当DA转换电路1306响应以便操作第一分压装置和第二分压两者时，开关装置被构造在瞬态状态期间进入导通状态。手段。

【 図 1 】

