

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3955298号

(P3955298)

(45) 発行日 平成19年8月8日(2007.8.8)

(24) 登録日 平成19年5月11日(2007.5.11)

(51) Int.Cl.

F I

G02F 1/133 (2006.01)

G02F 1/133 520

G09G 3/20 (2006.01)

G02F 1/133 575

G09G 3/36 (2006.01)

G09G 3/20 611H

G09G 3/20 612E

G09G 3/20 621M

請求項の数 17 (全 16 頁) 最終頁に続く

(21) 出願番号 特願2004-341341 (P2004-341341)
 (22) 出願日 平成16年11月26日(2004.11.26)
 (65) 公開番号 特開2005-208581 (P2005-208581A)
 (43) 公開日 平成17年8月4日(2005.8.4)
 審査請求日 平成17年3月3日(2005.3.3)
 (31) 優先権主張番号 特願2003-428511 (P2003-428511)
 (32) 優先日 平成15年12月25日(2003.12.25)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005821
 松下電器産業株式会社
 大阪府門真市大字門真1006番地
 (74) 代理人 100113859
 弁理士 板垣 孝夫
 (74) 代理人 100068087
 弁理士 森本 義弘
 (74) 代理人 100096437
 弁理士 笹原 敏司
 (74) 代理人 100100000
 弁理士 原田 洋平
 (72) 発明者 西 和義
 大阪府門真市大字門真1006番地 松下
 電器産業株式会社内

最終頁に続く

(54) 【発明の名称】 抵抗分圧回路、およびこの抵抗分圧回路を使用した液晶駆動装置ならびに液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

表示素子を駆動するための階調電位を生成する抵抗分圧回路であって、
 抵抗値が等しく、コンタクトを等しい位置に有する複数本の抵抗を設け、
 前記複数本の抵抗の等しい位置のコンタクトをそれぞれ接続してこれら抵抗を並列に接
 続し、前記並列に接続された抵抗の両端に基準電位を入力し、前記抵抗の分圧により前記
 各コンタクトの接続点に階調電位を生成すること
 を特徴とする抵抗分圧回路。

【請求項2】

表示素子を駆動するための階調電位を生成する抵抗分圧回路であって、
 抵抗値が等しい2N(Nは2以上の正の整数)本の抵抗を順に設け、
 これら各抵抗の端部の等しい位置にそれぞれ接続用コンタクトを設け、
 これら各抵抗のうち、隣接する(2M-1)番目の抵抗と2M番目(Mは、M Nであ
 る正の整数)の抵抗のペアの端部を除くそれぞれ等しい位置に階調電位出力用コンタクト
 を設け、

前記隣接するペアの等しい位置の階調電位出力用コンタクトをそれぞれ接続し、各抵抗
 のうち1番目と2番目の一端の接続用コンタクトと、各抵抗のうち(2N-1)番目と2
 N番目の一端の接続用コンタクトを介して基準電位を入力し、前記1番目の抵抗から前記
 (2N-1)番目の抵抗までの全ての奇数番目の抵抗が前記基準電位の入力に対して順列
 に接続されるよう前記接続用コンタクトを接続し、前記2番目の抵抗から前記2N番目の

10

20

抵抗までの全ての偶数番目の抵抗が前記基準電位の入力に対して順列に接続されるよう前記接続用コンタクトを接続し、前記抵抗の分圧により前記各階調電位出力用コンタクトの接続点に階調電位を生成すること

を特徴とする抵抗分圧回路。

【請求項 3】

表示素子を駆動するための階調電位を生成する抵抗分圧回路であって、

複数のコンタクトを有する第 1 の抵抗を設け、

前記第 1 の抵抗のコンタクト間に対向して所定の箇所に、両端にコンタクトを有する複数の第 2 の抵抗を設け、

前記第 1 の抵抗のコンタクトと対向する前記第 2 の抵抗のコンタクトを接続し、前記第 1 の抵抗の両端部に基準電位を入力し、前記抵抗の分圧により前記各コンタクトの接続点に階調電位を生成すること

を特徴とする抵抗分圧回路。

【請求項 4】

表示素子を駆動するための階調電位を生成する抵抗分圧回路であって、

抵抗値が等しく、コンタクトを等しい位置に有する複数本の抵抗を設け、

前記各抵抗の等しい位置のコンタクトをそれぞれ複数の制御用のスイッチを介して接続してこれら抵抗を並列に接続し、

前記各抵抗の両端にそれぞれ複数の電源用のスイッチを設け、前記各抵抗の両端にそれぞれ前記複数の電源用のスイッチを介して基準電位を入力し、前記抵抗の分圧により前記各コンタクトの接続点に階調電位を生成すること

を特徴とする抵抗分圧回路。

【請求項 5】

前記制御用および電源用のスイッチを、Nチャネル型 MOS トランジスタ、あるいは Pチャネル型 MOS トランジスタ、あるいは Nチャネル型 MOS トランジスタおよび Pチャネル型 MOS トランジスタを両方含むよう構成すること

を特徴とする請求項 4 記載の抵抗分圧回路。

【請求項 6】

表示素子を駆動するための階調電位を生成する抵抗分圧回路であって、

高電位側基準電位を供給する第 1 のノードと低電位側基準電位を供給する第 2 のノードの間に設けられた第 1 の抵抗と、

第 2 の抵抗と、

前記第 1 の抵抗上の第 1 のコンタクトと前記第 2 の抵抗上の第 1 のコンタクトを介して、前記第 1 の抵抗と前記第 2 の抵抗の等電位のノードを接続し、前記等電位のノードから出力される電位を階調電位として出力する第 1 の階調電位出力配線と

を備えたことを特徴とする抵抗分圧回路。

【請求項 7】

前記第 2 の抵抗は、前記第 1 のノードと前記第 2 のノードの間に設けられていることを特徴とする請求項 6 記載の抵抗分圧回路。

【請求項 8】

前記第 1 の抵抗と前記第 2 の抵抗は、第 1 の方向に沿ってほぼ等しい長さ、前記第 1 の方向と直角となる第 2 の方向に沿ってほぼ等しい幅を有し、前記第 2 の方向に並列に構成されていること

を特徴とする請求項 7 記載の抵抗分圧回路。

【請求項 9】

前記第 1 の階調電位出力配線は、前記第 1 の方向にほぼ等しい位置にある前記第 1 の抵抗上の第 1 のコンタクトと前記第 2 の抵抗上の第 1 のコンタクトを接続し、前記第 2 の方向に前記階調電位を出力していること

を特徴とする請求項 8 記載の抵抗分圧回路。

【請求項 10】

10

20

30

40

50

前記第 2 の抵抗は、前記第 1 の抵抗の一部と平行に並列して形成されており、

前記第 1 の抵抗上の第 2 のコンタクトと前記第 2 の抵抗上の第 2 のコンタクトを介して、前記第 1 の抵抗と前記第 2 の抵抗の等電位のノードを接続し、前記等電位のノードから出力される電位を階調電位として出力する第 2 の階調電位出力配線をさらに備えたことを特徴とする請求項 6 記載の抵抗分圧回路。

【請求項 1 1】

前記第 1 のノードと前記第 2 のノードの間に設けられ、前記第 1 の抵抗と前記第 2 の抵抗と第 1 の方向に沿ってほぼ等しい長さ、前記第 1 の方向と直角となる第 2 の方向に沿ってほぼ等しい幅を有し、前記第 2 の方向に前記第 1 の抵抗と前記第 2 の抵抗と並列に構成される第 3 の抵抗をさらに備え、

10

前記第 1 の階調電位出力配線は、前記第 1 の方向にほぼ等しい位置にある前記第 1 の抵抗上の第 1 のコンタクトと前記第 2 の抵抗上の第 1 のコンタクトと前記第 3 の抵抗上の第 1 のコンタクトを接続すること

を特徴とする請求項 9 記載の抵抗分圧回路。

【請求項 1 2】

前記第 1 の階調電位出力配線上の前記第 1 の抵抗上の第 1 のコンタクトと前記第 2 の抵抗上の第 1 のコンタクト間に設けられた第 1 のスイッチと、

前記第 1 の階調電位出力配線上の前記第 2 の抵抗上の第 1 のコンタクトと前記第 3 の抵抗上の第 1 のコンタクト間に設けられた第 2 のスイッチとをさらに備え、

20

前記第 1 のスイッチおよび前記第 2 のスイッチのオン・オフが制御されることを特徴とする請求項 1 1 記載の抵抗分圧回路。

【請求項 1 3】

前記第 1 のノードまたは前記第 2 のノードと前記第 1 ~ 第 3 の抵抗との接続点の間に設けられた第 3 ~ 第 5 のスイッチをさらに備え、

前記階調電位を出力する必要がある場合は、前記第 3 ~ 第 5 のスイッチはオフするように制御されること

を特徴とする請求項 1 1 または請求項 1 2 記載の抵抗分圧回路。

【請求項 1 4】

前記第 1 ~ 第 5 のスイッチを、N チャネル型 MOS トランジスタ、あるいは P チャネル型 MOS トランジスタ、あるいは N チャネル型 MOS トランジスタおよび P チャネル型 MOS トランジスタを両方含むよう構成すること

30

を特徴とする請求項 1 3 記載の抵抗分圧回路。

【請求項 1 5】

前記抵抗を、N + ポリシリコン抵抗、あるいは P + ポリシリコン抵抗、あるいは N + 拡散抵抗、あるいは P + 拡散抵抗で構成すること

を特徴とする請求項 1 ~ 請求項 1 4 のいずれか 1 項に記載の抵抗分圧回路。

【請求項 1 6】

請求項 1 ~ 請求項 4、請求項 6 のいずれか 1 項に記載の抵抗分圧回路と、

前記抵抗分圧回路から出力される階調電位および入力されるデジタル値に応じてアナログ電位を出力する D/A 変換回路

40

を備えたことを特徴とする液晶駆動装置。

【請求項 1 7】

基板上に形成された複数の液晶素子と、

前記基板上に形成され、複数の TFT を介して前記複数の液晶素子が共通に接続される駆動線と、

前記駆動線に接続され、アナログ電位を出力することで前記駆動線を駆動する請求項 1 6 に記載の液晶駆動装置と

を備えたことを特徴とする液晶表示装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は液晶素子などの表示素子を駆動するために階調電圧を生成する階調電位生成回路に含まれる抵抗分圧回路に関するものである。

【背景技術】

【0002】

階調電位生成回路とは、液晶素子などの表示素子を駆動させるための階調電位を生成する回路である。例えば、液晶表示装置における液晶素子を駆動する例では、まず基準となる2個以上の電位が階調電位生成回路に入力される。階調電位生成回路は、各基準電位間の電位を細かく分圧することにより、液晶素子の駆動に必要な階調電位（あるいは γ 補正用階調電位）を生成している。液晶画面を多色化しようとするほど、より多くの階調電位が必要となり、精度良く階調電位を生成する必要が生じてくる。

10

【0003】

従来の階調電位生成回路に含まれる抵抗分圧回路を図8に示す。図8中の V_1 、 V_2 は階調電位を生成するための基準となる入力電位であり、渦巻状にレイアウトされた1本の抵抗1に、複数個（図では8個）の基準電位取り出し用コンタクト2を設け、コンタクト2毎に入力電位 V_1 と V_2 間の電位を抵抗分圧することで階調電位 V_{11} 、 V_{12} 、 V_{13} 、 V_{14} 、 V_{15} 、 V_{16} 、 V_{17} 、 V_{18} を生成し、コンタクト2に接続された配線3からこれら階調電位を取り出している。通常、抵抗1をレイアウトする際は、1本の直線の抵抗でレイアウトするが、レイアウト面積に制限がある場合に、図8に示すように1本の抵抗1を渦巻状にレイアウトしている。

20

【0004】

また多階調の階調電圧を生成する階調電位生成回路が、たとえば特許文献1に開示されている。この階調電位生成回路は、複数個の基準抵抗を直列に接続した抵抗群を設けた抵抗分圧回路を有している。この抵抗分圧回路は、各抵抗群の基準抵抗の接続点を選択し、選択した基準点を接続することにより分圧抵抗の抵抗値を細かく設定可能に構成されている。そして、抵抗群の両端に基準電圧を印加して、接続した基準点に必要な階調電圧を得ている。またこの階調電位生成回路は、各階調電圧配線層上に、層間絶縁膜を介して抵抗配線層を設け、階調電圧配線層と抵抗配線層とをスルーホールで接続して各抵抗分圧回路の分圧回路を構成している。

30

【特許文献1】特開平11-95726号公報（図10，図11）

【発明の開示】

【発明が解決しようとする課題】

【0005】

近年の液晶パネルをはじめとする表示パネルの多色化・高精細化により、階調電位生成回路が出力する階調電位数は多くなり、そのため隣り合う階調の電位差は小さくなってきている。このことは、階調電位生成回路を抵抗で形成した場合、精度の良い抵抗値の小さな抵抗が必要になってくると言うことを意味している。

【0006】

従来の階調電位生成回路では、抵抗分圧された階調電位を取り出す場合は、抵抗1にコンタクト2を設けて配線3を接続し、あるいは階調電位配線層と抵抗配線層とをスルーホールで接続して、電位を取り出している。このコンタクト（あるいはスルーホール）の抵抗は低い方がいいため、通常、コンタクトは抵抗値の低い物質で作られる。この抵抗値の低い物質の一つにシリサイドと呼ばれるシリコンの金属化合物がある。半導体の製造上の制約から、コンタクトをシリサイド化しようとした場合、その下にある抵抗もシリサイド化される。一方で、抵抗1自身は、より小さい面積で効率よく抵抗成分を形成するため、シリサイドではない物質（以下では、非シリサイドと称する事とする）で構成されることが多い。従って、抵抗1がシリサイドではない物質で構成されている場合は、抵抗1にシリサイドと非シリサイドという2つの物質が存在することになる。ここで、半導体の製造においてシリサイドの物質と非シリサイドの物質の界面にはインターフェイス抵抗と呼ば

40

50

れる抵抗成分が生じ、抵抗の幅に依存しない一定の値を持つことが知られている。抵抗分圧回路で細かい階調電位を生成しようとした場合、抵抗値の小さな抵抗成分を精度良く生成することが必要となるが、コンタクト近傍の抵抗と通常の抵抗の界面に大きなインターフェイス抵抗成分がある場合は、インターフェイス抵抗以下の小さな抵抗値を作り出すことは困難であった。

【0007】

そこで、本発明は、コンタクト部分と抵抗がシリサイドと非シリサイドのように別の物質で構成され、その境界でインターフェイス抵抗が生じる場合でも、小さな抵抗値の抵抗を精度良く形成でき、細かい階調電位を生成できる抵抗分圧回路、およびこの抵抗分圧回路を使用した液晶駆動装置ならびに液晶表示装置を提供することを目的としたものである。

10

【課題を解決するための手段】

【0008】

上記課題を解決するために、本発明の好ましい実施形態によれば、液晶素子を駆動するために階調電位を生成する階調電位生成回路の抵抗分圧回路であって、抵抗値が等しく、コンタクトを等しい位置に有する複数本の抵抗を設け、前記複数本の抵抗の等しい位置のコンタクトをそれぞれ接続してこれら抵抗を並列に接続し、前記並列に接続された抵抗の両端に基準電位を入力し、前記抵抗の分圧により前記各コンタクトの接続点に階調電位を生成することを特徴とするものである。

【0009】

20

上記構成によれば、複数本の抵抗を等しい位置のコンタクトで並列に接続することによって、抵抗値の小さな抵抗を生成され、インターフェイス抵抗が大きな抵抗の場合でも、小さな抵抗値の抵抗を精度良く形成することが可能となり、細かい階調電位を生成することが可能となる。

【0010】

また本発明の好ましい実施形態によれば、液晶素子を駆動するために階調電位を生成する階調電位生成回路の抵抗分圧回路であって、抵抗値が等しい $2N$ (N は2以上の正の整数)本の抵抗を順に設け、これら各抵抗のうち、奇数の順番の抵抗にそれぞれ等しい位置にコンタクトを設け、偶数の順番の抵抗にそれぞれ等しい位置にコンタクトを設け、前記奇数の順番の抵抗の等しい位置のコンタクトをそれぞれ接続し、前記偶数の順番の抵抗の等しい位置のコンタクトをそれぞれ接続し、各抵抗のうち1番目と2番目の端部と、各抵抗のうち($2N - 1$)番目と $2N$ 番目の端部に基準電位を入力し、前記抵抗の分圧により前記各コンタクトの接続点に階調電位を生成することを特徴とするものである。

30

【0011】

上記構成によれば、奇数の順番の抵抗を接続し偶数の順番の抵抗を接続して、抵抗を1つおきに並列に接続することにより、面内ばらつきの影響を軽減したより精度のよい小さな抵抗値の抵抗が生成され、細かい階調電位が生成される。

【0012】

また本発明の好ましい実施形態によれば、液晶素子を駆動するために階調電位を生成する階調電位生成回路の抵抗分圧回路であって、複数のコンタクトを有する第1の抵抗を設け、前記第1の抵抗のコンタクト間に対向して小さな抵抗を必要とする箇所に、両端にコンタクトを有する複数の第2の抵抗を設け、前記第1の抵抗のコンタクトと対向する前記第2の抵抗のコンタクトを接続し、前記第1の抵抗の両端部に基準電位を入力し、前記抵抗の分圧により前記各コンタクトの接続点に階調電位を生成することを特徴とするものである。

40

【0013】

上記構成によれば、小さな抵抗を生成したい箇所だけ第2の抵抗が複数本並列に接続され小さな抵抗値の抵抗が生成されるとともに、小さな抵抗値の抵抗が少ないレイアウト面積で生成される。

【0014】

50

また本発明の好ましい実施形態によれば、液晶素子を駆動するために階調電位を生成する階調電位生成回路の抵抗分圧回路であって、抵抗値が等しく、コンタクトを等しい位置に有する複数本の抵抗を設け、前記各抵抗の等しい位置のコンタクトをそれぞれ複数の第1のスイッチを介して接続してこれら抵抗を並列に接続し、前記各抵抗の両端にそれぞれ複数の第2のスイッチを設け、前記各抵抗の両端にそれぞれ前記複数の第2のスイッチを介して基準電位を入力し、前記抵抗の分圧により前記各コンタクトの接続点に階調電位を生成することを特徴とするものである。

【0015】

上記構成によれば、複数本の抵抗が並列に接続されることによって小さな抵抗値の抵抗が生成されるとともに、階調電位のコンタクト間および入力基準電位と抵抗との間にスイッチ

10

【0016】

また本発明の好ましい実施形態によれば、前記スイッチを、Nチャネル型MOSトランジスタ、あるいはPチャネル型MOSトランジスタ、あるいはNチャネル型MOSトランジスタおよびPチャネル型MOSトランジスタで構成することを特徴とするものである。

【0017】

また本発明の好ましい実施形態によれば、表示素子を駆動するための階調電位を生成する抵抗分圧回路であって、高電位側基準電位を供給する第1のノードと低電位側基準電位を供給する第2のノードの間に設けられた第1の抵抗と、第2の抵抗と、前記第1の抵抗上の第1のコンタクトと前記第2の抵抗上の第1のコンタクトを介して、前記第1の抵抗と前記第2の抵抗の等電位のノードを接続し、前記等電位のノードから出力される電位を階調電位として出力する第1の階調電位出力配線とを備えたことを特徴とするものである。

20

【0018】

上記構成によれば、第1のノードと第2のノードとの間に設けられた第1の抵抗上の第1のコンタクトの電位と等電位の第2の抵抗上の第1のコンタクトが接続され、第1の階調電位出力配線により階調電位として出力され、よって小さな抵抗値で分圧される高精度の階調電位が得られる。

【0019】

また本発明の好ましい実施形態によれば、前記第2の抵抗は、前記第1のノードと前記第2のノードの間に設けられていることを特徴とするものである。

30

上記構成によれば、第2の抵抗は、第1の抵抗と並列に、第1のノードと第2のノードとの間に接続される。

【0020】

また本発明の好ましい実施形態によれば、前記第1の抵抗と前記第2の抵抗は、第1の方向に沿ってほぼ等しい長さ、前記第1の方向と直角となる第2の方向に沿ってほぼ等しい幅を有し、前記第2の方向に並列に構成されていることを特徴とするものである。

【0021】

上記構成によれば、第1の抵抗の抵抗値と前記第2の抵抗の抵抗値はほぼ等しくなり、並列に接続される。

40

また本発明の好ましい実施形態によれば、前記第1の階調電位出力配線は、前記第1の方向にほぼ等しい位置にある前記第1の抵抗上の第1のコンタクトと前記第2の抵抗上の第1のコンタクトを接続し、前記第2の方向に前記階調電位を出力していることを特徴とするものである。

【0022】

上記構成によれば、ほぼ等しい抵抗値の第1および第2の抵抗のコンタクトが接続され、このコンタクトより階調電位が出力される。

また本発明の好ましい実施形態によれば、前記第2の抵抗は、前記第1の抵抗の一部と平行に並列して形成されており、前記第1の抵抗上の第2のコンタクトと前記第2の抵抗上の第2のコンタクトを介して、前記第1の抵抗と前記第2の抵抗の等電位のノードを接

50

続し、前記等電位のノードから出力される電位を階調電位として出力する第2の階調電位出力配線をさらに備えたことを特徴とするものである。

【0023】

上記構成によれば、第1の抵抗上の第2のコンタクトの電位と等電位の第2の抵抗上の第2のコンタクトが接続され、第1の階調電位出力配線に加えて第2の階調電位出力配線より階調電位が出力される。

【0024】

また本発明の好ましい実施形態によれば、前記第1のノードと前記第2のノードの間に設けられ、前記第1の抵抗と前記第2の抵抗と第1の方向に沿ってほぼ等しい長さ、前記第1の方向と直角となる第2の方向に沿ってほぼ等しい幅を有し、前記第2の方向に前記第1の抵抗と前記第2の抵抗と並列に構成される第3の抵抗をさらに備え、前記第1の階調電位出力配線は、前記第1の方向にほぼ等しい位置にある前記第1の抵抗上の第1のコンタクトと前記第2の抵抗上の第1のコンタクトと前記第3の抵抗上の第1のコンタクトを接続することを特徴とするものである。

10

【0025】

上記構成によれば、第1の抵抗の抵抗値と前記第2の抵抗の抵抗値はほぼ等しい抵抗値の第3の抵抗が、第1の抵抗および第2の抵抗と並列に、第1のノードと第2のノード間に接続される。

【0026】

また本発明の好ましい実施形態によれば、前記第1の階調電位出力配線上の前記第1の抵抗上の第1のコンタクトと前記第2の抵抗上の第1のコンタクト間に設けられた第1のスイッチと、前記第1の階調電位出力配線上の前記第2の抵抗上の第1のコンタクトと前記第3の抵抗上の第1のコンタクト間に設けられた第2のスイッチとをさらに備え、前記第1のスイッチおよび前記第2のスイッチのオン・オフが制御されることを特徴とするものである。

20

【0027】

上記構成によれば、3本の抵抗の第1コンタクト間が、第1のスイッチおよび第2のスイッチにより切り分けられ、異なる抵抗値で分圧される電位の階調電位が得られる。

また本発明の好ましい実施形態によれば、前記第1のノードまたは前記第2のノードと前記第1～第3の抵抗との接続点の間に設けられた第3～第5のスイッチをさらに備え、前記階調電位を出力する必要がある場合は、前記第3～第5のスイッチはオフするように制御されることを特徴とするものである。

30

【0028】

上記構成によれば、階調電位を出力する必要がある場合、第3～第5のスイッチがオフとされ、消費電力が抑制される。

また本発明の好ましい実施形態によれば、前記第1～第5のスイッチを、Nチャネル型MOSトランジスタ、あるいはPチャネル型MOSトランジスタ、あるいはNチャネル型MOSトランジスタおよびPチャネル型MOSトランジスタを両方含むよう構成することを特徴とするものである。

【0029】

また本発明の好ましい実施形態によれば、前記抵抗を、N+ポリシリコン抵抗、あるいはP+ポリシリコン抵抗、あるいはN+拡散抵抗、あるいはP+拡散抵抗で構成することを特徴とするものである。

40

【0030】

また本発明の好ましい実施形態によれば、液晶駆動装置であって、上述した抵抗分圧回路と、この抵抗分圧回路から出力される階調電位および入力されるデジタル値に応じてアナログ電位を出力するDA変換回路を備えたことを特徴とするものである。

【0031】

上記構成によれば、DA変換回路は、抵抗分圧回路から出力される階調電位を、入力されるデジタル値に応じたアナログ電位として出力する。

50

また本発明の好ましい実施形態によれば、液晶表示装置であって、基板上に形成された複数の液晶素子と、前記基板上に形成され、複数のTFTを介して前記複数の液晶素子が共通に接続される駆動線と、前記駆動線に接続され、アナログ電位を出力することで前記駆動線を駆動する上記液晶駆動装置とを備えたことを特徴とするものである。

【0032】

上記構成によれば、液晶素子の駆動線に液晶駆動装置より高精度の階調電位（アナログ電位）が印加され、階調表示の美しさが向上する。

【発明の効果】

【0033】

本発明の抵抗分圧回路によれば、複数本の抵抗を並列に接続することによって、インターフェイス抵抗が大きな抵抗の場合でも、小さな抵抗値の抵抗を精度良く作ることが可能となり、より細かい階調電位を生成することができる。

【0034】

また、従来の渦巻き型のレイアウトに較べるとコンタクトからの階調電位の引出し配線が単純化されるのでレイアウトしやすくなる、という効果を有している。

【発明を実施するための最良の形態】

【0035】

以下、本発明の実施の形態を、図面を参照しながら説明する。尚、以降の全ての実施の形態の説明においては、本発明の抵抗分圧回路が、液晶表示装置および液晶駆動装置に適用された場合を例として説明する。

〔実施の形態1〕

図1に本発明の実施の形態1における液晶ドライバ用抵抗分圧回路（液晶素子を駆動するために階調電位を生成する階調電位生成回路に含まれる抵抗分圧回路）の構成図を示す。

【0036】

図1に示すように、抵抗値がほぼ等しく、階調電位を取り出すための複数（図では7個）のコンタクト12を図の水平方向に等しい位置に有する複数本（図では3本）の抵抗11を設けている。すなわち、3本の抵抗11のコンタクト12間の抵抗値の関係は、抵抗11のうち第1の抵抗のコンタクト間抵抗値を R_{11} 、 R_{12} 、 R_{13} ・・・ R_{16} 、第2の抵抗のコンタクト間抵抗値を R_{21} 、 R_{22} 、 R_{23} ・・・ R_{26} 、第3の抵抗のコンタクト間抵抗値を R_{31} 、 R_{32} 、 R_{33} ・・・ R_{36} とすると、 $R_{11} : R_{12} : R_{13} : \dots : R_{16} = R_{21} : R_{22} : R_{23} : \dots : R_{26} = R_{31} : R_{32} : R_{33} : \dots : R_{36}$ となるようにしている。

【0037】

好ましい実施の形態として、複数の抵抗11の抵抗値はほぼ等しいものである。ここで、ほぼ等しいという用語は、半導体の製造における製造条件のばらつきが無視できる程度であれば、複数の抵抗11の抵抗値は、全て等しいとみなせるということを意味している。例えば、好ましい実施の形態としては、半導体の製造において抵抗11は、ほぼ等しい長さ、ほぼ等しい幅を有するポリシリコンなどの配線層として形成され、抵抗11の抵抗値はほぼ等しいものとなる。本明細書において、ほぼ等しいという用語は、全てこの用法に従って使用するものとする。

【0038】

そして各抵抗11の等しい位置のコンタクト12をそれぞれ階調電位出力配線13により接続してこれら抵抗11を並列に接続し、並列に接続された抵抗11の両端のコンタクト21の基準電位供給配線14に基準電位 V_1 、 V_2 を入力し、3本の抵抗11の分圧により中間の5つの各コンタクト12の接続点（配線13）に階調電位 V_{51} 、 V_{52} 、 V_{53} 、 V_{54} 、 V_{55} を生成している。

【0039】

具体的には、図1に示す抵抗分圧回路は、例えばN+ポリシリコン抵抗で形成される抵抗11を設け、その上に、層間絶縁膜（図示せず）を介して、抵抗11と直交する、アル

10

20

30

40

50

ミニウム等で形成される階調電位出力配線 13 を設け、抵抗 11 と階調電位出力配線 13 を抵抗値の低い物質（たとえば、シリサイドと呼ばれるシリコンの金属化合物）からなるコンタクト 12 で接続して構成されている。

【0040】

さて、図 2 のように 2 本の並列抵抗の場合で考えると、2 本の抵抗の合成抵抗を R_A とし、それぞれの抵抗値を R_1 及び R_2 とすると $1/R_A = 1/R_1 + 1/R_2$ の関係が成り立つ。ここで $R_1 = R_2 = R$ とすると $1/R_A = 2/R$ すなわち、 $R_A = R/2$ となり元の抵抗値を抵抗の本数で割った値になる。ここで、並列に接続する抵抗の本数を N (N は 2 以上の正の整数) とすると、抵抗値 R の抵抗を N 本接続させた時の合成抵抗値 R_N は $R_N = R/N$ となる。また、 $R_1 \neq R_2$ の場合でも、 R_1 、 R_2 と合成抵抗 R_A の関係は、 $R_1 > R_A$ 、かつ $R_2 > R_A$ を満たす。従って、並列に接続させる抵抗が多いほど合成抵抗は小さくなるのが分かる。

10

【0041】

上記実施の形態 1 の構成によれば、抵抗値がほぼ等しく、階調電位を取り出すためのコンタクト 12 が等しい位置に打たれている抵抗 11 を 3 本設け、等しい位置のコンタクト 12 を階調電位出力配線 13 で接続し、抵抗 11 を並列に接続していることにより、コンタクト 12 間の抵抗 11 が並列に接続され、コンタクト 12 間の抵抗値を小さくすることができる。よってコンタクト 12 近傍の抵抗 11 とそれ以外の領域の抵抗 11 との界面に大きな抵抗成分（インターフェイス抵抗）がある場合でも、小さな抵抗値の抵抗を精度良く作ることができ、細かい階調電位 V_{51} 、 V_{52} 、 V_{53} 、 V_{54} 、 V_{55} を生成することができる。またコンタクト 12 が 1 列に並ぶため、コンタクト 12 から階調電位を取り出す配線を単純に形成でき、従来の渦巻き型のレイアウトと比較してレイアウトしやすくなるという効果も期待できる。

20

【0042】

尚、実施の形態 1 においては、抵抗 11 を 3 本設けた例を説明したが、先に述べた合成抵抗による効果からわかるように、抵抗 11 は 2 本以上設けた構成であれば良い。また、コンタクト 12 を抵抗 11 上に 7 個設けた例を説明したが、シリサイド（コンタクト 12 の下の部分の抵抗 11）物質と非シリサイド物質（コンタクト 12 の下部分以外の抵抗 11）の境界が存在する場合でも、非シリサイド物質で構成される部分の抵抗 11 を合成抵抗で構成することで本発明の効果は得られる。すなわち、コンタクト 12 は基準電位供給配線 14 とのコンタクトを除けば、抵抗 11 上に少なくとも 1 個存在していれば良く、階調電位出力配線 13 は少なくとも 1 本設ける構成で本発明の効果は得られる。

30

[実施の形態 2]

図 3 に本発明の実施の形態 2 における液晶ドライバ用抵抗分圧回路の構成図を示す。

【0043】

図 3 に示すように、抵抗値がほぼ等しい $2N$ (N は 2 以上の正の整数) 本（図では 4 本）の抵抗 21 を、その長軸方向を揃えて順に平行に配置し、これら各抵抗 21 の両端部にそれぞれコンタクト 22 を設け、さらに順に配置した各抵抗 21 のうち、図面の上から 1 番目と 2 番目の抵抗 21 にそれぞれコンタクト 23 を図面の水平方向に等しい位置に設け、図面の上から 3 番目と 4 番目の抵抗 21 にそれぞれコンタクト 24 をコンタクト 23 とは異なる位置で図面の水平方向に等しい位置に設けている。尚、図 3 に示した実施の形態においては、コンタクト 24 の水平方向の位置がコンタクト 23 の水平方向の位置と異なっている形態を示しているが、コンタクト 24 の水平方向の位置とコンタクト 23 の水平方向の位置が同じであっても一向に構わない。

40

【0044】

そして、図面の上から 1 番目と 2 番目の抵抗 21 上のコンタクト 23 をそれぞれ階調電位出力配線 25 により接続し、図面の上から 3 番目と 4 番目の抵抗 21 上のコンタクト 24 をそれぞれ階調電位出力配線 26 により接続し、奇数の順番（図面の上から 1 番目と 3 番目）の抵抗 21 の端部のコンタクト 22 をそれぞれ接続用配線 27 により順に接続し、偶数の順番（図面の上から 2 番目と 4 番目）の抵抗 21 の端部のコンタクト 22 をそれぞ

50

れ接続用配線 28 により順に接続している。

【0045】

そして1番目と2番目の抵抗21の始端部のコンタクト22を接続し、 $(2N - 1)$ と $2N$ の順番(図では3番目と4番目)の抵抗21の終端部のコンタクト22を接続して、これら接続した各端部に基準電位供給用配線(図示せず)を介して基準電位 V_1 , V_2 を入力し、抵抗21の分圧により各コンタクト23の接続点(階調電位出力配線25)と各コンタクト24の接続点(階調電位出力配線26)に階調電位 V_{61} , V_{62} , V_{63} , V_{64} , V_{65} , V_{66} を生成している。

【0046】

具体的には、図3に示す抵抗分圧回路は、例えば $N + 1$ ポリシリコン抵抗で形成される抵抗21を設け、その上に、層間絶縁膜(図示せず)を介して、抵抗21と直交する、アルミニウム等で形成される階調電位出力配線25, 26および接続用配線27, 28を設け、前記抵抗配線層と階調電圧配線層を抵抗値の低い物質(たとえば、シリサイドと呼ばれるシリコンの金属化合物)からなるコンタクト22, 23, 24で接続して構成されている。

10

【0047】

このように実施の形態2によれば、複数の抵抗21を並列に接続することで抵抗値を小さくするという原理は実施の形態1の構成と同じであるが、奇数の順番の抵抗21を接続し、偶数の順番の抵抗21を接続し、すなわち $2N$ 本の抵抗21を1本おきに接続することによって、抵抗製造プロセスにおける抵抗の面内ばらつきの影響を緩和できる。

20

【0048】

すなわち、通常、半導体の製造において抵抗を作る時は、抵抗値を制御するため抵抗となる物質に不純物を拡散させて製造する。この時の抵抗を形成する配線層の不純物の拡散濃度は一様ではなくあるばらつきを持っている。そのため、図1のレイアウトのように抵抗を単純に並べただけでは、1番目の抵抗21と最後($2N$ 番目)の抵抗21で抵抗値のばらつきが大きくなる恐れがある。その点、図3のように1番目の抵抗と3番目の抵抗を接続し、2番目の抵抗と4番目の抵抗を接続するということに入れ子状に抵抗21を接続すると、抵抗の面内ばらつきの影響を緩和することができる。したがって、図3のレイアウト構成により、インターフェイス抵抗が大きな抵抗の場合でも、抵抗21の面内ばらつきの影響を軽減したより精度のよい小さな抵抗値の抵抗を形成でき、細かい階調電位を生成することができる。

30

[実施の形態3]

図4に本発明の実施の形態3における液晶ドライバ用抵抗分圧回路の構成図を示す。

【0049】

図4に示すように、両端にコンタクト31、中間に複数(図では4個)のコンタクト32-1~32-4を有する1本の第1の抵抗33を設け、小さな抵抗を必要とする箇所だけに第1の抵抗33のコンタクト32-1~32-4に対向して第2の抵抗を設けている。図4では、第1の抵抗33のコンタクト32-1, 32-2間に対向して、両端にコンタクト37を有する1本の第2の抵抗34を平行に設け、第1の抵抗33のコンタクト32-3, 32-4間に対向して、両端にコンタクト37を有する2本の第2の抵抗35, 36を平行に設けている。

40

【0050】

そして、第1の抵抗33のコンタクト32-1, 32-2と第2の抵抗34の両端のコンタクト37をそれぞれ階調電位出力配線38により接続し、第1の抵抗33のコンタクト32-3, 32-4と2本の第2の抵抗35, 36の両端のコンタクト37をそれぞれ階調電位出力配線39により接続し、第1の抵抗33の両端部(コンタクト31)に基準電位供給配線(図示せず)を介して基準電位 V_1 , V_2 を入力し、第1の抵抗33の分圧により各コンタクト32-1~32-4, 37の接続点(配線38, 39)に階調電位 V_{71} , V_{72} , V_{73} , V_{74} を生成している。

【0051】

50

具体的には、図４に示す抵抗分圧回路は、例えば $N + 1$ ポリシリコン抵抗で形成される抵抗 $33, 34, 35, 36$ を設け、その上に、層間絶縁膜（図示せず）を介して、抵抗 $33, 34, 35, 36$ と直交する、アルミニウム等で形成される階調電位出力配線 $38, 39$ を設け、抵抗 $33, 34, 35, 36$ と階調電位出力配線 $38, 39$ を抵抗値の低い物質（たとえば、シリサイドと呼ばれるシリコンの金属化合物）からなるコンタクト $32-1 \sim 32-4, 37$ で接続して構成されている。

【００５２】

このように実施の形態３によれば、基本となる液晶ドライバ用抵抗分圧回路を１本の第１の抵抗 33 で構成し、第２の抵抗 $34, 35, 36$ を並列に接続することにより、精度のよい小さな抵抗値の抵抗を形成でき、細かい階調電位を生成することができる。また、細かい階調電位差を発生させるのに必要な小さな抵抗値の部分だけ第２の抵抗 $34, 35, 36$ を並列に接続することにより、同じ長さの抵抗を何本も並べるとレイアウトの面積が大きくなってしまいうことに対して、このように小さな抵抗を形成するのに必要な箇所だけ抵抗を並列に配置すれば、レイアウト面積を小さくできる。

〔実施の形態４〕

図５に本発明の実施の形態４における液晶ドライバ用抵抗分圧回路の構成図を示す。

【００５３】

図５に示すように、抵抗値がほぼ等しく、階調電位を取り出すため複数 $\{(n + 1)$ 個； n は２以上の正の整数 $\}$ のコンタクト 42 を図面の水平方向に等しい位置に有する複数本（図では３本）の抵抗 41 を図面の垂直方向に平行に設けている。すなわち、抵抗 41 のコンタクト 42 間の抵抗値の関係は、抵抗 41 のうち第１の抵抗 $41-1$ のコンタクト間抵抗値を $R_{11}, R_{12}, R_{13} \cdots R_{1n}$ 、第２の抵抗 $41-2$ のコンタクト間抵抗値を $R_{21}, R_{22}, R_{23} \cdots R_{2n}$ 、第３の抵抗 $41-3$ のコンタクト間抵抗値を $R_{31}, R_{32}, R_{33} \cdots R_{3n}$ とすると、 $R_{11} : R_{12} : R_{13} : \cdots : R_{1n} = R_{21} : R_{22} : R_{23} : \cdots : R_{2n} = R_{31} : R_{32} : R_{33} : \cdots : R_{3n}$ となるようにしている。

【００５４】

また各抵抗 41 の中間の等しい位置のコンタクト 42 をそれぞれ第１のスイッチ 45 と第２のスイッチ 46 （これらスイッチ $45, 46$ は制御用スイッチの一例）を介して階調電位出力配線 44 により接続してこれら抵抗 41 を並列に接続し、また各抵抗 41 の両端のコンタクト 42 にそれぞれ第３のスイッチ 47 と第４のスイッチ 48 と第５のスイッチ 49 （これらスイッチ $47, 48, 49$ は電源用スイッチの一例）を接続している。

【００５５】

そして、各抵抗 41 の両端にそれぞれ第３のスイッチ 47 と第４のスイッチ 48 と第５のスイッチ 49 を介して、第１のノード E_1 より高電位側基準電位 V_1 が供給され、第２のノード E_2 より低電位側基準電位 V_2 が供給されている。高電位側基準電位 V_1 と低電位側基準電位 V_2 の供給により、３本の抵抗 41 の分圧により中間の各コンタクト 42 の接続点から、第１、第２、 $\cdots$ 第 $(n - 1)$ の階調電位出力配線 44 を介して y 階調電位 $V_{g1}, V_{g2} \cdots V_{g(n-1)}$ を出力している。

【００５６】

具体的には図５に示す抵抗分圧回路は、第１の方向（図面の水平方向）に沿ってほぼ等しい長さ、前記第１の方向と直角となる第２の方向（図面の垂直方向）に沿ってほぼ等しい幅を有し、例えば $N + 1$ ポリシリコン抵抗で形成される第１の抵抗 $41-1$ 、第２の抵抗 $41-2$ 、第３の抵抗 $41-3$ を、前記第２の方向に並列に設け、すなわち抵抗値がほぼ等しい抵抗 41 （ $41-1, 41-2, 41-3$ ）を並列に設け、その上に、層間絶縁膜（図示せず）を介して、抵抗 41 （ $41-1, 41-2, 41-3$ ）と直交するアルミニウム等で形成される階調電位出力配線 44 と P チャネル型 MOS トランジスタで形成される第１のスイッチ 45 、第２のスイッチ 46 、第３のスイッチ 47 、第４のスイッチ 48 および第５のスイッチ 49 からなる階調電位出力部を設け、抵抗 41 と階調電位出力配線 44 を抵抗値の低い物質（たとえば、シリサイドと呼ばれるシリコンの金属化合物）から

10

20

30

40

50

なるコンタクト４２で接続して構成されている。

【００５７】

このように実施の形態４によれば、抵抗値がほぼ同じ抵抗４１を３本並列に接続する構成とし、中間の図面の水平方向に等しい位置のコンタクト４２を接続し、すなわち３本の抵抗の抵抗値がほぼ等しいコンタクト４２を接続して等電位のノードを接続し、等電位のノードから出力される電位を階調電位として出力していることから、小さな抵抗値で高精度の階調電位を得ることができる。さらに、階調電位を出力する階調電位出力配線４４に、第１のスイッチ４５と第２のスイッチ４６を介装しオン・オフ制御をすることによって、必要に応じて切り離す分圧抵抗 R_{11} 、 R_{12} 、 R_{13} ・・・ R_{1n} 、 R_{21} 、 R_{22} 、 R_{23} ・・・ R_{2n} 、 R_{31} 、 R_{32} 、 R_{33} ・・・ R_{3n} の本数を調整することが可能となる。このように構成することで、より小さな抵抗を細かく設定して形成することが可能となり、各階調電位出力配線４４に必要な細かな階調電位を得ることができる。また、基準電位 V_1 、 V_2 と抵抗４１との間に第３のスイッチ４７、第４のスイッチ４８および第５のスイッチ４９を設け、階調電位を必要としないとき等、必要に応じてこれらスイッチ４７、４８、４９がオフするように制御することにより、抵抗４１と基準電位 V_1 、 V_2 とを切り離すことができ不要な電流が流れるのを防ぐことができ、消費電力を抑制することができる。

10

【００５８】

なお、実施の形態１～４では、各抵抗を、 $N+$ ポリシリコン抵抗により形成しているが、 $P+$ ポリシリコン抵抗、あるいは $N+$ 拡散抵抗、あるいは $P+$ 拡散抵抗により形成することもできる。

20

【００５９】

また実施の形態４では、第１のスイッチ４５、第２のスイッチ４６、第３のスイッチ４７、第４のスイッチ４８および第５のスイッチ４９を P チャネル型 MOS トランジスタで形成しているが、 N チャネル型 MOS トランジスタ、もしくは P チャネル型 MOS トランジスタと N チャネル型 MOS トランジスタの両方を組み合わせて形成することもできる。

【００６０】

尚、本発明の抵抗分圧回路を用いることで、高精度の階調電位を生成することが可能であるため、本発明の抵抗分圧回路は様々な形態として用いられる。例えば、階調電位を生成し、階調電位に応じて表示素子を駆動するための駆動電位を生成する駆動装置や、該駆動装置が基板上に形成された複数の表示素子を駆動するように一体に形成した表示装置などの形態として実施される。

30

【００６１】

図６は、本発明の好ましい実施の形態（実施の形態１～４）の抵抗分圧回路を複数備えた液晶駆動装置の構成図である。

図６に示すように、液晶駆動装置５１は、複数の抵抗分圧回路５２からなる階調電位生成回路（階調電圧生成回路）５３と、 DA コンバータ（ DA 変換回路）５４から構成されており、階調電位生成回路５３の各抵抗分圧回路５２により、供給される２つの基準電位から基準電位間の階調電位が生成され、各々が DA コンバータ５４へ入力されている。 DA コンバータ５４は、入力される階調電位、および入力されるデジタル値（図示せず）に応じて、複数の液晶素子を駆動するための駆動電位（アナログ電位）を生成する。

40

【００６２】

図７は、図６に示した液晶駆動装置５１を信号線駆動回路として備えた液晶表示装置の構成図である。

液晶表示装置６１は、液晶駆動装置５１のほかに、基板上に形成された複数の液晶素子６２と、各々の液晶素子６２に接続された複数の TFT （Thin Film Transistor）６３と、複数の TFT ６３のゲートに接続された複数の走査線６４と、複数の TFT ６３の液晶素子６２とは他端に接続され、液晶駆動装置５１により駆動される複数の駆動線６５と、複数の走査線６４を駆動するための走査線駆動装置６６を備えている。

50

【 0 0 6 3 】

このように構成された液晶駆動装置 5 1 または液晶表示装置 6 1 によれば、高精度の階調電位によって液晶素子 6 2 を駆動することが可能となるため、階調表示、すなわち液晶パネルをはじめとする表示の美しさが向上するという効果を得られる。

【 0 0 6 4 】

尚、上記の実施の形態の説明においては、液晶を例として説明しているが、本発明はこれに限られるものではない。その他の表示素子、例えば有機 E L 素子などにおいても階調電位を入力して駆動する表示形態であれば、本発明の技術範囲に属するというべきものである。

【 産業上の利用可能性 】

10

【 0 0 6 5 】

本発明にかかる抵抗分圧回路は、小さな抵抗値の抵抗を精度良く形成することができ、細かい階調電位を生成することができるという効果を有しており、高精細な画像の表示装置に有用である。また、高精度の複数の基準電圧の発生が必要な計測機器や制御機器等の用途にも適用できる。

【 図面の簡単な説明 】

【 0 0 6 6 】

【 図 1 】 本発明の実施の形態 1 における液晶ドライバ用抵抗分圧回路の構成図である。

【 図 2 】 同液晶ドライバ用抵抗分圧回路の並列抵抗の説明図である。

【 図 3 】 本発明の実施の形態 2 における液晶ドライバ用抵抗分圧回路の構成図である。

20

【 図 4 】 本発明の実施の形態 3 における液晶ドライバ用抵抗分圧回路の構成図である。

【 図 5 】 本発明の実施の形態 4 における液晶ドライバ用抵抗分圧回路の構成図である。

【 図 6 】 本発明の液晶駆動装置の構成図である。

【 図 7 】 本発明の液晶表示装置である。

【 図 8 】 従来の液晶ドライバ用抵抗分圧回路の構成図である。

【 符号の説明 】

【 0 0 6 7 】

V 1 抵抗分圧用基準電位 1

V 2 抵抗分圧用基準電位 2

1 1 , 2 1 , 3 3 , 3 4 , 3 5 , 3 6 , 4 1 - 1 ~ 4 1 - 3 抵抗

30

1 2 , 2 2 , 2 3 , 2 4 , 3 1 , 3 2 - 1 ~ 3 2 - 4 , 3 7 , 4 2 基準電位取り出し用コンタクト

1 3 , 2 5 , 2 6 , 3 8 , 3 9 , 4 4 階調電位出力配線

1 4 基準電位供給配線

2 7 , 2 8 接続用配線

4 5 , 4 6 , 4 7 , 4 8 , 4 9 スイッチ

5 1 液晶駆動装置

5 2 抵抗分圧回路

5 3 階調電位生成回路

5 4 D A コンバータ

40

6 1 液晶表示装置

6 2 液晶素子

6 3 T F T

6 4 走査線

6 5 駆動線

6 6 走査線駆動装置

V 5 1 , V 5 2 , V 5 3 , V 5 4 , V 5 5 階調電位

V 6 1 , V 6 2 , V 6 3 , V 6 4 , V 6 5 , V 6 6 階調電位

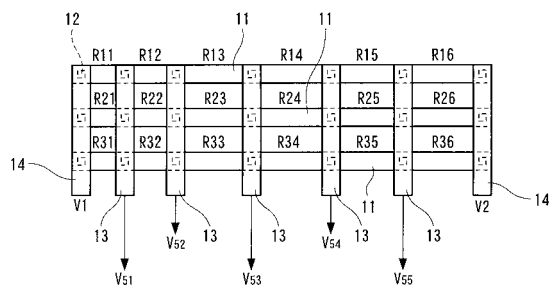
V 7 1 , V 7 2 , V 7 3 , V 7 4 階調電位

V 8 1 , V 8 2 . . . V 8 (n - 1) 階調電位

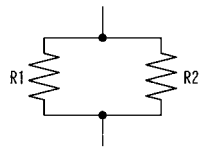
50

$R_{11} \sim R_{16}$, $R_{21} \sim R_{26}$, $R_{31} \sim R_{36}$ 抵抗
 $R_{11} \sim R_{1n}$, $R_{21} \sim R_{2n}$, $R_{31} \sim R_{3n}$ 抵抗

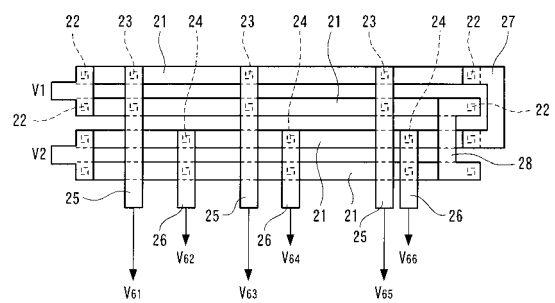
【図 1】



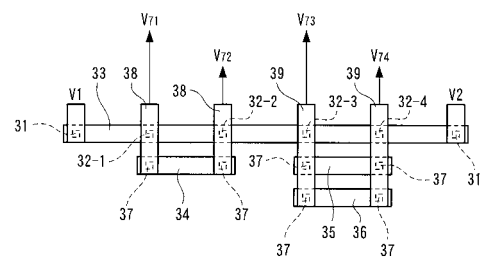
【図 2】



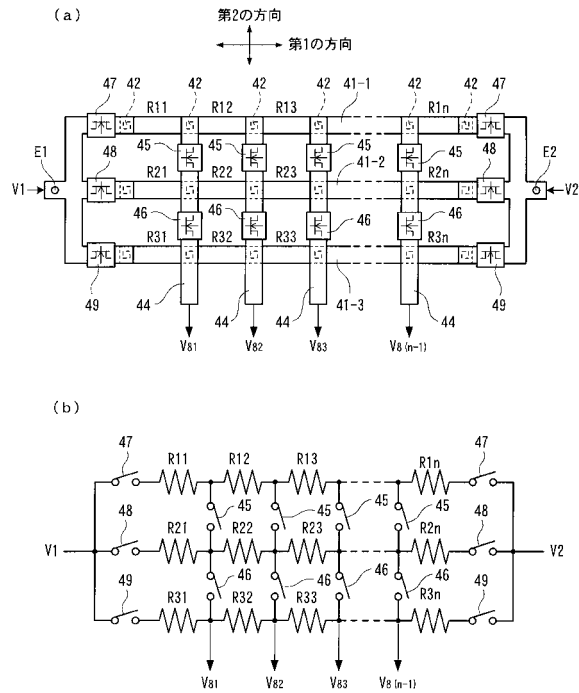
【図 3】



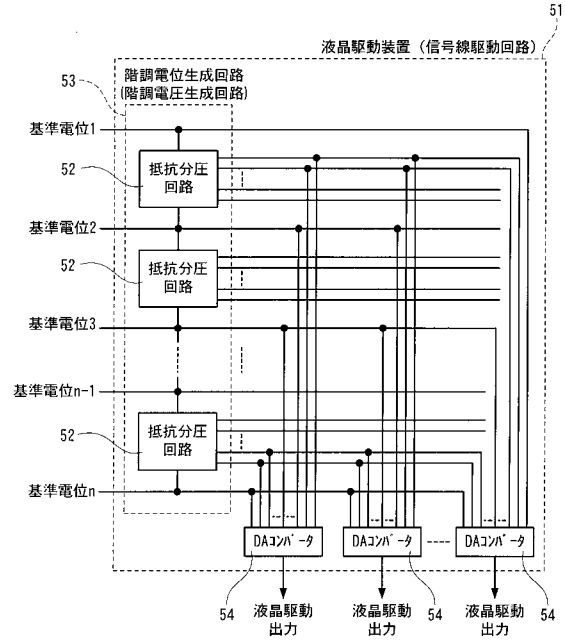
【図 4】



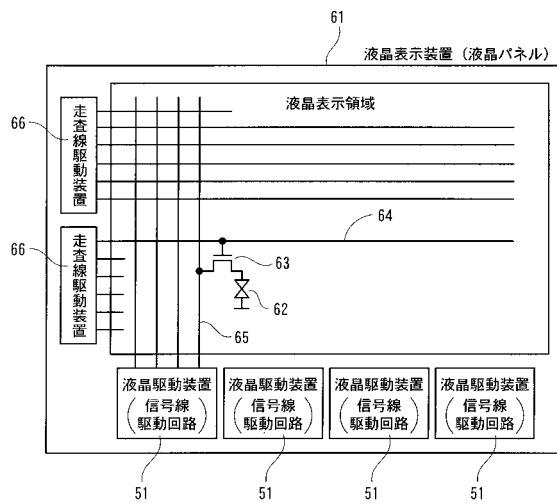
【図 5】



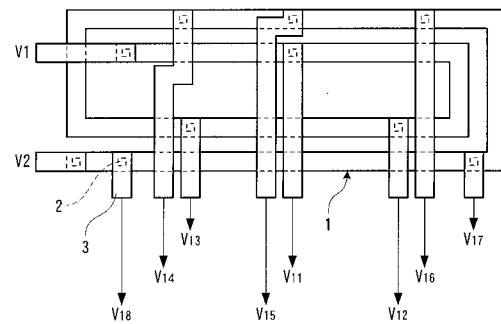
【図 6】



【図 7】



【図 8】



フロントページの続き

(51) Int.Cl.

F I

G 0 9 G	3/20	6 2 3 F
G 0 9 G	3/20	6 2 4 B
G 0 9 G	3/20	6 8 0 G
G 0 9 G	3/36	

(72)発明者 村田 正嗣

富山県高岡市米島 5 3 1 番地

審査官 藤田 都志行

(56)参考文献 特開 2 0 0 1 - 0 0 5 4 3 4 (J P , A)

特開 2 0 0 3 - 2 8 0 5 9 6 (J P , A)

特開平 0 6 - 3 4 8 2 3 5 (J P , A)

特開平 0 9 - 3 1 1 6 6 6 (J P , A)

特開平 0 7 - 3 2 5 5 5 6 (J P , A)

特開 2 0 0 3 - 2 5 5 9 1 6 (J P , A)

(58)調査した分野(Int.Cl. , D B名)

G 0 2 F 1 / 1 3 3

G 0 9 G 3 / 2 0

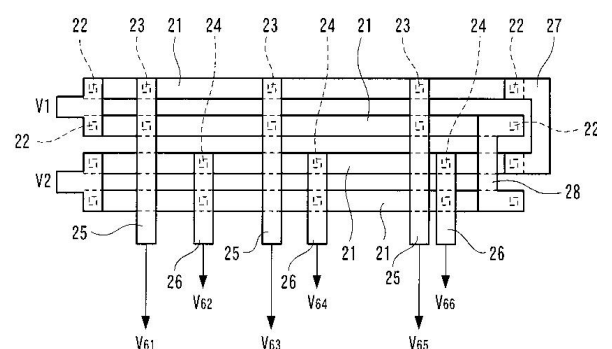
G 0 9 G 3 / 3 6

专利名称(译)	电阻分压电路和液晶驱动装置以及使用该电阻分压电路的液晶显示装置		
公开(公告)号	JP3955298B2	公开(公告)日	2007-08-08
申请号	JP2004341341	申请日	2004-11-26
申请(专利权)人(译)	松下电器产业有限公司		
当前申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	西和義 村田正嗣		
发明人	西 和義 村田 正嗣		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H03M1/06 H03M1/76		
CPC分类号	H03M1/0678 G09G3/3688 G09G2320/0276 H03M1/765		
FI分类号	G02F1/133.520 G02F1/133.575 G09G3/20.611.H G09G3/20.612.E G09G3/20.621.M G09G3/20.623.F G09G3/20.624.B G09G3/20.680.G G09G3/36		
F-TERM分类号	2H093/NA51 2H093/NA52 2H093/NC03 2H093/NC12 2H093/NC13 2H093/NC14 2H093/NC34 2H093/ND03 2H093/ND06 2H093/ND52 2H193/ZA04 2H193/ZD21 2H193/ZD22 2H193/ZF03 2H193/ZF04 2H193/ZF05 2H193/ZF36 5C006/AA16 5C006/AC11 5C006/AC21 5C006/AF51 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BF43 5C006/FA26 5C080/AA10 5C080/BB05 5C080/DD28 5C080/DD30 5C080/EE29 5C080/FF11 5C080/GG11 5C080/JJ02 5C080/JJ03 5C080/JJ06		
代理人(译)	板垣隆夫 森本弘 原田洋平		
优先权	2003428511 2003-12-25 JP		
其他公开文献	JP2005208581A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一个电阻分压电路，它可以精确地形成一个小电阻的电阻，并产生精细的级配电位。ŽSOLUTION：用于调节的灰度电位产生电路的电阻分压电路，产生用于驱动液晶元件的灰度电位，包括三个电阻11，它们的电阻值相等，并且在等效位置具有触点12，其中触点12位于各个电阻器11的等效位置彼此连接以便并联连接电阻器，参考电位V1，V2被输入到并联连接的电阻器的两端，并且在各个触点的连接点上产生灰度电位根据电压值除以相应的电阻器11，根据结构，通过并联连接三个电阻器11产生具有小电阻的电阻器，即使在具有大接口电阻的电阻器的情况下，精确地制造具有小电阻的电阻器以产生精细渐变潜力。Ž

【图3】



【图4】