

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3716755号
(P3716755)

(45) 発行日 平成17年11月16日(2005.11.16)

(24) 登録日 平成17年9月9日(2005.9.9)

(51) Int.CI.⁷

F 1

H01L 29/786

H01L 29/78 618E

G02F 1/1333

G02F 1/1333 505

G02F 1/1368

G02F 1/1368

H01L 21/316

H01L 21/316 T

H01L 29/78 617N

請求項の数 13 (全 14 頁)

(21) 出願番号

特願2001-106611(P2001-106611)

(22) 出願日

平成13年4月5日(2001.4.5)

(65) 公開番号

特開2002-305306(P2002-305306A)

(43) 公開日

平成14年10月18日(2002.10.18)

審査請求日

平成15年11月18日(2003.11.18)

(73) 特許権者 000005108

株式会社日立製作所

東京都千代田区丸の内一丁目6番6号

(74) 代理人 100075096

弁理士 作田 康夫

(72) 発明者 川崎 昌宏

茨城県日立市大みか町七丁目1番1号

株式会社 日立製作所 日立

研究所内

(72) 発明者 安藤 正彦

茨城県日立市大みか町七丁目1番1号

株式会社 日立製作所 日立

研究所内

最終頁に続く

(54) 【発明の名称】アクティブマトリクス型表示装置

(57) 【特許請求の範囲】

【請求項 1】

スイッチング素子として、薄膜トランジスタを表示部、又は駆動部に使用するアクティブマトリクス型表示装置において、前記薄膜トランジスタは、絶縁基板上に、ゲート電極、ゲート絶縁膜、半導体層、ドレイン電極、ソース電極及び保護絶縁膜を順次積層し、前記保護絶縁膜側の半導体層表面が多孔質であることを特徴とした、アクティブマトリクス型表示装置。

【請求項 2】

前記多孔質部の深さは、前記保護絶縁膜側の半導体層表面から1nm以上、30nm以内であることを特徴とした、請求項1に記載のアクティブマトリクス型表示装置。 10

【請求項 3】

前記半導体層のうち、前記保護絶縁膜側の半導体層表面から深さ1nm以上、30nm以内の多孔質領域において、孔の占める体積が5%以上であることを特徴とした、請求項1に記載のアクティブマトリクス型表示装置。

【請求項 4】

前記多孔質部における孔の半径の平均値が5nm以下であることを特徴とした、請求項1に記載のアクティブマトリクス型表示装置。

【請求項 5】

前記半導体層のうち、前記保護絶縁膜側の半導体層表面から深さ30nm以内の多孔質領域に0.01原子%以上0.1原子%未満のヘリウムが含有されることを特徴とした、請求

項 1 に記載のアクティブマトリクス型表示装置。

【請求項 6】

前記保護絶縁膜が有機性樹脂であることを特徴とした、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 7】

前記スイッチング素子において、保護絶縁膜上に形成された画素電極が前記スイッチング素子と重畳することを特徴とした、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 8】

前記スイッチング素子において、保護絶縁膜上に形成された共通電極が前記スイッチング素子と重畳することを特徴とした、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 9】

前記スイッチング素子上に設置した第 2 のゲート電極（バックゲート電極）に - 40 V ~ + 40 V の電圧を印加した際のソース・ドレイン間の電流値が、バックゲート電極を設置しない場合のソース・ドレイン間の電流値の 10 倍以下であることを特徴とした、請求項 1 に記載のアクティブマトリクス型表示装置。

【請求項 10】

絶縁基板上に形成されたゲート電極上に、ゲート絶縁膜、半導体層、コンタクト層を順次成膜し、前記半導体層及び前記コンタクト層を島状にエッチングする工程、

前記工程後の基板上に金属層を成膜し、エッチングによりドレイン電極及びソース電極を形成する工程、

前記工程後の基板のドレイン電極及びソース電極間に露出した、前記不純物半導体層と前記半導体層の一部をエッチングして除去する工程、

前記工程後の基板のドレイン電極及びソース電極間に露出した、前記半導体層表面にイオンを照射して前記半導体表面を多孔質化する工程、

前記工程後の基板に保護絶縁膜を成膜する工程を含むことを特徴とした、薄膜トランジスタの製造方法。

【請求項 11】

基板のドレイン電極及びソース電極間に露出した、前記半導体層表面に照射するイオンが He イオンであることを特徴とする、請求項 10 に記載の薄膜トランジスタの製造方法。

【請求項 12】

絶縁基板上に形成されたゲート電極上に、ゲート絶縁膜、半導体層、コンタクト層を順次成膜し、前記半導体層及び前記コンタクト層を島状にエッチングする工程、

前記工程後の基板上に金属層を成膜し、エッチングによりドレイン電極及びソース電極を形成する工程、

前記工程後の基板のドレイン電極及びソース電極間に露出した、前記コンタクト層と前記半導体層の一部をエッチングして除去する工程、

前記工程後、基板のドレイン電極及びソース電極間に露出した前記半導体層表面を陽極化成法により多孔質化する工程、

前記工程後の基板に保護絶縁膜を成膜する工程を含むことを特徴とする、薄膜トランジスタの製造方法。

【請求項 13】

絶縁基板上に形成されたゲート電極上に、ゲート絶縁膜、半導体層、コンタクト層を順次成膜し、前記半導体層及び前記コンタクト層を島状にエッチングする工程、

前記工程後の基板上に金属層を成膜し、エッチングによりドレイン電極及びソース電極を形成する工程、

前記工程後の基板のドレイン電極及びソース電極間に露出した、前記コンタクト層と前記半導体層の一部をエッチングして除去する工程、

前記工程後の基板のドレイン電極及びソース電極間に露出した、前記半導体層表面に、分子量の異なる 2 種類の高分子を結合させた自己組織化レジストを前記半導体層表面に塗布し、アニール後自己組織化した高分子混合物中の微粒子と、その微粒子の下の半導体層と

10

20

30

40

50

をエッティングし、前記半導体層表面を多孔質化する工程、
前記工程後の基板に保護絶縁膜を成膜する工程を含むことを特徴とする、薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アクティブマトリクス型表示装置および薄膜トランジスタの製造方法に関する。

【0002】

【従来の技術】

従来、例えば、特開平9-96836号ではAr等の不活性元素を用いたプラズマ処理を行い、バックチャネル界面付近にダメージを与え、0.1から1.0原子%のArをバックチャネル領域に含有させることにより、界面準位密度を増加させてオフ電流を低減する効果を得ている。

【0003】

また、特開平11-274514号では非晶質シリコンを乾式エッティングした後にヘリウムプラズマ工程を行うことにより、薄膜トランジスタの特性を向上させている。

【0004】

【発明が解決しようとする課題】

従来の液晶表示装置では、保護絶縁膜としてポリイミドやポリジシラザンなどの塗布型の保護絶縁膜を用いた場合や、配線や画素電極を薄膜トランジスタの上部に設けた場合において、保護絶縁膜中の蓄積電荷や反射電極の電位の影響を受けてオフ電流が増加し、表示特性が劣化するという課題があった。

【0005】

本発明は、塗布型保護絶縁膜中の蓄積電荷や配線及び画素電極の電位に対して安定なアクティブマトリクス型液晶表示装置を提供するものである。

【0006】

【課題を解決するための手段】

本発明の一つの見方によれば、本発明の特徴は、スイッチング素子として、薄膜トランジスタを表示部、又は駆動部に使用するアクティブマトリクス型表示装置において、前記薄膜トランジスタは、絶縁基板上に、ゲート電極、ゲート絶縁膜、半導体層、ドレイン電極、ソース電極及び保護絶縁膜を順次積層し、ゲート電極と反対側の半導体層表面部分が多孔質の構造であることを特徴としたアクティブマトリクス型表示装置を提供する。本発明の上記特徴およびその他の特徴は、以下の記載により説明される。

【0007】

【発明の実施の形態】

スイッチング素子を用いたアクティブマトリクス型液晶表示装置は、CRTと同等の高画質でCRTよりも低消費電力及び小型であることから、パソコン、ワークステーション、テレビなどのモニタに使用されている。スイッチング素子としては、生産性とスイッチ性能に優れた薄膜トランジスタが用いられている。薄膜トランジスタの構造と薄膜トランジスタアレイ基板の製造工程の一例について説明する。透明な絶縁性ガラス基板上に金属薄膜を成膜し、レジストパターンをマスクにしてウェットエッティング法によってゲート電極を形成する。次に、前記ゲート電極上に窒化シリコン等の絶縁膜、アモルファスシリコン等の半導体層、不純物として燐等をドープしたコンタクト層を順次形成する。その上に形成したレジストパターンをマスクにしてドライエッティング法によって、ゲート電極の直上に半導体層及びコンタクト層の島を形成する。次に、その上に金属薄膜を成膜し、レジストパターンをマスクとしてウェットエッティング法によって、コンタクト層上にドレイン電極及びソース電極を形成する。次に、ドレイン電極及びソース電極間に露出しているコンタクト層と半導体層の表面部分30~50nmとをドライエッティング法によって除去する。次に、薄膜トランジスタアレイ全体を有機化合物のポリイミドや無機化合物のポリジシ

10

20

30

40

50

ラザンを200で熱処理して得られる塗布型の保護絶縁膜または窒化シリコン等からなる無機絶縁膜及びそれらの積層膜からなる保護絶縁膜で被覆し、ソース電極部分にコンタクトホールを設ける。最後に透過型液晶表示装置の場合には画素部にITOなどの透明電極を、反射型液晶表示装置の場合には画素部にAlなどの反射電極を形成し、コンタクトホールを介してソース電極を接続して薄膜トランジスタアレイ基板が完成する。

【0008】

しかしながら、上記薄膜トランジスタにおいて保護絶縁膜としてポリイミドやポリジシラザンなどの塗布型の保護絶縁膜を用いた場合、窒化シリコンを保護絶縁膜に用いた場合に比べて短時間で成膜できる為に生産性が向上し、低コスト化が可能であるが、液晶表示装置を長時間使用した場合、信号線金属層や半導体層から保護絶縁膜に電荷の注入が生じ、その注入電荷の影響により薄膜トランジスタのオフ時におけるリーク電流（以下オフ電流と記す）が増加するいわゆるオフ電流不良が生じるという課題があった。

10

【0009】

また、反射電極として用いる画素電極を薄膜トランジスタの上部に設けた場合、画素部の開口率が増加し、液晶表示装置の輝度は向上するが、画素電極の電位の影響により薄膜トランジスタのオフ電流が増加するという課題があった。

【0010】

このような薄膜トランジスタのオフ電流が増加してしまう現象は、保護絶縁膜中の正に帶電した固定電荷や画素電極の電位の影響を受けて、半導体層の保護絶縁膜側表面から1nm～30nmの領域に生じるバンドベンディングの為に、その部分にチャネル（以下バックチャネルと記す）が形成されて、バックチャネルのリーク電流が増加するからである。このリーク電流を低減するには、バックチャネル領域において半導体のダングリングボンドの数を増加させることが有効であることが知られている。例えば、Ar等の不活性元素を用いたプラズマ処理を行い、バックチャネル界面付近にダメージを与え、0.1から1.0原子%のArをバックチャネル領域に含有させることにより、界面準位密度を増加させてオフ電流を低減する効果を得ている。しかし、その効果は不十分であり、バックゲートに30Vの電圧を印加した際には、バックゲートをアースした際のオフ電流に比べて2～3桁高い。これは、プラズマ処理によってシリコン中のSi-H結合やSi-Si結合が切離されてダングリングボンドが生成されるが、大半がその後の熱処理過程で再結合することにより消滅してしまい、シリコン中に留まったAr原子によってダングリングボンド同志の再結合が妨げられる領域のダングリングボンドのみが残留するからである。この方法では、生成されるダングリングボンド数が少なく、薄膜トランジスタの保護絶縁膜として固定電荷量が多い低誘電率の有機膜を用いる場合や、反射電極が薄膜トランジスタを覆った場合には、オフ電流不良により表示装置の画質が劣化する課題があった。また、非晶質シリコンを乾式エッチングした後にヘリウムプラズマ工程を行うことにより、薄膜トランジスタの特性を向上させている。しかし、一般に知られている主にヘリウムのラジカルで半導体表面を処理するヘリウムプラズマ工程では、薄膜トランジスタの保護絶縁膜として固定電荷量が多い低誘電率の有機膜を用いる場合や、反射電極が薄膜トランジスタを覆った場合には、オフ電流不良により表示装置の画質が劣化する課題があった。

20

【0011】

本発明は、スイッチング素子として、薄膜トランジスタを表示部、又は駆動部に使用するアクティブマトリクス型表示装置において、前記薄膜トランジスタは、絶縁基板上に、ゲート電極、ゲート絶縁膜、半導体層、ドレイン電極、ソース電極及び保護絶縁膜を順次積層し、ゲート電極と反対側の半導体層表面部分が多孔質の構造であることを特徴とした、アクティブマトリクス型表示装置を提供する。

30

【0012】

薄膜トランジスタのオフ電流不良を従来技術からさらに低減させるためには、大幅にバックチャネル領域における半導体のダングリングボンドを増加させねばならない。そこで、本発明では半導体の表面に高密度に存在するダングリングボンドを利用する。バックチャネル領域における半導体の表面積を増加させるために、半導体層の表面を多孔質化した薄

40

50

膜トランジスタ構造にした。多孔質部の深さは 1 nm 以上, 30 nm 以内である。

【0013】

ここで、多孔質とは半導体に対して構成元素である Si が抜けたことで形成される孔の占める割合が 5 % 以上 80 % 未満であること、また孔径（孔の半径）の平均値が 5 nm 以下であることと定義した。

【0014】

また、多孔質部の深さが半導体層の表面から 1 nm 以上, 30 nm 以内とは、バックチャネル領域をカバーし、かつゲート絶縁膜側の半導体表面からなるフロントチャネルの伝導性に影響を及ぼさない程度であることを目安とした。

【0015】

半導体層の表面を多孔質化する方法はいくつかある。

10

【0016】

例えば、半導体層の表面に電界によって加速したイオンを照射することによって行う。照射するイオンとしては、孔のサイズを小さくするという理由から、原子半径が小さく、かつ不活性である He イオンが最適である。

【0017】

例えば、ゲート電極を陽極とし、プラチナを陰極として両極をフッ化水素酸中に浸し、両極間に通電する陽極化成法により多孔質化しても良い。この方法を用いる場合、半導体層は多結晶や単結晶である方が望ましい。

【0018】

例えば、分子量の異なる 2 種類の高分子を混合した自己組織化レジストを用いても良い。ソース・ドレイン電極間に露出した半導体の表面に自己組織化レジストを塗布し、アニールする。すると、分子量が小さい方の高分子が網目状に自己組織化する。この部分を選択的にエッティングすることにより、半導体表面に径が数 nm の孔を形成し、多孔質化することもできる。

20

【0019】

以下、本発明の液晶表示装置の構成、作用、原理について説明する。

【0020】

孔の形状は生成方法によって異なる。半導体の表面にイオンを照射する場合、孔は不均一であるが球や円柱に近い形になるし、陽極化成法を用いる場合や自己組織化レジストを用いる場合、孔は円柱に近い形になる。

30

【0021】

単位体積当たりに占める孔の総表面積を S, 単位体積当たりに占める孔の数を n, 孔径の平均値を r, 孔の体積密度を N とする。

【0022】

孔が球形であると近似した場合、以下の式が成り立つ。

【0023】

$$N = 4 / 3 \cdot r^3 \cdot n \quad \dots \quad 1$$

$$S = 4 \cdot r^2 \cdot n \quad \dots \quad 2$$

1 式及び 2 式から n を消去して S について整理すると、

40

$$S = 3N / r \quad \dots \quad 3$$

また、孔が円柱形であると近似した場合においても同様に

$$S = 2N / r \quad \dots \quad 4$$

が成り立つ。

【0024】

3 式, 4 式から、孔が球に近い形であっても孔が円柱に近い形であっても単位体積当たりに占める孔の総表面積 S は孔の体積密度 N に比例し、孔径の平均値 r に反比例する。よって半導体表面に存在するダンギングボンドを効率よく利用するには、単位体積当たりに占める孔の総表面積 S をなるべく大きくするために、孔の体積密度 N を大きくし、孔径の平均値 r を小さくすれば良い。

50

【0025】

薄膜トランジスタの上に保護絶縁膜を介して第2のゲート電極（以下バックゲート電極と記す）を設け、バック電極に-40V～+40Vの電圧を印加して薄膜トランジスタのソース・ドレイン間に流れる電流のゲート電圧依存性（以下、Id-Vg特性と記す）を測定した。Heイオンを半導体表面に照射して半導体表面を多孔質化した際に、処理条件を変えて孔径の平均値rと孔密度Nを変化させたところ、

$$N/r = 8 \times 10^{-2} (\text{nm}^{-1}) \quad \dots 5$$

の条件を満たした際に、バックゲート電極に-40V～+40Vの電圧を印加した際のソース・ドレイン間の電流値が、バックゲート電極を設置しない場合のソース・ドレイン間の電流値の10倍以下になることが分かった。 10

【0026】

単位面積当たりに存在する半導体の表面準位をD_i、単位体積当たりに存在する半導体の欠陥準位をD_vとし、多孔質部において単位体積当たりに存在する半導体のダングリングボンド数と単位体積当たりに存在するバルクの半導体のダングリングボンド数との比をRとすると

$$R = S \cdot D_i / D_v \quad \dots 6$$

となる。文献MARTIN J. POWELL: IEEE TRANCTIONS ON ELECTRON DEVICE VOL.36, NO.12 P.2761(1989)によれば、例えばアモルファスシリコンの場合、表面に $2 \times 10^{12} (\text{cm}^{-2} \text{eV}^{-1})$ の表面準位が存在し、バルクに $1 \times 10^{16} (\text{cm}^{-3} \text{eV}^{-1})$ の欠陥準位が存在する。これらの値と3式及び5式を6式に代入すると、 20

$$R > 5 \times 10^2$$

となる。つまり、バックゲート電極に-40V～+40Vの電圧を印加した際のソース・ドレイン間の電流値が、バックゲート電極を設置しない場合の電流値の10倍以下になるためには、多孔質部のダングリングボンド数がバルク部のダングリングボンド数の 5×10^2 倍よりも増加させる必要がある。

【0027】

円柱形や球形の孔を半導体中に最密充填した場合、孔密度は80%未満であること、また、孔径を限りなく小さくしようとしても、製法上孔径の限界が1nm程度であることから、5式の条件を満たすためには孔の密度は5%以上、孔径は5nm以下であることが望ましい。 30

【0028】

上記の条件を満たした場合において、保護絶縁膜に固定電荷の影響が大きい塗布型の絶縁膜を用いた場合や、反射電極が薄膜トランジスタを覆った場合にも安定した特性が得られた。

【0029】

また、孔の一部もしくは全部が後に形成する保護絶縁膜によって埋められた場合でも、半導体と絶縁膜との界面にダングリングボンドが残留する為に同様の効果がある。

【0030】

本発明の薄膜トランジスタにおいて、保護絶縁膜に固定電荷の影響が大きい塗布型の絶縁膜を用いた場合や、反射電極が薄膜トランジスタを覆った場合にも安定した特性が得られた主な原因は、バックチャネル部のダングリングボンドが大幅に増加した為である。 40

【0031】

また、抵抗は電流経路の断面積に反比例することから、付加的な原因としてバックチャネルが多孔質化されたことにより電流経路の実効的な断面積が減少し、バックチャネルの抵抗が増大したということも挙げることができる。以下具体的な実施形態について述べる。

【0032】

(実施形態1)

図1は、本発明の第1の実施形態を示す薄膜トランジスタの断面構造である。本構造はゲート電極に対してソース・ドレイン電極が上部に位置するいわゆる逆スタガ構造を特徴とする。101は絶縁性ガラス基板、102がCrからなるゲート電極、103は窒化シリ

コンからなるゲート絶縁膜、104は表面の10nmから30nmの領域(104)が多孔質である例えばアモルファスシリコンからなる半導体層、105は例えば燐をドープしたn⁺型アモルファスシリコンからなるコンタクト層、106、107はCrからなるソース電極及びドレイン電極、108はポリイミドからなる保護絶縁膜である。上記構造のTFTは以下のように作成した。まずコーニング1737ガラス基板101上に厚さ約120nmのCr膜をスパッタリング法によって形成する。ホトエッチングによりCrをパターニングしてゲート電極102を形成する。その上に、プラズマ化学気相成長(CVD)法を用いて、以下のように薄膜を順次形成する。まず、

SiH₄、NH₃、N₂等の混合ガスを用いて厚さ300nmの窒化シリコン膜からなるゲート絶縁膜103を形成する。その上に、例えばSiH₄及びH₂の混合ガスを用いて厚さ約150nmのアモルファスシリコンを、SiH及びPH₃の混合ガスを用いてn⁺型アモルファスシリコン膜を順次形成する。ホトエッチングによりn⁺型アモルファスシリコン膜とアモルファスシリコン膜を同時に島状に加工することにより、半導体層104を形成する。この上にスパッタリング法を用いて形成した約120nmのCr膜を、ホトエッチングによりパターニングして、ソース電極106及びドレイン電極107を形成する。さらに、ソース/ドレイン電極間のn⁺型アモルファスシリコン膜と燐が拡散している恐れのある半導体層の表面から50nmをエッティング除去することにより、ソース電極106及びドレイン電極107と半導体層104の間にコンタクト層105が形成される。その後、例えば本発明ではリアクティブイオンエッティング装置等を用いて、カソード電極上に基板を設置し、電力300W、圧力5Pa～20Pa条件でHeイオンを露出した半導体層104の表面に5s以上照射する。この際、半導体層表面から1nmから30nmの領域は図2もしくは図6に示すように多孔質化される。照射したHeイオンは原子半径が小さく軽いイオンであるため、その後の熱処理工程で脱離し、アモルファスシリコン中に残留する量は0.01原子%以上0.1原子%未満である。最後にTFT全体を覆うように、スピンドーティング等の低コストな塗布法で形成できる保護絶縁膜108、たとえば厚さ1μmのポリイミドからなる有機絶縁膜や、ポリジシラザンを200で熱処理して得られる塗布型酸化シリコン膜を形成して薄膜トランジスタが完成する。尚、本実施形態では半導体層をアモルファスシリコンで構成したが、微結晶シリコン、多結晶シリコン、または単結晶シリコンでも構わない。また、保護絶縁膜はSiH₄、NH₃、N₂等の混合ガスを用いたプラズマCVD法によって堆積した厚さ300nmの窒化シリコン膜をホトエッチングによりパターン加工して形成しても構わない。前記の条件で多孔質化した半導体部の孔径を断面TEM(Transmission Electron Microscopy)で、孔の体積密度を分光エリプソメトリスペクトルにより測定した。また、薄膜トランジスタ上に保護絶縁膜を介してバックゲートを設けてId-Vg特性についても測定した。縦軸にバックゲート電極に+40Vの電圧を印加した際のソース・ドレイン間の電流値とバックゲート電極を設置しない場合のソース・ドレイン間の電流値の比を、横軸にN/rを表したグラフが図3である。N/r 8×10⁻²(nm⁻¹)を満たすと、バックゲート電極に+40Vの電圧を印加した際のソース・ドレイン間の電流値が、バックゲート電極を設置しない場合の10倍以下になった。

【0033】

図4に、本実施形態によって作成したN/rの値が8×10⁻²(nm⁻¹)の薄膜トランジスタのバックゲート電極に-40V～+40Vの電圧を印加した際のId-Vg特性をします。図5は本実施形態の処理を行わなかった場合(比較例)の薄膜トランジスタのバックゲート電極に-40V～+40Vの電圧を印加した際のId-Vg特性を示す図である。

【0034】

(実施形態2)

図6は本発明の第2の実施形態を示す薄膜トランジスタにおける半導体部の断面構造である。半導体表面の多孔質部の製法と形状以外は図1に示す第1の実施形態を示す薄膜トランジスタと同じ構造及びプロセスである。ソース電極106及びドレイン電極107と半導体層104の間にコンタクト層105が形成した後に、半導体表面の多孔質部は以下の

10

20

30

40

50

ようにして形成した。ゲート電極を陽極とし、プラチナを陰極として両極を、濃度20体積%のフッ化水素酸中に浸し、陽極電流密度が1A/dm²となるように両極間に通電した。5秒間通電することにより、半導体層表面から30nmの領域を多孔質化した。

【0035】

(実施形態3)

半導体表面の多孔質部の製法以外は図1に示す第1の実施形態を示す薄膜トランジスタと同じ構造及びプロセスである。ソース電極106及びドレイン電極107と半導体層104の間にコンタクト層105を形成した後に、図6のような半導体表面の多孔質部を以下のようにして形成する。

【0036】

ソース・ドレイン電極間に露出した半導体の表面に分子量が異なる2種類の高分子、例えばポリスチレンとポリイソブレンとをリビング重合させた自己組織化レジストを塗布する。ポリイソブレンの分子量をポリスチレンの分子量に対して0.3以下にすると、分子量の小さいポリイソブレンが球形に自己組織化する。自己組織化した部分をオゾンガスに曝して選択的に取り除き、数nmの穴が開いたレジストパターンを形成する。この穴の下の半導体のみを選択的にドライエッティングすることにより、半導体表面を孔径が数nmの孔で多孔質化する。

【0037】

(実施形態4)

図7に、本発明の薄膜トランジスタをスイッチング素子に用いた、アクティブマトリクス型表示装置におけるTFT基板上の画素部の一実施形態の平面構造、及び平面構造上に示した点線(A)-(A')で画素部を切断した断面構造の一例を示す。対向基板は図示していない。101は絶縁性ガラス基板、102はCrからなるゲート電極(走査配線)、103は窒化シリコンからなる第1のゲート絶縁膜、104は表面の1nmから30nmの領域に多孔質部(104')を有するアモルファスシリコンからなる半導体層、105は燐をドープしたn⁺型アモルファスシリコンからなるコンタクト層、106,107はCrからなるソース電極及びドレイン電極(信号配線)、108はポリイミドからなる保護絶縁膜、701は保持容量電極、702は画素電極、703はコンタクトホールである。

【0038】

TFT基板は、例えば次のようにして作成する。まず、コーニング1737ガラス基板101上に厚さ約120nmのCr膜をスパッタリング法により形成する。ホトエッティングによりこのCr膜をパターニングして走査配線となるゲート電極102及び保持容量電極701を形成する。その上にプラズマ化学気相成長(CVD)法により、厚さ300nmの窒化シリコン層、厚さ200nmのアモルファスシリコン層、厚さ30nmの燐が添加されたn⁺型アモルファスシリコン層を連続形成する。そして、ホトエッティングによりn⁺型アモルファスシリコン層、アモルファスシリコン層を同時に島加工することにより、半導体層104を形成する。

【0039】

この上にスパッタリング法を用いて形成した厚さ120nmのCr膜をホトエッティングによりパターニングして、ソース電極106、及び信号配線107を形成する、さらに、ソース電極106及びドレイン電極107で覆われていない半導体層104上のn⁺型アモルファスシリコン層、ソース・ドレイン電極間のn⁺型アモルファスシリコン膜と燐が拡散している恐れのある半導体層の表面から50nmをエッティング除去することにより、ソース電極106、ドレイン電極107と半導体層104の間にコンタクト層105を形成する。次に、実施形態1から実施形態3に記されたいずれかの方法で、ソース電極106及びドレイン電極107で覆われていない半導体層104の表面の1nmから30nmを多孔質化する。さらにこの上にスピノコーティング法により厚さ1μmのポリイミドからなる保護絶縁膜108を形成する。また、保護絶縁膜はSiH₄, NH₃, N₂等の混合ガスを用いたプラズマCVD法によって堆積した厚さ300nmの窒化シリコン膜でも構

10

20

30

40

50

わないので、ホトエッチングにより保護絶縁膜 108 及びゲート絶縁膜 103 にコンタクトホール 703 を形成した後に、スパッタリング法により、例えば厚さ 140 nm の Al 膜を形成後、ホトエッチングに前記 Al 膜をパターニングして、画素電極 702 を形成する。また、このパターニングの際に、画素電極に光透過用の穴を形成してもよい。

【0040】

画素電極 702 とソース電極 106 はコンタクトホール 703 を介して接続される。

【0041】

次にスピンドルコート法により厚さ 200 nm の配向膜を形成する。以上により、 TFT 基板が完成する。

【0042】

図 7 では、薄膜トランジスタと画素電極の一部が保護絶縁膜を介して重畠した構造になっている。これにより、液晶表示装置の輝度が向上する。

【0043】

図 7 において、図示していない対向基板は次のようにして作成する。まず、コーニングガラス 1737 からなる基板上に、スピンドルコート法により厚さ 500 nm のカラーフィルタを形成する。その上に、スピンドルコート法により厚さ 500 nm の保護絶縁膜及び厚さ 200 nm の配向膜を形成する。

【0044】

薄膜トランジスタの対向基板は、その配向膜の表面を配向処理した後に、酸化シリコンからなる直径約 4 μm のビーズを狭持するように対向させて形成したセルギャップ間に液晶組成物を封入して液晶層を形成する。最後に、薄膜トランジスタ基板及び対向基板の表面に偏光板を貼り付けて、液晶パネルが完成する。

【0045】

この方法で作成した薄膜トランジスタのソース電極 106 と画素電極 402 を切断し、画素電極 402 に -40V から 40V の電圧を印加した際の、 Id - Vg 特性測定は図 5 と同様であった。バックゲートに -40V ~ +40V の電圧を印加した際のソース・ドレイン間の電流値が、バックゲート電極を設置しない場合のソース・ドレイン間の電流値の 10 倍以下になり、液晶表示装置も良好な表示特性を示した。

【0046】

(実施形態 5)

図 8 に、本発明の薄膜トランジスタをスイッチング素子に用いた、アクティブマトリクス型表示装置における TFT 基板上の画素部の一実施形態の平面構造、及び平面構造上に示した点線 (A) - (A') で画素部を切断した断面構造の一例を示す。対向基板は図示していない。101 は絶縁性ガラス基板、102 は Cr からなるゲート電極 (走査配線)、103 は窒化シリコンからなる第 1 のゲート絶縁膜、104 は表面の 1 nm から 30 nm の領域に多孔質部 (104') を有するアモルファスシリコンからなる半導体層、105 は燐をドープした n⁺ 型アモルファスシリコンからなるコンタクト層、106, 107 は Cr からなるソース電極及びドレイン電極 (信号配線)、108 はポリイミドからなる保護絶縁膜である。

【0047】

TFT 基板は、例えば次のようにして作成する。まず、コーニング 1737 ガラス基板 101 上に厚さ約 120 nm の Cr 膜をスパッタリング法により形成する。ホトエッチングによりこの Cr 膜をパターニングして走査配線となるゲート電極 102 を形成する。その上にプラズマ化学気相成長 (CVD) 法により、厚さ 300 nm の窒化シリコン層、厚さ 200 nm のアモルファスシリコン層、厚さ 30 nm の燐が添加された n⁺ 型アモルファスシリコン層を連続形成する。そして、ホトエッチングにより n⁺ 型アモルファスシリコン層、アモルファスシリコン層を同時に島加工することにより、半導体層 104 を形成する。

【0048】

この上にスパッタリング法を用いて形成した厚さ 120 nm の Cr 膜をホトエッチングに

10

20

30

40

50

よりパターニングして、ソース電極 106、及び信号配線 107を形成する、さらに、ソース電極 106 及びドレイン電極 107で覆われていない半導体層 104 上の n^+ 型アモルファスシリコン層、ソース・ドレイン電極間の n^+ 型アモルファスシリコン膜と燐が拡散している恐れのある半導体層の表面から 50 nm をエッティング除去することにより、ソース電極 106、ドレイン電極 107 と半導体層 104 の間にコンタクト層 105 を形成する。次に、実施形態 1 から実施形態 3 に記されたいずれかの方法で、ソース電極 106 及びドレイン電極 107 で覆われていない半導体層 104 の表面の 1 nm から 30 nm を多孔質化する。さらにこの上にスピノコーティング法により厚さ 1 μ m のポリイミドからなる保護絶縁膜 108 を形成する。また、保護絶縁膜は SiH₄、NH₃、N₂ 等の混合ガスを用いたプラズマ CVD 法によって堆積した厚さ 300 nm の窒化シリコン膜でも構わない。スパッタリング法により、例えば厚さ 140 nm の Cr 膜を形成後、ホトエッティングに前記 Cr 膜をパターニングして、共通電極 801 を形成する。

【0049】

次にスピノコーティング法により厚さ 200 nm の配向膜を形成する。以上により、 TFT 基板が完成する。

【0050】

図 8 では、薄膜トランジスタと共通電極の一部が保護絶縁膜を介して重畠した構造になっている。これにより、液晶表示装置の輝度が向上する。

【0051】

図 8 において、図示していない対向基板は次のようにして作成する。まず、コーニングガラス 1737 からなる基板上に、スピノコーティング法により厚さ 500 nm のカラーフィルタを形成する。その上に、スピノコーティング法により厚さ 500 nm の保護絶縁膜及び厚さ 200 nm の配向膜を形成する。

【0052】

薄膜トランジスタの対向基板は、その配向膜の表面を配向処理した後に、酸化シリコンからなる直径約 4 μ m のビーズを狭持するように対向させて形成したセルギャップ間に液晶組成物を封入して液晶層を形成する。最後に、薄膜トランジスタ基板及び対向基板の表面に偏光板を貼り付けて、液晶パネルが完成する。

【0053】

この方法で作成した薄膜トランジスタの共通電極 801 に -40 V から 40 V の電圧を印加した際の、 $I_d - V_g$ 特性測定は図 5 と同様であった。バックゲートに -40 V ~ +40 V の電圧を印加した際のソース・ドレイン間の電流値が、バックゲート電極を設置しない場合のソース・ドレイン間の電流値の 10 倍以下になり、液晶表示装置も良好な表示特性を示した。

【0054】

以上によれば、保護絶縁膜中の蓄積電荷や配線及び画素電極の電位の影響によるバックチャネルリーキ電流を抑制できる薄膜トランジスタを提供できるため、保護絶縁膜としてポリイミドやポリジシラザンなどの塗布型の保護絶縁膜を用いたり、反射電極として用いる画素電極を薄膜トランジスタの上部に設けた高性能・高生産性アクティブマトリクス型表示装置を提供できる効果がある。

【0055】

【発明の効果】

本発明によれば、高性能・高生産性のアクティブマトリクス型表示装置を提供できる効果がある。

【図面の簡単な説明】

【図 1】本発明の一実施形態の薄膜トランジスタの断面構造図である。

【図 2】本発明の一実施形態の薄膜トランジスタにおける半導体多孔質部の断面斜視図である。

【図 3】バックゲート電極に +40 V の電圧を印加した際のソース・ドレイン間の電流値とバックゲート電極を設置しない場合の電流値との比と N/r との関係を示す図である。

10

20

30

40

50

【図4】本発明の実施のけい液晶表示装置における薄膜トランジスタの $I_d - V_g$ 特性のバックゲート電圧依存性を示す図である。

【図5】比較例の液晶表示装置における薄膜トランジスタの $I_d - V_g$ 特性のバックゲート電圧依存性を示す図である。

【図6】本発明の一実施形態の薄膜トランジスタにおける半導体多孔質部の断面斜視図である。

【図7】本発明の液晶表示装置における画素部の平面構造及び断面構造の一実施形態である。

【図8】本発明の液晶表示装置における画素部の平面構造及び断面構造の一実施形態である。

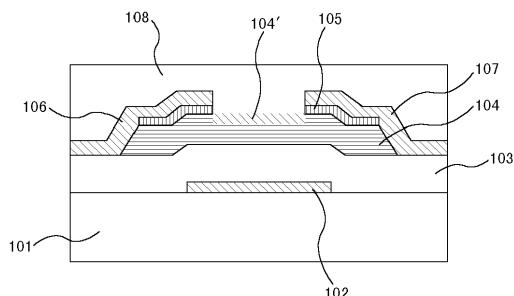
10

【符号の説明】

101...ガラス基板、102...ゲート電極、103...ゲート絶縁層、104...半導体層、
 104'...半導体層表面の多孔質部、105...コンタクト層、106...ソース電極、107...ドレイン電極、108...保護絶縁層、109...孔、701...保持容量電極、702...画素電極、703...コンタクトホール、801...共通電極。

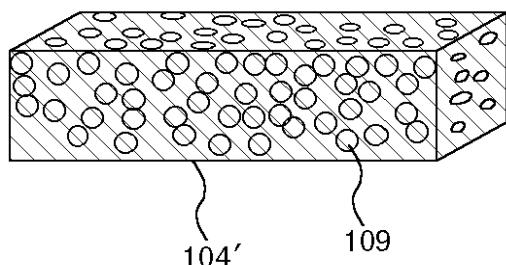
【図1】

図 1



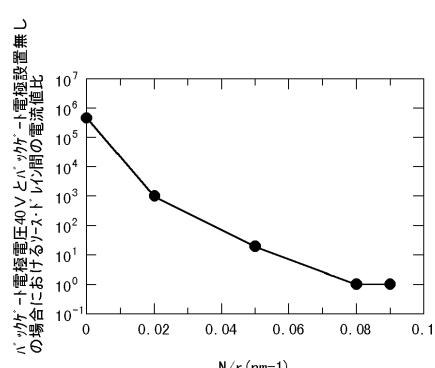
【図2】

図 2



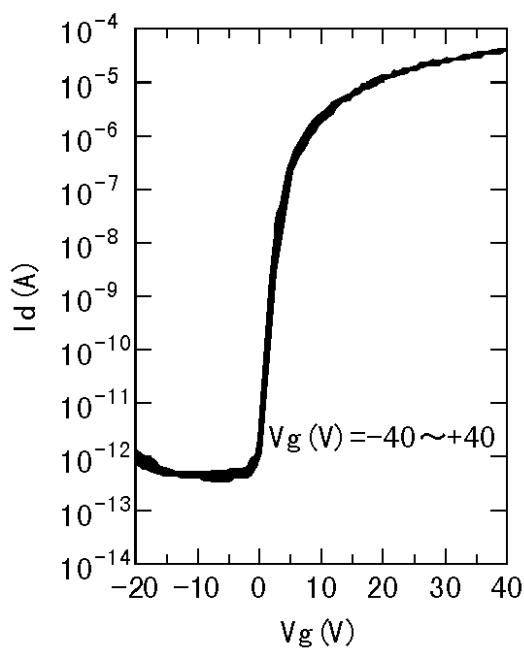
【図3】

図 3



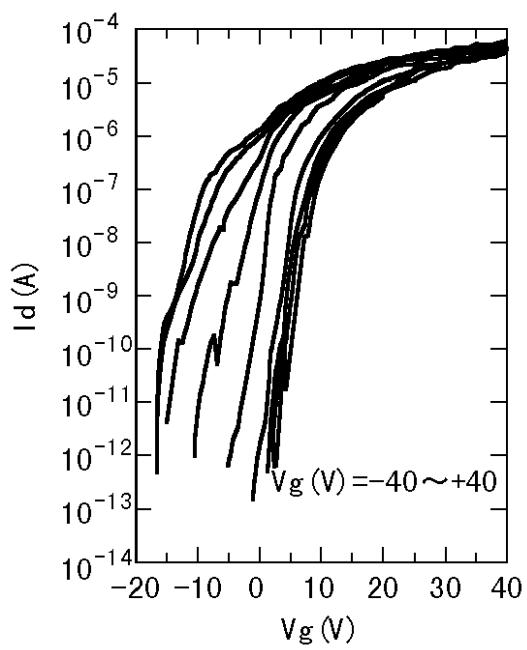
【図4】

図 4



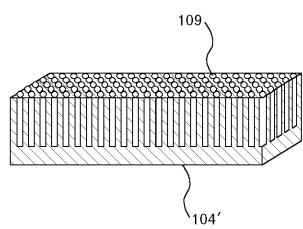
【図5】

図 5



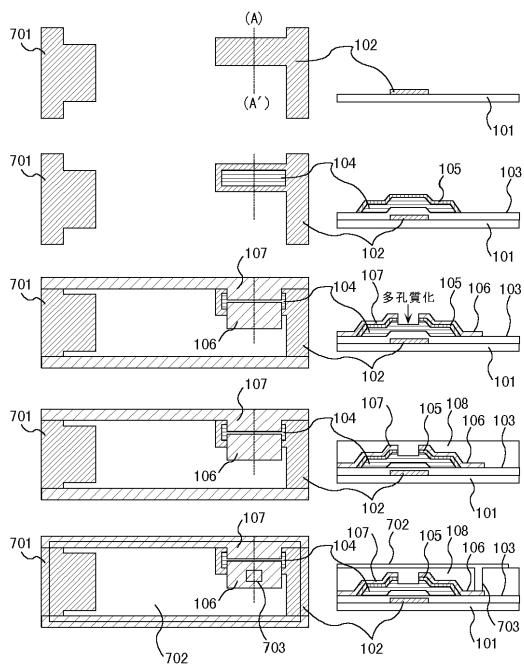
【図6】

図 6



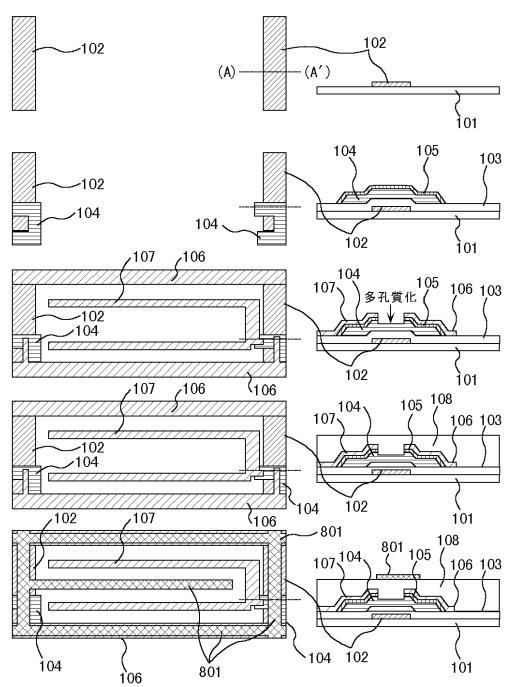
【図7】

図 7



【図8】

図 8



フロントページの続き

(72)発明者 若木 政利

茨城県日立市大みか町七丁目1番1号

株式会社 日立製作所 日立研究所内

審査官 松田 成正

(56)参考文献 特開2001-033826 (JP, A)

特開2000-307120 (JP, A)

特開平11-274514 (JP, A)

特開平07-058336 (JP, A)

特開平03-001573 (JP, A)

特開平02-043739 (JP, A)

特開平02-014577 (JP, A)

特開昭56-110247 (JP, A)

特開昭51-048982 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 29/786

H01L 29/786

H01L 21/336

G02F 1/1333 505

G02F 1/1368

H01L 21/316

专利名称(译)	有源矩阵显示		
公开(公告)号	JP3716755B2	公开(公告)日	2005-11-16
申请号	JP2001106611	申请日	2001-04-05
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
当前申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	川崎昌宏 安藤正彦 若木政利		
发明人	川崎 昌宏 安藤 正彦 若木 政利		
IPC分类号	G02F1/1333 G02F1/136 G02F1/1368 G09F9/00 G09F9/30 H01L21/316 H01L21/336 H01L29/786		
CPC分类号	H01L29/78696 G02F1/1368 G02F2001/133357 G02F2202/104 H01L29/66765 H01L29/66772 H01L29/78654 H01L29/78675		
FI分类号	H01L29/78.618.E G02F1/1333.505 G02F1/1368 H01L21/316.T H01L29/78.617.N G09F9/00.338 G09F9/00.342 G09F9/00.342.Z G09F9/30.338 G09F9/30.348.A		
F-TERM分类号	2H090/HA03 2H090/HA04 2H090/HB08X 2H090/HB12X 2H090/HD05 2H090/LA01 2H090/LA04 2H092/GA14 2H092/JA26 2H092/JA28 2H092/JB07 2H092/JB56 2H092/KB21 2H092/MA22 2H092/NA22 2H190/HA03 2H190/HA04 2H190/HB08 2H190/HB12 2H190/HD05 2H190/LA01 2H190/LA04 2H192/AA24 2H192/BB04 2H192/BC31 2H192/CB05 2H192/CB52 2H192/DA12 5C094/AA22 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA05 5C094/DA13 5C094/EA04 5C094/EA07 5C094/FB14 5C094/JA08 5F058/BA20 5F058/BC02 5F058/BF70 5F058/BJ03 5F110/AA06 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE04 5F110/EE30 5F110/EE44 5F110/FF01 5F110/FF02 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG12 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG19 5F110/GG22 5F110/GG24 5F110/GG33 5F110/GG45 5F110/GG58 5F110/GG60 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK25 5F110/HK33 5F110/HK35 5F110/HL03 5F110/HL23 5F110/HL27 5F110/NN01 5F110/NN04 5F110/NN05 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN36 5F110/NN72 5F110/QQ09 5G435/AA16 5G435/BB12 5G435/CC09 5G435/HH13 5G435/HH14 5G435/KK05 5G435/KK09 5G435/KK10		
审查员(译)	松田 成正		
其他公开文献	JP2002305306A		
外部链接	Espacenet		

摘要(译)

种类：A1即使在薄膜晶体管上设置有机保护绝缘膜和像素电极时，也能够以低截止电流稳定地工作的薄膜晶体管，以及使用该薄膜晶体管的液晶显示装置。薄膜晶体管包括在绝缘基板上的栅电极，栅极绝缘膜，半导体层，漏电极和源电极，该有源矩阵型显示装置使用薄膜晶体管作为显示部分或驱动部分中的开关元件。并且保护绝缘膜侧上的半导体层的表面是多孔的。

