

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3632678号
(P3632678)

(45) 発行日 平成17年3月23日(2005.3.23)

(24) 登録日 平成17年1月7日(2005.1.7)

(51) Int.Cl.⁷

F I

G09G 3/36
G02F 1/133
G09G 3/20
H03M 1/80G09G 3/36
G02F 1/133 550
G09G 3/20 623E
G09G 3/20 623G
G09G 3/20 623H

請求項の数 4 (全 6 頁) 最終頁に続く

(21) 出願番号 特願2002-137589 (P2002-137589)
(22) 出願日 平成14年5月13日(2002.5.13)
(62) 分割の表示 特願平4-79945の分割
原出願日 平成4年4月1日(1992.4.1)
(65) 公開番号 特開2003-44020 (P2003-44020A)
(43) 公開日 平成15年2月14日(2003.2.14)
審査請求日 平成14年6月12日(2002.6.12)(73) 特許権者 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(74) 代理人 100110179
弁理士 光田 敦
(74) 代理人 100095728
弁理士 上柳 雅普
(74) 代理人 100107076
弁理士 藤綱 英吉
(74) 代理人 100107261
弁理士 須澤 修
(72) 発明者 松枝 洋二郎
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

最終頁に続く

(54) 【発明の名称】 デコーダ回路、及び液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

2 値のデータに応じて制御される複数の第 1 のスイッチと、
前記複数の第 1 のスイッチに対応して設けられ、該対応する第 1 のスイッチの開閉に応じて出力端子に接続される複数の容量と、
前記複数の容量に対応して設けられ、共通の書込端子からの信号で開閉され電源電位との接続を制御する複数の第 2 スwitchと、を含み、
前記複数の第 2 のスイッチの全てがオン状態となり、前記電源電位と前記複数の容量とが接続され、次いで、前記第 2 のスイッチの全てをオフ状態として、前記 2 値データに応じて選択して前記複数の第 1 のスイッチをオン状態とすることにより、該オン状態の第 1 のスイッチに対応する前記容量に蓄積された電荷を電圧に変換した出力を、出力端子に与えること、
を特徴とするデコーダ回路。

【請求項2】

前記複数の容量の容量比は 2 の乗数の比となっていることを特徴とする請求項 1 記載のデコーダ回路。

【請求項3】

前記第 2 のスイッチは前記出力端子と前記容量とが接続されていない時はオン状態となっていること、
を特徴とする請求項 1 又は 2 記載のデコーダ回路。

10

20

【請求項 4】

請求項 1 乃至 3 のいずれかに記載のデコーダ回路を有するデータドライバ部と、互いに交差する信号線及び走査線を有する画素マトリクス部とを有する液晶表示装置であって、前記信号線には、前記出力端子から出力された電圧が信号として供給されること、を特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は N 個の 2 値データから 2^N 個のデータに変換するデコーダ回路に関する。特に、液晶表示装置のデータドライバの構成に関する。

10

【0002】

【従来の技術】

従来の、 N 個の 2 値データから 2^N 個のデータに変換するデコーダ回路の応用例としては、「1991 インターナショナル・ディスプレイ・リサーチ・コンファレンス、p. 111 - 114、岡田他」がある。図 2 は 3 入力から 8 出力に変換する代表的なデコーダ回路の例である。本図において DATA 1 - は DATA 1 + の反転データであり、DATA 2、DATA 3 も同様である。3 つの 2 値入力データの組合せは 8 種類あるから、デコーダ部の 8 つの AND ゲートのうちどれかひとつが選択レベルとなり、バッファ部のスイッチを ON させる。従って出力端子 VOUT には、8 つの電圧 V1 ~ V8 のいずれかが出力されることとなる。

20

【0003】

【発明が解決しようとする課題】

しかし、前述の従来技術には以下に述べるような課題がある。

【0004】

一般に、フルカラー液晶表示装置のデータドライバのように、デジタル入力で画像信号を構成する場合には、7 ビットや 8 ビットといった多階調の信号が必要になる。ところが、図 2 の方法で 8 ビット入力のデコーダを構成すると、AND ゲートの数だけでも 256 個必要となる。これでは素子数と回路面積が激増し、極めて高価な回路になってしまうほか、表示装置全体の大きさや重量も増大してしまう。

【0005】

30

本発明のデコーダ回路はこの様な課題を解決するものであり、その目的とするところは、入力ビット数が増加しても回路規模があまり増加しないデコーダ回路を実現することにある。

【0006】

【課題を解決するための手段】

本発明の第 1 のデコーダ回路は、2 値のデータに応じて制御される複数の第 1 のスイッチと、前記複数のスイッチに対応して設けられた複数の容量と、を含み、前記 2 値データに応じて前記複数の第 1 のスイッチをオン状態とすることにより、前記複数の容量に蓄積された電荷を電圧に変換した出力を、出力端子に与えること、を特徴とする。

本発明の第 2 のデコーダ回路は、2 値のデータに応じて制御される複数の第 1 のスイッチと、前記複数のスイッチに対応して設けられた複数の容量と、を含むデコーダ回路であって、前記複数の容量の容量比は 2 の乗数の比となっており、前記 2 値のデータに応じて前記複数の第 1 のスイッチをオン状態とすることにより、前記複数の容量に蓄積された電荷を電圧に変換した出力を、出力端子に与えること、を特徴とする。

40

本発明の第 3 のデコーダ回路は、2 値のデータに応じて制御される複数の第 1 のスイッチと、前記複数のスイッチに対応して設けられた複数の容量と、前記複数の容量に対応して設けられ、電源電位との接続を制御する複数の第 2 スwitch と、を含み、前記複数の第 2 のスイッチがオン状態となり、前記電源電位と前記複数の容量とが接続され、次いで、前記第 2 のスイッチをオフ状態として、前記 2 値データに応じて前記複数の第 1 のスイッチをオン状態とすることにより、前記電荷を電圧に変換した出力を出力端子に与えること、

50

を特徴としている。

上記のデコーダ回路において、前記複数の容量と前記出力端子とが接続されていない時に前記出力端子の電位を所定の電位にリセットするトランジスタをさらに含んでいることが好ましい。

上記のデコーダ回路において、前記第2のスイッチは前記出力端子と前記容量とが接続されていない時はオン状態となっていることが好ましい。

本発明の液晶装置は、上記のデコーダ回路を有するデータドライバ部と、互いに交差する信号線及び走査線を有する画素マトリクス部とを備えており、前記信号線には、前記出力端子から出力された電圧が信号として供給されることを特徴とする。

本発明のデコーダ回路の駆動方法は、2値のデータに応じて制御される複数の第1のスイッチと、前記複数のスイッチに対応して設けられた複数の容量と、前記複数の容量に対応して設けられ、電源電位との接続を制御する複数の第2スイッチと、を含むデコーダ回路の駆動方法であって、前記複数の第2のスイッチをオン状態として前記電源電位と前記複数の容量とを接続する第1のステップと、前記複数の第2のスイッチをオフ状態として、前記2値データに応じて前記複数の第1のスイッチをオン状態とすることにより、前記電荷を電圧に変換した出力を出力端子に与える第2のステップと、前記出力端子と前記複数の容量とが接続されていない時に前記出力端子の電位を所定の電位にリセットする第3のステップを、含むことを特徴としている。

上記のデコーダ回路の駆動方法において、前記第1のステップと前記第3のステップとを同時に行うことが好ましい。

【0007】

【実施例】

本実施例を以下図面に基づいて説明する。図1は本発明のデコーダ回路の回路図の例である。本図において容量C1、C2、C3の大きさをそれぞれC1、C2、C3とし、出力端子OUTに接続される負荷の容量をC0とすると、このデコーダ回路は3ビットの入力信号を0ボルトから $VDD \cdot (C1 + C2 + C3) / (C0 + C1 + C2 + C3)$ ボルトまでの間の電圧に変換することができる。もし、 $C1 = 4Cz$ 、 $C2 = 2Cz$ 、 $C3 = Cz$ であれば、0ボルトから $VDD \cdot 7Cz / (C0 + 7Cz)$ ボルトまでの8等分された電圧に変換することができる。

【0008】

次に、この回路の動作について説明する。まず、出力リセット端子RESETがハイレベルになると、出力端子OUTは0Vとなる。この時、書き込み端子SETをローレベルにしておくと、スイッチはすべてOFF状態となる。次にRESETをローレベルにし、SETをハイレベルにする。すると出力端子を0VにリセットしたトランジスタはOFF状態となり、3つのスイッチのうちDATAの+側がハイレベルで-側がローレベルのものがそれぞれON状態となる。従って3つのスイッチのONとOFFの組合せによって、8種類の電圧が出力端子OUTに与えられることになる。ここでは、3つのスイッチをアナログスイッチで構成したため、VDDを変化させると任意の出力電圧範囲を選ぶことができるが、これらのスイッチをデジタル式にすることもできる。

【0009】

図3は、本発明のデコーダ回路を液晶表示装置に応用した例である。一般に、セグメント表示以外の液晶表示装置はドットマトリクス方式を用いており、画素マトリクス部とそれを駆動するデータドライバ部及び走査ドライバ部とから成る。

【0010】

薄膜トランジスタ(以下TFTと略記)を各画素に配置したTFT方式の場合、画素マトリクス部は直交する信号線33と走査線34、及びそれらの交点に配置されるTFT31と液晶32から成る。各データドライバ出力は信号線33に、走査ドライバ出力は走査線34に接続され、選択パルスが走査線に印加されるとTFTは導通状態となり、信号線のデータを液晶に書き込む。データドライバ部は、シフトレジスタとデータラインDATA1~3、サンプリングラッチA1~3、ホールドラッチB1~3、及びデコーダ回路とか

10

20

30

40

50

ら成る。このデコーダ回路には図 1 に示すものを用いる。

【 0 0 1 1 】

次に、このデータドライバ部の動作について説明する。シフトレジスタは内部のクロックに同期して、スタートパルス S P を一段ずつ後段へとシフトさせる。サンプリングラッチ A 1、A 2、A 3 は、それぞれデータライン D A T A 1、D A T A 2、D A T A 3 の 2 値データを、シフトレジスタの出力と同期して取り込む。すべてのサンプリングが終了した後、ラッチパルス L P によって、サンプリングラッチ A 1、A 2、A 3 のデータがそれぞれホールドラッチ B 1、B 2、B 3 に転送される。デコーダ部は、ホールドラッチ B 1、B 2、B 3 のデータとその反転データに基づいて前述のように容量に蓄積された電荷を信号線に放電する。一般に、液晶表示装置の信号線の配線容量のばらつきは極めて小さいため、この方法によって正確な階調表示が可能となる。

10

【 0 0 1 2 】

本図では、薄膜トランジスタ（以下 T F T と略記）を各画素に配置した T F T 方式の画素マトリクスを示したが、T F T の代わりに薄膜ダイオードなど非線形素子を用いたものや、スイッチング素子を用いない単純マトリクス方式の液晶表示装置にも適用できる。また、多結晶シリコン等の比較的移動度の高い T F T を用いた液晶表示装置の場合には、T F T によって同一基板上に走査ドライバとデータドライバを作製することも可能である。特に、T F T においては半導体基板上のトランジスタに比べて特性のばらつきが大きく、アナログバッファ回路を用いたアナログ線順次データドライバを構成するのが極めて困難なため、本発明のように簡単な回路構成で多ビットのデジタル線順次データドライバを構成

20

【 0 0 1 3 】

【発明の効果】

以上述べたように本発明のデコーダ回路は、入力信号のビット数が増加しても回路規模があまり増加しないため、多ビットのデコーダを小さな面積で低コストで実現できる。特に、液晶表示装置のデータドライバにおいては、完全にデジタル信号だけでインタフェースができるため、コンピュータ用や航空機用のディスプレイにおいては外部回路の規模も減少し、ノイズの影響も受けにくくなり、画面の均一性が向上する。また、T F T を用いたデジタル線順次データドライバも簡単に構成できるため、超小型で信頼性の高い液晶表示装置を実現できる。

30

【図面の簡単な説明】

【図 1】デコーダの等価回路図。

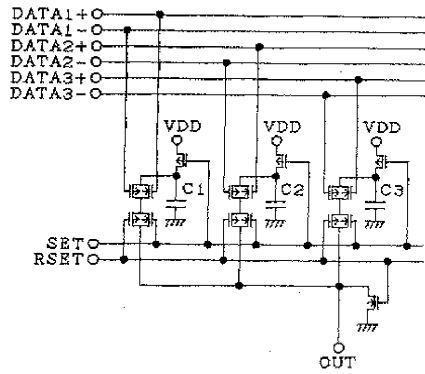
【図 2】従来のデコーダの等価回路図。

【図 3】液晶表示装置の等価回路図。

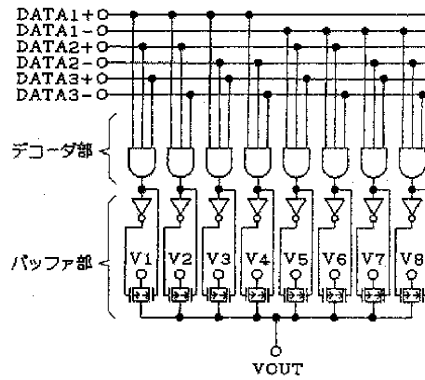
【符号の説明】

- 3 1 T F T
- 3 2 液晶
- 3 3 信号線
- 3 4 走査線

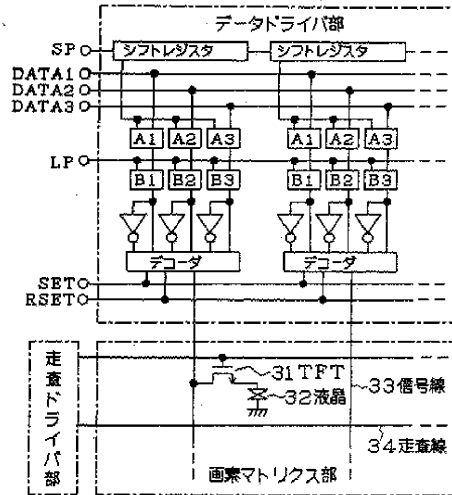
【図 1】



【図 2】



【図 3】



フロントページの続き

(51) Int.Cl.⁷

F I

H 0 3 M 1/80

審査官 鈴野 幹夫

(56)参考文献 特開平 0 3 - 1 9 0 4 2 9 (J P , A)

特開平 0 4 - 0 0 3 5 2 2 (J P , A)

特開昭 6 3 - 2 8 4 9 2 8 (J P , A)

特許第 3 3 3 1 6 1 7 (J P , B 2)

(58)調査した分野(Int.Cl.⁷, D B 名)

G09G 3/36

G02F 1/133 550

G09G 3/20 623

H03M 1/80

专利名称(译)	解码器电路和液晶显示器件		
公开(公告)号	JP3632678B2	公开(公告)日	2005-03-23
申请号	JP2002137589	申请日	2002-05-13
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
当前申请(专利权)人(译)	精工爱普生公司		
[标]发明人	松枝洋二郎		
发明人	松枝 洋二郎		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 H03M1/80		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.623.E G09G3/20.623.G G09G3/20.623.H H03M1/80		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC16 2H093/NC22 2H093/NC26 2H093/NC34 2H093/ND49 2H193/ZA04 5C006/AA22 5C006/BB12 5C006/BB16 5C006/BC12 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF24 5C006/BF26 5C006/BF37 5C006/FA43 5C006/FA56 5C006/GA03 5C080/AA10 5C080/BB05 5C080/DD22 5C080/EE28 5C080/FF09 5C080/GG11 5C080/JJ02 5C080/JJ03 5J022/AB04 5J022/BA06 5J022/CD03 5J022/CF09 5J022/CG04		
代理人(译)	须泽 修		
其他公开文献	JP2003044020A		
外部链接	Espacenet		

摘要(译)

要解决的问题：在用于液晶显示装置的数据驱动器等的解码器中，为了实现即使数据位数增加也没有在电路规模上大幅增加的解码器。解决方案：当N个二进制数据转换为2N个数据时，存储在N个电容比为1,2,4,8, ..., 2 (N-1) 的电容器中的电荷为根据N个二进制数据有选择地输出。由于存在2N个可能的电容器选择组合，并且存储在所选电容器中的电荷总量也有2N种可能的组合，N个二进制数据可以转换为2N个数据。

【 図 3 】

