

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3606830号
(P3606830)

(45) 発行日 平成17年1月5日(2005.1.5)

(24) 登録日 平成16年10月15日(2004.10.15)

(51) Int. Cl.⁷

F I

G02F 1/133
G09G 3/36

G02F 1/133 560
G02F 1/133 545
G02F 1/133 570
G02F 1/133 575
G09G 3/36

請求項の数 6 (全 21 頁)

(21) 出願番号	特願2001-337438 (P2001-337438)	(73) 特許権者	599070411 株式会社ジーニック
(22) 出願日	平成13年11月2日(2001.11.2)		滋賀県大津市大萱1丁目17番14号 松
(65) 公開番号	特開2003-140114 (P2003-140114A)		政ビル6階
(43) 公開日	平成15年5月14日(2003.5.14)	(73) 特許権者	592196282
審査請求日	平成14年4月22日(2002.4.22)		ナノックス株式会社
			福島県福島市岡島字長岬6-7
		(74) 代理人	100086645
			弁理士 岩佐 義幸
		(72) 発明者	岡藤 雅晴
			滋賀県大津市大萱1丁目17番14号 松
			政ビル6階 株式会社ジーニック内
		(72) 発明者	仁村 孝治
			滋賀県大津市大萱1丁目17番14号 松
			政ビル6階 株式会社ジーニック内
			最終頁に続く

(54) 【発明の名称】 コレステリック液晶ディスプレイ用ドライバ

(57) 【特許請求の範囲】

【請求項1】

双安定カイラルネマティック液晶を利用したパッシブマトリックス液晶パネルを駆動するドライバであって、

入力された行データまたは列データをシフトクロックでシフトするシフトレジスタと、

前記シフトレジスタのデータをラッチパルスでラッチするデータラッチと、

前記データラッチによりラッチされた前記行データまたは列データと、交流化信号とにより、複数の駆動電源を選択し、前記液晶パネルの画素を駆動する交流化された駆動電圧を形成するための行駆動電圧または列駆動電圧を出力する駆動電圧選択回路と、

マスクレジスタとを備え、

前記駆動電圧選択回路は、前記データラッチによりラッチされた前記行データまたは列データと、前記交流化信号とにより、前記複数の駆動電源を選択する選択信号を発生する選択回路と、前記選択回路により発生された選択信号により選択された前記駆動電源により、行駆動電圧または列駆動電圧を出力する電圧出力回路とを有し、

前記選択信号を発生する選択回路に、行/列モード信号を入力して行モードまたは列モードに設定し、設定された行モードまたは列モードでドライバを使用可能とし、

前記マスクレジスタは、ドライバを行モードで使用する場合に書き込んで、前記液晶パネルの書き換えが不必要な領域に対応するラッチされた行データをマスクすることにより、前記液晶パネルの部分書き換えを可能とした、ドライバ。

【請求項2】

前記選択信号を発生する選択回路は、コンベンショナル/ダイナミックモード信号を入力して前記双安定カイラルネマティック液晶の液晶構造の遷移を一連のステージで制御するダイナミック駆動と、前記双安定カイラルネマティック液晶の液晶構造の遷移を1つのステージで制御するコンベンショナル駆動とを選択できる機能をさらに有する、請求項1に記載のドライバ。

【請求項3】

ドライバを行モードで使用する場合に、偶数行と奇数行とに分けて行駆動電圧を出力し、高速書き換えをインタレースで行う機能を有する、請求項1または2に記載のドライバ。

【請求項4】

請求項1, 2, または3に記載のドライバを備える液晶表示装置。

10

【請求項5】

電子ブックである請求項4に記載の液晶表示装置。

【請求項6】

広告用の長方形表示画面を有する請求項4に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、双安定性カイラルネマティック（コレステリック）液晶パネルを駆動するドライバに関する。

【0002】

20

【従来の技術】

現在の液晶ディスプレイ（LCD）の代表的なものとして、STN（super twisted nematic）LCDおよびTFT（thin film transistor）LCDがある。

【0003】

STNLCDは、比較的安価であるが、駆動ライン数は、約500本が限界である。また、TFTLCDは、製造費用が高価である。したがって、いずれのLCDにおいても、大きなディスプレイを作製できないという問題がある。一方、双安定性カイラルネマティックLCDは、表示を変えると時のみ、書き換えおよびリフレッシュを行い、一度書き込むと、そのメモリ性により表示が残るので、駆動ライン数に制限がない。しかし、書き換えに時間がかかるという問題がある。

30

【0004】

現状のカイラルネマティックLCDは、1000ラインの書き換えに10秒以上を要する。しかし、電子ブックのようなページサイズアプリケーションは、1ページ書き換えに1秒以下を要求している。これは、手でページをめくるために必要な時間に適合させるためである。

【0005】

このような要求に答えるものとして、米国特許第5,748,277号「DYNAMIC DRIVE METHOD AND APPARATUS FOR A BISTABLE LIQUID CRYSTAL DISPLAY」は、双安定性カイラルネマティック液晶を利用したパッシブマトリックスLCDの1秒以下の表示書き換え方法を開示している。この方法は、液晶構造の遷移を制御する一連のステージによるダイナミック駆動方法およびパイプライン方法により、表示書き換え速度のスピードアップを図っている。このような高速書き換えの故に、1000ライン/秒より大きなアドレス速度を有するパッシブマトリックス駆動方式（単純マトリックス駆動方式）で、双安定カイラルネマティック液晶を使用することを可能にしている。

40

【0006】

図1は、上記米国特許公報に記載の電子ブック10を、示す。図中、12は表示部、14はページ選択スイッチ、16は情報を保持するためのメモリカードまたはフロッピー（登録商標）ディスクである。

50

【0007】

また、図2は、上記米国特許公報に記載のパッシブマトリクス駆動方式の液晶パネル構造を示す図である。図中、20、22はガラス基板、24は行(Row)電極、26は列(Column)電極を示している。これら2枚のガラス基板の間には、双安定性カイラルネマティック液晶が封入されている。

【0008】

対向する行電極と列電極とにより画素領域28が形成され、電極は画素を選択的に起動する。このような起動は、異なる電界状態に応じて種々の液晶構造を生じさせる。高電界では、ホメオトロピック構造をとる。ツイステッドプレーナ構造およびフォーカルコニック構造は、電界がなくても安定している。過渡ツイステッド構造は、ホメオトロピック構造に維持するために印加された電界が急激に減少または除去されたときに生ずる。この状態は、ツイステッドプレーナ構造またはフォーカルコニック構造のいずれかへの過渡的なものである。ツイステッドプレーナ状態は、材料のピッチ長に応じて可視スペクトル内の光を反射し、白の表示が可能になる。ホメオトロピック状態およびフォーカルコニック状態では、弱い散乱または透明になる。したがって、画素の後面が黒色に塗装されていれば、観察者には、ホメオトロピック状態およびフォーカルコニック状態では、黒く見える。

10

【0009】

また、選択反射色を赤、緑、青に設定した表示層を積層することによって、カラー表示が可能になる。

【0010】

さらには、コレステリック液晶は、印加電圧および/または印加時間を選定することにより、グレースケール特性を有するので階調表示も可能である。

20

【0011】

ダイナミック駆動方法では、表示プロセスのリフレッシュまたは更新の際に、カイラルネマティック液晶表示要素は、それらの遷移を制御する一連のステージで起動される。これらステージには、3つのアクティブ・ステージ(active stage)と、1つのノンアクティブ・ステージ(non-active stage)とがある。3つのアクティブ・ステージは、準備ステージ(preparation stage)、選択ステージ(selection stage)、進展ステージ(evolution stage)である。ノンアクティブ・ステージは、準備ステージの前および進展ステージの後に存在する。準備ステージの前のノンアクティブ・ステージは、液晶構造を変化させないステージである。

30

【0012】

準備ステージは、液晶構造をホメオトロピック状態にするステージである。

【0013】

選択ステージは、ホメオトロピック状態を維持するか、過渡ツイステッドプレーナ状態へ転化するかを選択するステージである。

【0014】

進展ステージは、過渡ツイステッドプレーナ状態に転化するように選択ステージの間に選択された液晶を、フォーカルコニック状態に進展させ、ホメオトロピック状態に留まるように選択ステージで選択された液晶は、ホメオトロピック状態のままに維持するステージである。

40

【0015】

最後のノンアクティブ・ステージは、フォーカルコニック状態はそのままの状態に留め、ホメオトロピック状態は、安定な光反射ツイステッドプレーナ状態に転化させるステージである。

【0016】

以上は、3つのアクティブ・ステージを含むので3ステージ法というものとする。

【0017】

準備ステージの後に、液晶構造を過渡ツイステッドプレーナ状態へ弛緩するのを許容する

50

前選択ステージ (Pre-Selection stage) を追加して、4 ステージ法とすることもできる。このような前選択ステージを付加することによって、駆動速度が増大する。

【0018】

以上の一連のステージによる駆動では、画素の最終的な液晶構造を決定するのは選択ステージで電極に印加される電圧であり、その他の各ステージでは、印加電圧は同じである。したがって全ての画素が、同一のノンアクティブ電圧、同一の前準備電圧、同一の準備電圧、同一の進展電圧を必要とすることから、パイプラインアルゴリズムを採用することにより、ノンアクティブ・ステージ、前準備ステージ、準備ステージ、進展ステージの間において、時間を共有することができる。したがって、複数のラインを、ノンアクティブ電圧、前準備電圧、準備電圧、進展電圧により同時にアドレスすることができる。

10

【0019】

また、上記米国特許では、印加電圧は変動するバイポーラ (双極) の矩形波電圧を用いているが、印加電圧の値および印加時間を選ぶことにより変動するユニポーラ (単極) 矩形波電圧を用いることができることが知られている。このようなユニポーラの矩形波電圧を用いることによって、ドライバの電圧スイング幅を減少でき、さらにはドライバのコストを下げることもできる。印加電圧がバイポーラ駆動電圧あるいはユニポーラ駆動電圧であるとうと、画素に印加される電圧、すなわち列電極への印加電圧と行電極への印加電圧との差電圧は、バイポーラの矩形波電圧となる。本明細書では、このような画素への印加電圧を、交流化された電圧というものとする。このような交流化された電圧を用いる理由は、液晶に溶けこんだ不純物の影響を軽減し、長寿命化を達成するためである。

20

【0020】

【発明が解決しようとする課題】

本発明の目的は、上述のようなパッシブマトリクス駆動方式のコレステリック液晶ディスプレイをダイナミック駆動するのに適したドライバを提供することにある。

【0021】

本発明の他の目的は、行ドライバと列ドライバの共有化を図ることのできるドライバを提供することにある。

【0022】

本発明のさらに他の目的は、液晶構造の状態を1つのステージで変更する従来の駆動方法 (以下、コンベンショナル動作という) をも含み、この従来の駆動方法とダイナミック駆動方法とを切り替えることを可能にしたドライバを提供することにある。

30

【0023】

本発明のさらに他の目的は、部分書き換え機能を備えるドライバを提供することにある。

【0024】

本発明のさらに他の目的は、高速書き換えをインタレースで行う機能を有するドライバを提供することにある。

【0028】

【課題を解決するための手段】

本発明は、双安定カイラルネマティック液晶を利用したパッシブマトリクス液晶パネルを駆動するドライバであって、入力された行データまたは列データをシフトクロックでシフトするシフトレジスタと、シフトレジスタのデータをラッチパルスでラッチするデータラッチと、データラッチによりラッチされた行データまたは列データと、交流化信号とにより、複数の駆動電源を選択し、液晶パネルの画素を駆動する交流化された駆動電圧を形成するための行駆動電圧または列駆動電圧を出力する駆動電圧選択回路とを備えている。

40

【0029】

駆動電圧選択回路は、データラッチによりラッチされた行データまたは列データと、交流化信号とにより、複数の駆動電源を選択する選択信号を発生する選択回路と、選択回路により発生された選択信号により選択された駆動電源により、行駆動電圧または列駆動電圧を出力する電圧出力回路とを有している。

50

【0030】

選択信号を発生する選択回路は、コンベンショナル/ダイナミックモード信号を入力して双安定カイラルネマティック液晶の液晶構造の遷移を一連のステージで制御するダイナミック駆動と、双安定カイラルネマティック液晶の液晶構造の遷移を1つのステージで制御するコンベンショナル駆動とを選択できる機能を有している。

【0031】

また、本発明のドライバは、マスクレジスタをさらに備え、ドライバを行モードで使用する場合には書き込んで、液晶パネルの書き換えが不必要な領域に対応するラッチされた行データをマスクすることにより、液晶パネルの部分書き換えを可能とする。

【0032】

また、ドライバを行モードで使用する場合に、偶数行と奇数行とに分けて行駆動電圧を出力し、高速書き換えをインタレースで行う機能を有することができる。

10

【0033】

さらに本発明によれば、上記のドライバを用いて、双安定カイラルネマティック液晶の液晶構造の遷移を一連のステージで制御するダイナミック駆動およびパイプライン駆動を行い、液晶パネルの書き換えを高速で行うことを可能にできる。

【0034】

また、本発明によれば、行モードに設定された2個以上のドライバを設け、および列モードに設定された2個以上のドライバを設け、行モードに設定された2個以上のドライバに、行データを同時に供給し、列モードに設定された2個以上のドライバに、列データを同

20

【0035】

また、液晶パネルの行電極の静電容量および列電極の静電容量の違いにより、行駆動電圧および列駆動電圧の立ち上がり、立ち下がりに差が生じる場合に、交流化信号を調整することよりその差を小さくすることができる。

【0036】

さらに、行モードに設定されたドライバを設け、および列モードに設定されたドライバを設け、ドライバへの行データおよび列データを、誤差拡散法を用いて作成し、作成された行データを行モードに設定されたドライバに供給し、作成された列データを列モードに設定されたドライバに供給して、多階調表示を行うことができる。

30

【0037】

【発明の実施の形態】

画素の液晶の最終構造を決定するのは、選択ステージの間に供給される電圧であり、電圧は行電極と列電極に印加された駆動電圧の差により決まる。行電極には、選択ステージの間のみ異なる駆動電圧が供給され、列電極には、同一波形の駆動電圧が供給される。したがって、行電極を駆動する行ドライバも、列電極を駆動する列ドライバも、駆動電圧を供給するという点において共通しているので、行ドライバおよび列ドライバは共用できる構造とする。

【0038】

図3は、コレステリック液晶を駆動する本発明のドライバの構成を示すブロック図である。このドライバ30は、行ドライバおよび列ドライバに共用することのできるドライバである。行/列モード信号により、行ドライバ/列ドライバとして動作する。

40

【0039】

このドライバ30は、マスクレジスタ32と、シフトレジスタ34(3bit×110)と、データラッチ36(3bit×110)と、液晶パネル(CHLCD)電圧選択回路38とから構成される。このドライバは、CPU(図示せず)により制御される。

【0040】

図4は、電圧選択回路38における1出力分の構成を示す。1出力分の構成は、選択回路40と電圧出力回路42とからなる。

【0041】

50

ドライバ30に供給される各信号について説明する。

【0042】

チップセレクト信号(CSb) :

CPUがドライバを選択するための選択信号である。"0"は選択を、"1"は非選択である。この信号とデータクロック(CLK)およびデータバス信号(DAT)により、ドライバ内部のレジスタにアクセスすることができる。

【0043】

データバス信号(DAT) :

ドライバ内のレジスタを読み書きするための信号である。CLKの立ち上がり同期して動作する。

10

【0044】

データクロック(CLK) :

この信号とチップセレクト信号CSbおよびデータバス信号DATにより、ドライバ内のレジスタを読み書きできる。

【0045】

リセット信号(RESETb) :

ドライバを初期化するための信号である。"0"で初期化される。

【0046】

液晶パネル駆動電源(V7-V0) :

液晶パネルを駆動するための電源であり、液晶パネル電圧選択回路38の電圧出力に接続される。

20

【0047】

例えば、行ドライバの場合、電源V7の出力電圧は40.0V、電源V6の出力電圧は36.0V、電源V5の出力電圧は32.0V、電源V4の出力電圧は25.5V、電源V3の出力電圧は14.5V、電源V2の出力電圧は8.0V、電源V1の出力電圧は4.0V、電源V0の出力電圧は0Vである。

【0048】

列ドライバの場合、電源V5の出力電圧は40.0V、電源V4の出力電圧は36.0V、電源V3の出力電圧は32.0V、電源V2の出力電圧は28.0V、電源V1の出力電圧は8.0V、電源V0の出力電圧は0Vである。

30

【0049】

どの電源が選択されるかは、選択回路40からの選択信号SEL(2-0)により定まる。

【0050】

交流化信号(M3-M0) :

液晶パネルの画素を駆動する電圧の交流化を制御するための信号であり、電圧選択回路38の選択回路40に供給される。

【0051】

液晶パネル表示イネーブル信号(DSP) :

この信号により、非同期に通常表示または表示禁止が決定される。"0"は表示禁止(駆動電源をV0に固定)を、"1"は通常表示を示す。この信号は、電圧選択回路38の選択回路40に供給される。

40

【0052】

方向選択信号(DIR) :

ステージおよび表示データの入出力を切り替える。また、表示データの転送方向も切り替える。

【0053】

行/列モード信号(Row/Column) :

この信号が"1"の場合、ドライバは行動作をする。"0"の場合、ドライバは列動作をする。この信号は、電圧選択回路38の選択回路40に供給される。

50

【 0 0 5 4 】

コンベンショナル/ダイナミック信号 (C V D / D D S) :

この信号が " 1 " の場合、ドライバはコンベンショナル動作をする。" 0 " の場合、ドライバはダイナミック動作をする。この信号は、電圧選択回路 3 8 の選択回路 4 0 に供給される。

【 0 0 5 5 】

3 ステージ / 4 ステージ信号 (3 / 4 S T G) :

この信号が " 1 " の場合、ドライバは 3 ステージ動作をする。" 0 " の場合、4 ステージ動作をする。この信号は、電圧選択回路 3 8 の選択回路 4 0 に供給される。

【 0 0 5 6 】

表示データ 0 (D 0 (2 - 0)) および表示データ 1 (D 1 (2 - 0)) :

シフトレジスタ 3 4 への入出力表示データである。列ドライバの場合は、階調駆動用のデータ入力として使用される。方向選択信号 D I R により、入出力の方向が切り替わる。

【 0 0 5 7 】

表 1 に、方向選択信号 D I R による入出力の切り替えを示す。

【 0 0 5 8 】

【 表 1 】

D I R	D 0 (2 - 0)	D 1 (2 - 0)
1	入力	出力
0	出力	入力

【 0 0 5 9 】

入力として設定された表示データ (D i) は、シフトクロック S C P の立ち上がりで、シフトレジスタ 3 4 に取り込まれる。出力として設定された表示データ (D o) からは、シフトレジスタ 3 4 の最終段の表示データ D i が出力される。表示データ D o は、次段のドライバの表示データ D i に接続される。

【 0 0 6 0 】

シフトクロック (S C P) :

この信号の立ち上がりで、表示データ D i をシフトレジスタ 3 4 に取り込む。

【 0 0 6 1 】

ラッチパルス (L P) :

この信号の立ち上がりで、シフトレジスタ 3 4 に取り込まれた表示データ D i をラッチする。このラッチパルスは、データラッチ 3 6 に供給される。

【 0 0 6 2 】

表示出力 (G (1 0 9 - 0)) :

ラッチパルス L P でラッチされた表示データ D i 、表示制御信号 (M (3 - 0) , D S P) およびマスクレジスタ 3 2 によって決定される出力電圧であり、液晶パネルに供給する。

【 0 0 6 3 】

次にドライバ 3 0 の各構成要素について説明する。

【 0 0 6 4 】

マスクレジスタ 3 2 :

マスクレジスタは、1 1 0 ビットあり、電圧選択回路 3 8 の対応する出力電圧を制御するレジスタであって、ドライバを行モードで使用する場合にのみ、書き込む。

【 0 0 6 5 】

表 2 に、マスクレジスタ記号 M k (1 0 9 - 0) と駆動出力 G (1 0 9 - 0) との対応を示す。

【 0 0 6 6 】

【 表 2 】

10

20

30

40

50

マスクレジスタ記号	ビット	出力電圧端子記号	リセット時の値
MK0	0	G0	1
MK109	109	G109	1

【0067】

ビットが"0"にセットされた場合、ラッチデータ(LTn2, LTn1, LTn0)をすべてマスク("0"として)して、出力電圧を選択する。このビットが"1"にセットされた場合、ラッチデータに影響を与えない。

10

【0068】

シフトレジスタ34:

3ビット×110の幅を有し、入力された表示データ(Di2, Di1, Di0)を、シフトクロックSCPの立ち上がりでシフトする。データのシフト方向は、方向選択信号DIRによって決められる。

【0069】

D1, D0の入出力および、シフトレジスタの転送方向を表3, 4に示す。

【0070】

【表3】

DIR	D0(2-0)	D1(2-0)
1	入力	出力
0	出力	入力

20

【0071】

【表4】

DIR	転送方向
1	(D0 → G0) → (G109 → D1)
0	(D1 → G109) → (G0 → D0)

30

【0072】

データラッチ36:

3ビット×110の幅を有し、シフトレジスタのデータをラッチパルスLPの立ち上がりでラッチする。

【0073】

電圧選択回路38:

この回路は、モード設定(Row/Column, CVD/DDS, 3/4STG)、ラッチされたデータLTn(2-0)、交流化信号M(3-0)、表示イネーブル信号DSP、マスクデータMK(109-0)により、液晶パネルに対する駆動電源V(7-0)を選択するための選択信号SEL(2-0)を形成する選択回路40と、この選択回路からの選択信号により、駆動電圧を出力する電圧出力回路42とで構成される。電圧出力回路42は、110本の出力電圧端子G(109-0)を有している。

40

【0074】

選択回路40から電圧出力回路42に出力される信号は、SEL0, SEL1およびSEL2の3ビットである。表5に、この3ビットと出力電圧の関係を示す。

【0075】

【表5】

50

SEL			OUTPUT
SEL2	SEL1	SEL0	出力電圧
0	0	0	V0
0	0	1	V1
0	1	0	V2
0	1	1	V3
1	0	0	V4
1	0	1	V5
1	1	0	V6
1	1	1	V7

10

【0076】

以上のような構成のドライバを、行ドライバとして用いる場合には、入力された3ビットデータをステージとして認識する。これにより、8個の駆動電圧V(7-0)から1つの電圧を選択して出力端子に出力する。

【0077】

また列ドライバとして用いる場合には、入力された2ビットまたは3ビットデータを階調として認識する。これにより、8個の駆動電圧V(7-0)から1つの電圧を選択して出力端子に出力する。

20

【0078】

前述したように、1本の出力につき、ステージをマスクするための110ビットのマスクレジスタ32を内蔵している。このレジスタ値に'0'が設定されると、非表示の電圧を出力することが可能となる。

【0079】

図5は、2階調表示の場合の3ステージ・ダイナミック駆動の場合の行駆動電圧および列駆動電圧の波形の一例を示す。行ドライバにより、行電極に、図示のようなユニポーラ駆動電圧が印加されて、ノンアクティブ・ステージ 準備ステージ 選択ステージ 進展ステージ ノンアクティブ・ステージの順にダイナミック駆動され、行電極が選択ステージにあるときに、列ドライバから列電極にユニポーラ列駆動電圧が印加される。この列駆動電圧の種類により、画素の液晶の最終的な構造(フォーカルコニックまたはプレーナ)が決まる。図5のColumn(OFF)の列駆動電圧により液晶はフォーカルコニックになり、Column(ON)の列駆動電圧により液晶はプレーナになる。

30

【0080】

図6は、行電極を3ステージ・ダイナミック駆動する場合の、ある時点での液晶パネル上の行電極上におけるステージの展開状態を示す。前述したように、ダイナミック駆動は、パイプライン駆動方式を採用できるので、ノンアクティブ・ステージ、準備ステージ、進展ステージは同時に複数行を駆動することができる。選択ステージに駆動できるのは1行のみである。

40

【0081】

以上は、3ステージ・ダイナミック駆動について説明したが、速い駆動速度が要求される場合には、4ステージ・ダイナミック駆動を選択することができる。

【0082】

図7は、2階調表示の場合のコンベンショナル駆動の場合の行駆動電圧および列駆動電圧の波形の一例を示す。行電極Row(2)への駆動電圧、列電極Column(0)への駆動電圧、Row(2)への駆動電圧とColumn(0)への駆動電圧との差、列電極Column(1)への駆動電圧、Row(2)への駆動電圧とColumn(1)への駆動電圧との差を、それぞれ示している。列駆動電圧と行駆動電圧との差は、交流化され

50

た電圧となっていることがわかる。

【0083】

前述したように、コンベンショナル駆動は、液晶構造の状態を1つのステージで変更する従来の駆動方法であり、ダイナミック駆動に比べ駆動速度は遅い。

【0084】

図7から分かるように、行電極が表示ステージにあるときに、列電極に駆動電圧(V1, V2)が印加されると、液晶構造はフォーカルコニック状態になり、列電極に駆動電圧(V0, V4)が印加されると、液晶構造はプレーナ状態になる。なお図7において、非表示のステージは、表示状態を維持するステージである。

【0085】

以上説明したように、駆動方法は、4ステージ・ダイナミック駆動, 3ステージ・ダイナミック駆動, コンベンショナル駆動を選択できるが、使用時の周囲温度によって、適切な駆動法を選ぶことができる。

【0086】

以上の例では、2階調表示について説明したが、選択ステージの際に印加する電圧の値および/または印加時間を選定することによって、液晶構造を透明状態と反射状態との中間状態をさらに選択することによって、4階調表示を行うことも可能である。

【0087】

次に、110ビット・マスクレジスタ32を使用したディスプレイの部分書き換えについて説明する。コレステリック液晶はメモリ性を有するので、ディスプレイの画面を書き換える場合に、書き換える必要のある部分のみを選択的に書き換える「部分書き換え」方式を採用することにより高速書き換えが可能となる。

【0088】

図8は、電子ブックの表示部12において、画面書き換えの際の部分書き換え領域8を示す。このような領域のみ書き換えを行うためには、部分書き換えの不必要な領域に対応するラッチデータLTn(2-0)をマスクするために、行ドライバ内の110ビット・マスクレジスタ32の対応ビットを"0"にし、部分書き換えの必要な領域に対応するラッチデータに影響させないようにするために、マスクレジスタ32の対応ビットを"1"にする。その結果、部分書き込み領域8のみの書き換えを行うことができる。

【0089】

次に、インタレースを用いて高速書き換えを行う方法について説明する。まず、3ステージ・ダイナミック駆動と4ステージ・ダイナミック駆動について詳しく説明する。3ステージ・ダイナミック駆動と4ステージ・ダイナミック駆動における各ステージの具体的な時間は、次のようになっている。

【0090】

【表6】

ステージ	3ステージダイナミック駆動 (ms)	4ステージダイナミック駆動 (ms)
Preparation	20	20
Pre-Selection	—	0.2
Selection	1	0.4
Evolution	20	20

【0091】

なお、ノンアクティブは各行に対して時間が異なるため、表には示していない。

【0092】

パイプライン駆動方式でドライバを動作させる場合、持続時間の1番短いものを1つの単位としてパイプライン処理しなければならない。したがって、3ステージ・ダイナミック

10

20

30

40

50

駆動では、1 m s (選択)、4 ステージ・ダイナミック駆動では、0.2 m s (前選択) がパイプラインの単位となる。これを図9および図10に示す。

【0093】

図9の3ステージ・ダイナミック駆動では、各行の選択ステージは、時間が重ならない。したがって、選択ステージの間に出力すべき列側のデータを定めることができる。

【0094】

しかし、図10の4ステージ・ダイナミック駆動におけるステージでは、行0と行1および行1と行2の選択ステージが重なってしまう時間がある。これは、この時間に出力すべき列側のデータが決定できないことを意味する。

【0095】

このような問題は、テレビジョンの走査技術におけるインタレース(飛越走査)方式のように、行を偶数行と奇数行に分けて走査することにより解決できる。すなわち、偶数行を表示する場合は、奇数行をノンアクティブに固定し、奇数行を表示する場合には、偶数行をノンアクティブに固定する。

【0096】

以上のようにして、偶数行または奇数行の表示時に、異なる行間で、選択ステージが同一時間に発生することはなくなる。

【0097】

以上のようなインタレース方式を採用することによって、4ステージ・ダイナミック駆動における1画面の書き換え時間は、次のようになる。簡単のために最初と最後のノンアクティブ・ステージは、0 m sとして計算する。

【0098】

$$\{ (\text{準備ステージ期間}) + (\text{前選択ステージ期間}) + (\text{選択ステージ}) \times (\text{行数}) \div 2 + (\text{進展ステージ期間}) \} \times 2 = \{ 20 \text{ m s} + 0.2 \text{ m s} + 0.4 \text{ m s} \times (\text{行数}) \div 2 + 20 \text{ m s} \} \times 2$$

比較のために、インタレースを行う必要のない3ステージ・ダイナミック駆動の場合の1画面の書き換え時間を計算すると、次のようになる。

【0099】

$$(\text{準備ステージ期間}) + (\text{選択ステージ}) \times (\text{行数}) + (\text{進展ステージ期間}) = 20 \text{ m s} + 1 \text{ m s} \times (\text{行数}) + 20 \text{ m s}$$

これより、行数が67以上であれば、1画面書き換える時間は、3ステージ・ダイナミック駆動より4ステージ・ダイナミック駆動の方が高速になることがわかる。

【0100】

次に、デュアル駆動方法について説明する。

【0101】

コレステリック液晶用で、ダイナミック駆動4階調に対応した前述のドライバを用いて8階調の表示を行う場合に、表示画面の大きさに制約が発生することがある。具体的には、ラッチパルスLPとLPとの間の時間が20 μ s、1画素のデータを転送するのに25 n s(周波数: 40 MHz)とすると800画素のデータしか転送できない。

【0102】

図11は、その状態を説明する図であり、図11(A)は波形のタイミング図であり、図11(B)は上記駆動方法では、800行×800列の表示画面しか実現できないことを示している。図中、50は行ドライバ、52は列ドライバであり、54は800行×800列の表示画面を示している。

【0103】

このように表示画面を大きくするには、データの転送速度を上げることが考えられるが、例えば速度を2倍にしても1600画素のデータしか転送することができず、依然として、表示画面の大きさに制約がある。

【0104】

そこで、本出願人は、次のような解決方法を考案した。すなわち、行、列における途中(

10

20

30

40

50

800ドット以下)からデータを注入する方法である。このような方法を採用することにより、画素数の制限がなくなり、表示画面を大きくすることができる。

【0105】

図12は、このデュアル駆動方法を説明するための波形タイミング図である。図13は、デュアル駆動方法を実現するための行ドライバおよび列ドライバの配列を示す図である。

【0106】

図12に示すように、ラッチパルスLPとLPとの間の時間Tを、 $20\mu s$ 以下にし、列表示用シフトクロックSCPcの周期 t_c を $25ns$ 以下にし、1つの列ドライバが転送できる画素数nを、800以下にする。一方、行表示用シフトクロックSCPcの周期 t_r を $25ns$ 以下にし、1つの行ドライバが転送できる画素数mを、800以下にする。

10

【0107】

図13は、以上のような行ドライバを2個、列ドライバを3個配列し、 $2m \times 3n$ の画素数の表示画面を実現した状態を示す。図中、50-1, 50-2は2個の行ドライバを、52-1, 52-2, 52-3は3個の列ドライバを、56は拡大された表示画面を示す。

【0108】

デュアル駆動は、3個の列ドライバおよび2個の行ドライバに同時に各々のデータを注入することにより実現できる。一例として、 $n = 500$ 、 $m = 600$ の場合を考える。

【0109】

まず、列には3個のドライバがあるが、1番目のドライバ52-1には、列位置1, 2, 3, ..., 500のデータを順に注入する。2番目のドライバ52-2には、列位置501, 502, 503, ..., 1000のデータを注入し、3番目のドライバ52-3には、列位置1001, 1002, 1003, ..., 1500のデータを注入する。以上のように、3個の列ドライバにそれぞれ500個のデータを注入することにより、ラッチパルス周期T ($20\mu s$)の間に1500個の列データを転送することが可能になる。

20

【0110】

同様に行には、2個のドライバがあり、1番目のドライバ50-1には、行位置1, 2, 3, ..., 600のデータを順に注入する。2番目のドライバ50-2には、行位置601, 602, 603, ..., 1200のデータを注入する。以上のように、2個の行ドライバにそれぞれ600個のデータを注入することにより、ラッチパルス周期T ($20\mu s$)の間に1200個の行データを転送することが可能になる。

30

【0111】

以上のことから、ラッチパルス周期Tの時間制限に関係なく、表示画面を大きくすることが可能になる。

【0112】

次に、スキュー対策について説明する。図1に示した携帯用の電子ブック等に使用される例えば600行 \times 800列の液晶パネル(1画素の面積は、 $0.11mm \times 0.11mm$)の行電極の静電容量(C_{row})は400pF、列電極の静電容量(C_{col})は300pFである。

【0113】

一方、広告等に使用されるような長方形(例えば68行 \times 516列)の液晶パネル(1画素の面積は、 $0.54mm \times 0.54mm$)の行電極の静電容量は6000pF、列電極の静電容量は800pFである。

40

【0114】

上記の電子ブック等の液晶パネルを駆動するドライバで、上記広告等に使用される長方形の液晶パネルを駆動すると、静電容量の存在のために、行電極は列電極より時間的に遅れて電圧が立ち下がり、および立ち上がることになる(スキュー)。図14は、一例として40Vから0Vへ電圧が立ち下がる時の電圧波形を示す。行電極電圧(点線)が列電極電圧(実線)よりも遅れて立ち下がっていることがわかる。図15は、一例として0Vから40Vへ電圧が立ち上がる時の電圧波形を示す。行電極電圧(点線)が列電極電圧(

50

実線)よりも遅れて立ち上がっていることがわかる。

【0115】

ダイナミック駆動方法の場合、行電極と列電極の電圧の立下り、立上りにスキューがあると、表示品位が悪くなる可能性がある。これを避けるために、ドライバの電圧選択回路内の電圧出力回路の出力用トランジスタを大きくすれば、静電容量が大きくても行電極は列電極より時間的にあまり遅れずに電圧が立下り、立上ることになる。しかしながら、この方法では、ドライバが大きくなってしまう。

【0116】

そこで、本出願の発明者は、次のようにして解決することを考案した。列電極の電圧を制御する交流化信号(M)を遅らせるようにすれば、表示品位を改善することができる。列電極の電圧を制御する交流化信号を遅らせれば、図14および図15の例において、負荷容量800pFの列出力曲線(実線)を右に平行移動することになる。

10

【0117】

図16および図17は、図14および図15に対応する図であり、列電極に対する交流化信号を遅らせて、負荷容量800pFの列出力曲線(実線)を右に平行移動した状態を示す。このようにして、行電極と列電極の電圧の立下り、立上りのスキューを軽減することによって、表示品位の劣化を阻止することができる。

【0118】

なお、基準のクロック単位で交流化信号の遅れの時間を選択できるように制御することで、すべての液晶パネル(行電極の静電容量 列電極の静電容量であれば、各静電容量の値は任意)において最適な表示を得られるようにすることができるようになる。

20

【0119】

次に、誤差拡散法を用いた階調表示について説明する。

【0120】

一般にコレステリック液晶は、階調を多くとるのが難しい。駆動電圧の値および/または印加時間を調整することにより4階調表示は実現できるが、多階調表示は困難である。多階調表示を実現するには、誤差拡散法を用いることができる。

【0121】

誤差拡散法とは、減色処理の一種で同じ色が見つからなかったとき近い色で点々をうって、その誤差をごまかす方法である。誤差拡散法は、点々があまり目立たない写真やグラデーションのかかった画像に適している。

30

【0122】

以下、4階調表示または8階調表示のために誤差拡散法の手順について説明する。

1. 輝度計算

画像の輝度を元にグレースケール(256階調)の画像を作成する。

【0123】

カラー表示の場合には、輝度は、次式により算出する。

【0124】

$$Y = 0.298912 \times R + 0.586611 \times G + 0.114478 \times B$$

2. 閾値処理および誤差の算出

40

手順1で算出した輝度データを閾値処理によって、その画素の値を決定する。

【0125】

4階調画像の場合には、0, 85, 170, 255を閾値とする。

【0126】

8階調表示の場合には、0, 37, 73, 110, 146, 183, 219, 255を閾値とする。

【0127】

4階調画像で画素の輝度が102の場合、閾値処理によって輝度102の画素は、輝度85の値をとり、誤差は、85 - 102 = -17となる。

3. 手順2によって算出された誤差を、図18(A)に示すように、元画素58の周りの

50

画素に、図示の重み(3/16, 5/16, 1/16, 7/16)で分配する。このような分配方法は、Floyd & Steinberg型と呼ばれている。

【0128】

より美しい画像を得たい場合には、処理時間はかかるが、図18(B)に示すJarvis, Judice & Ninke型による分配方法を用いることができる。

4. 誤差を考慮した値の算出

これ以降の計算は、元画素の輝度の値とその画素に分配された誤差とを加算した値から閾値処理を行い、値を決定していく。

【0129】

誤差拡散データを生成する生成回路を、図19に示す。この生成回路60は、遅延回路62と、演算回路64と、1ライン遅延回路66, 68とを備えている。

【0130】

図20は、生成回路の動作を説明するための図であり、(A)は画像メモリの内容を、(B), (C)は1ライン遅延回路66, 68のデータを、(D)は生成回路60における各信号と位置を示している。

【0131】

この生成回路60を用いて、図18(B)のJarvis, Judice & Ninke型の分配方法に基づく拡散誤差データの生成を説明する。

【0132】

図19に図示されない画像メモリには、図20(A)に示すように、液晶ディスプレイの行列画素に対応して、データ(輝度)が格納されているものとする。

【0133】

生成回路60の遅延回路62には、画像メモリからのG0行のデータと、以前に処理されたH2G0(これは、2回補正されている)と、H1G1(これは、1回補正されている)が入力される。

【0134】

入力されたこれらデータは、遅延回路62により11個のデータとして演算回路64に入力される。ここで、各信号の値は次のようにして出力される。なお、以下の計算式において右辺にあるH1G'11, H1G'12, H1G'13, H1G'14, G'21, G'22, G'23, G'24は、1回前のデータG01を処理した際の結果を示している。なお、fは閾値処理関数を示す。

$$D = G02 + H2G02 / 48 - (f(G02 + H2G02 / 48))$$

$$O02 = f(G02 + H2G02 / 48)$$

$$H1G20 = 1 \times D + G'21$$

$$H2G10 = 3 \times D + H1G'11$$

$$G'04 = 5 \times D$$

$$G'03 = 7 \times D + G'04$$

$$H1G'14 = 3 \times D$$

$$H1G'13 = 5 \times D + H1G'14$$

$$H1G'12 = 7 \times D + H1G'13$$

$$H1G'11 = 5 \times D + H1G'12$$

$$G'24 = 1 \times D$$

$$G'23 = 3 \times D + G'24$$

$$G'22 = 5 \times D + G'23$$

$$G'21 = 3 \times D + G'22$$

処理された結果、O02はドライバに対して出力され、H2G10, H1G20は次のラインを処理するためのデータとして出力される。

【0135】

なお、1ライン遅延回路66, 68は、FIFOメモリで、1ライン分の画像データを蓄積することができ、蓄積されたデータは、書かれた順に読み出される。

10

20

30

40

50

【 0 1 3 6 】

以上、本発明の各実施の形態について説明したが、本発明はこれら実施の形態に限定されるものではなく、本発明は種々の変形、変更を含むものである。

【 図面の簡単な説明 】

【 図 1 】 電子ブックの斜視図である。

【 図 2 】 パッシブマトリクス駆動方式の液晶パネル構造を示す図である。

【 図 3 】 コレステリック液晶を駆動する本発明のドライバの構成を示すブロック図である。

【 図 4 】 電圧選択回路における 1 出力分の構成を示す図である。

【 図 5 】 2 階調表示の場合の 3 ステージ・ダイナミック駆動の場合の行駆動電圧および列駆動電圧の波形の一例を示す図である。 10

【 図 6 】 行電極を 3 ステージ・ダイナミック駆動する場合の、ある時点での液晶パネル上の行電極上におけるステージの展開状態を示す図である。

【 図 7 】 2 階調表示の場合のコンベンショナル駆動の場合の行駆動電圧および列駆動電圧の波形の一例を示す図である。

【 図 8 】 電子ブックの表示部において、画面書き換えの際の部分書き換え領域を示す図である。

【 図 9 】 3 ステージ・ダイナミック駆動におけるステージを示す図である。

【 図 1 0 】 4 ステージ・ダイナミック駆動におけるステージを示す図である。

【 図 1 1 】 8 0 0 行 × 8 0 0 列の表示の場合の波形のタイミング図および表示画面を示す図である。 20

【 図 1 2 】 デュアル駆動方法を説明するための波形タイミング図である。

【 図 1 3 】 デュアル駆動方法を実現するための行ドライバおよび列ドライバの配列を示す図である。

【 図 1 4 】 4 0 V から 0 V へ電圧が立ち下がる時の電圧波形を示す図である。

【 図 1 5 】 0 V から 4 0 V へ電圧が立ち上がる時の電圧波形を示す図である。

【 図 1 6 】 図 1 4 に対応する図であり、列電極に対する交流化信号を遅らせて、負荷容量 8 0 0 p F の列出力曲線（実線）を右に平行移動した状態を示す図である。

【 図 1 7 】 図 1 5 に対応する図であり、列電極に対する交流化信号を遅らせて、負荷容量 8 0 0 p F の列出力曲線（実線）を右に平行移動した状態を示す図である。 30

【 図 1 8 】 誤差拡散法による誤差分配を示す図である。

【 図 1 9 】 誤差拡散データを生成する生成回路を示す図である。

【 図 2 0 】 画像メモリの内容と、1ライン遅延回路のデータと、生成回路における各信号と位置とを示す図である。

【 符号の説明 】

1 0 電子ブック

1 2 表示部

1 4 ページ選択スイッチ

1 6 メモリカードまたはフロッピー（登録商標）ディスク

2 0 , 2 2 ガラス基板 40

2 4 行

2 6 列

2 8 画素領域

3 0 ドライバ

3 2 マスクレジスタ

3 4 シフトレジスタ

3 6 データラッチ

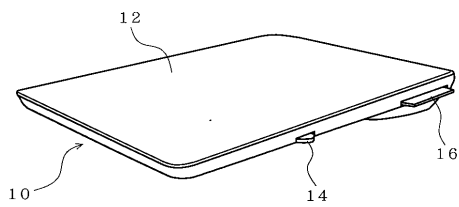
3 8 電圧選択回路

4 0 選択回路

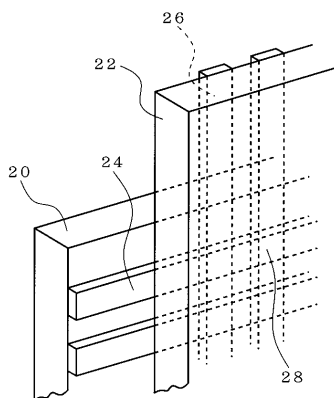
4 2 電圧出力回路 50

- 5 0 行ドライバ
- 5 2 列ドライバ
- 5 4 8 0 0 行 × 8 0 0 列の表示画面
- 5 6 拡大された表示画面
- 6 0 誤差拡散データを生成する生成回路
- 6 2 遅延回路
- 6 4 演算回路
- 6 6 , 6 8 1ライン遅延回路

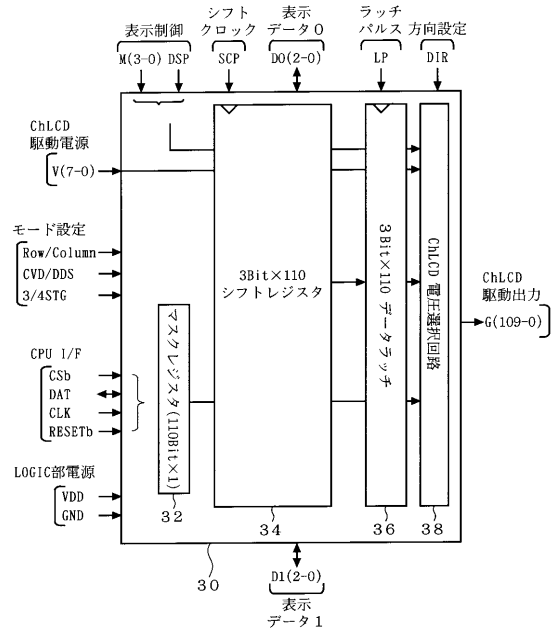
【 図 1 】



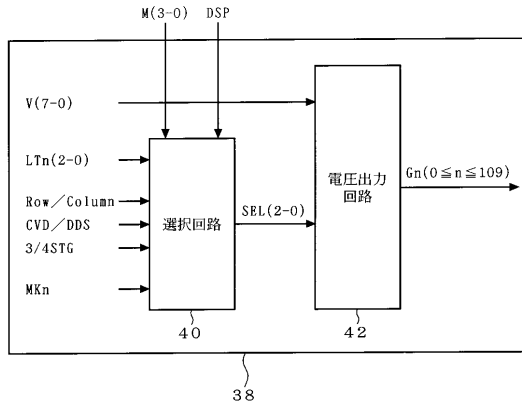
【 図 2 】



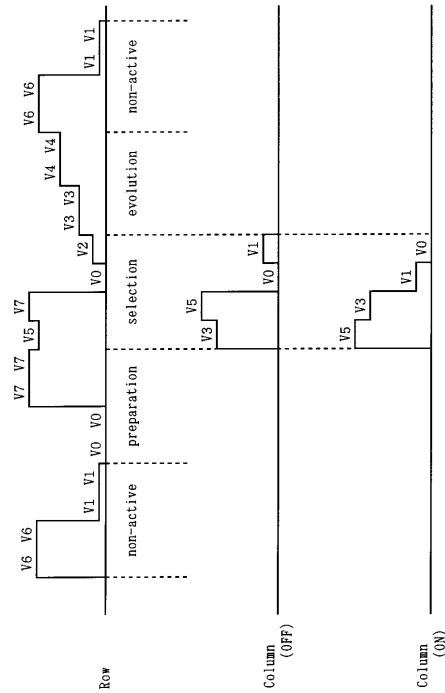
【 図 3 】



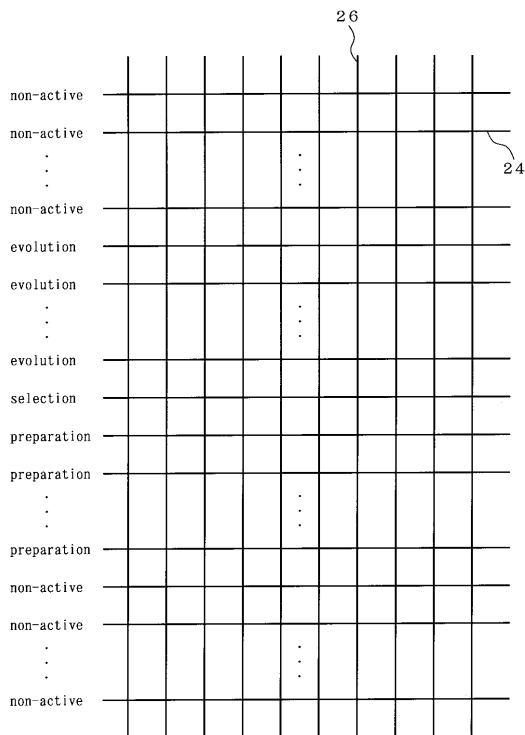
【 図 4 】



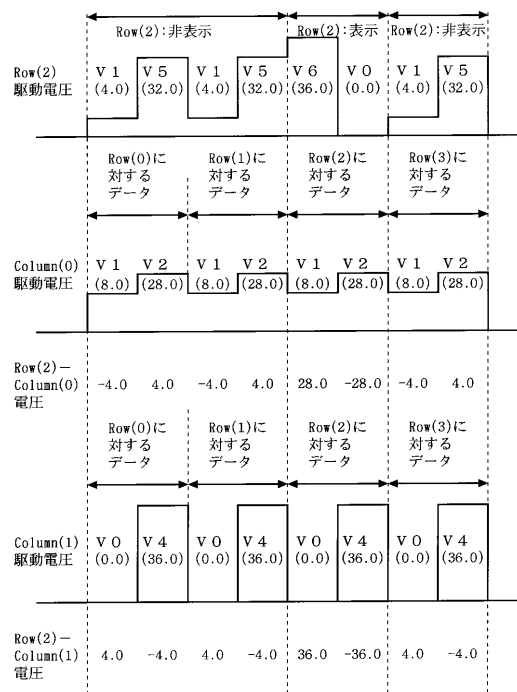
【 図 5 】



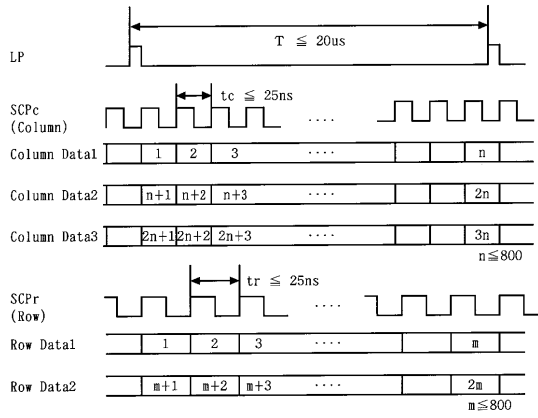
【 図 6 】



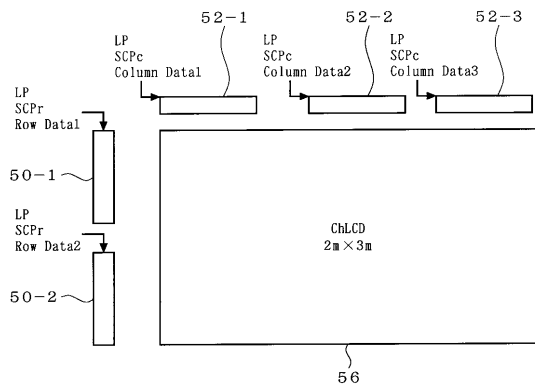
【 図 7 】



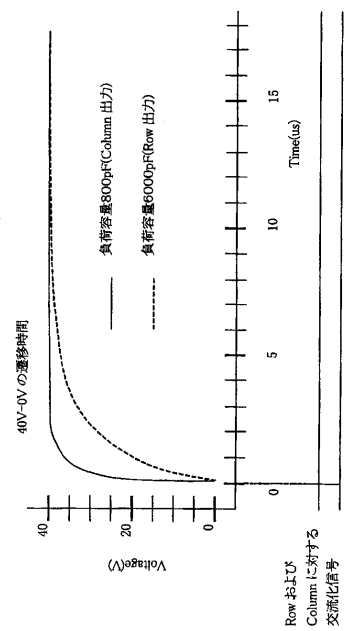
【 図 1 2 】



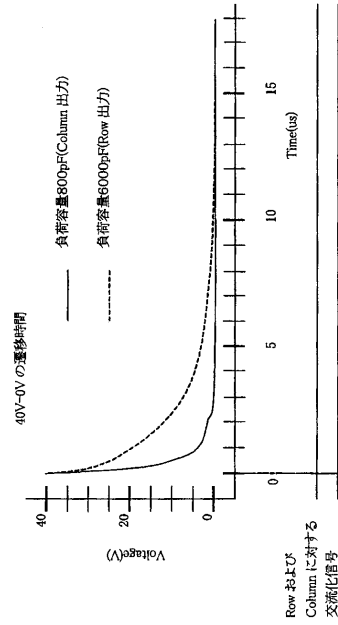
【 図 1 3 】



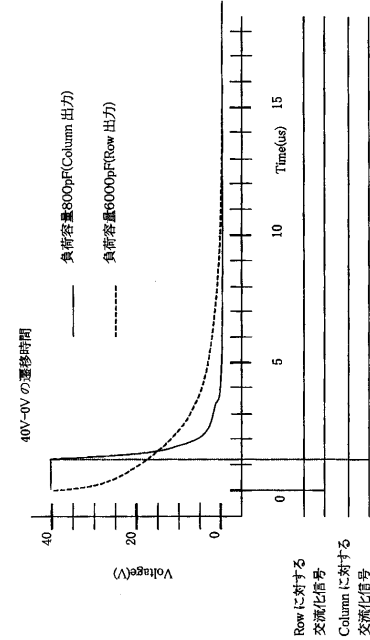
【 図 1 5 】



【 図 1 4 】



【 図 1 6 】



フロントページの続き

(72)発明者 高見 学
福島県福島市岡島字長岬6 - 7 ナノックス株式会社内

審査官 藤田 都志行

(56)参考文献 米国特許第05748277(US, A)
米国特許第06268840(US, B1)
米国特許第06133895(US, A)
米国特許第06278429(US, B1)

(58)調査した分野(Int.Cl.⁷, DB名)

G02F 1/133 560
G02F 1/133 545
G02F 1/133 570
G02F 1/133 575
G09G 3/36

专利名称(译)	用于胆甾型液晶显示器的驱动器		
公开(公告)号	JP3606830B2	公开(公告)日	2005-01-05
申请号	JP2001337438	申请日	2001-11-02
[标]申请(专利权)人(译)	Jinikku NANOX		
申请(专利权)人(译)	株式会社ジーニック ナノックス株式会社		
当前申请(专利权)人(译)	株式会社ジーニック ナノックス株式会社		
[标]发明人	岡藤雅晴 仁村孝治 高見学		
发明人	岡藤 雅晴 仁村 孝治 高見 学		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
CPC分类号	G09G3/3681 G09G3/3629 G09G3/3692 G09G2300/0486 G09G2310/0224 G09G2310/06 G09G2320/0223		
FI分类号	G02F1/133.560 G02F1/133.545 G02F1/133.570 G02F1/133.575 G09G3/36 G09G3/20.611.F G09G3/20.621.D G09G3/20.621.F G09G3/20.622.E G09G3/20.622.N G09G3/20.623.G G09G3/20.623.H G09G3/20.641.H		
F-TERM分类号	2H093/NA11 2H093/NA20 2H093/NA22 2H093/NA31 2H093/NA46 2H093/NA51 2H093/NB08 2H093/NB09 2H093/NB12 2H093/NB13 2H093/NC22 2H093/NC26 2H093/ND32 2H093/ND37 2H093/ND43 2H093/NF18 2H193/ZA21 2H193/ZA32 2H193/ZB42 2H193/ZC27 2H193/ZD21 2H193/ZE18 2H193/ZQ17 2H193/ZQ23 5C006/AA13 5C006/AC15 5C006/AC26 5C006/AF31 5C006/AF51 5C006/AF53 5C006/BA11 5C006/BB12 5C006/BC03 5C006/BC11 5C006/BF03 5C006/BF04 5C006/BF24 5C006/FA01 5C006/FA12 5C006/FA41 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD03 5C080/DD08 5C080/DD22 5C080/DD28 5C080/EE29		
其他公开文献	JP2003140114A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供适合于动态驱动无源矩阵驱动方法的胆甾型液晶显示器的驱动器。解决方案：驱动器具有移位寄存器34，移位寄存器34通过移位时钟筛选输入的行数据或列数据，数据锁存器36通过锁存脉冲锁存移位寄存器的数据，液晶显示器驱动电压选择电路38选择驱动通过由数据锁存器锁存的行数据或列数据向液晶显示器供电，并通过交变信号输出作为交流电的行驱动电压或列驱动电压。

DIR	D0(2-0)	D1(2-0)
1	入力	出力
0	出力	入力