(19)日本国特許庁(JP)　(12)公 開 特 許 公 報(A)　(11)特許出願公開番号

特開2008-310317
(P2008-310317A)
(43)公開日　平成20年12月25日(2008.12.25)

(51)Int.Cl.			F I			テーマコード(参考)
G09G	3/36	(2006.01)	G09G	3/36		2H093
G09G	3/20	(2006.01)	G09G	3/20	612D	5C006
G02F	1/133	(2006.01)	G09G	3/20	612E	5C080
			G09G	3/20	612K	
			G09G	3/20	622C	

審査請求 未請求　請求項の数 13　ＯＬ　(全 19 頁)　最終頁に続く

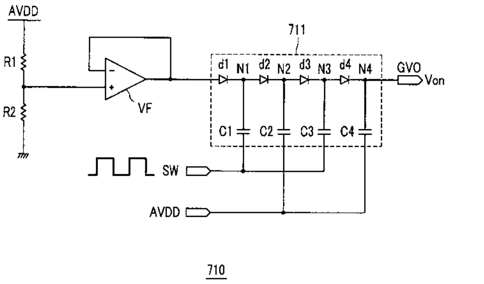
(21)出願番号　特願2008-152226 (P2008-152226)
(22)出願日　平成20年6月10日 (2008.6.10)
(31)優先権主張番号　10-2007-0059333
(32)優先日　平成19年6月18日 (2007.6.18)
(33)優先権主張国　韓国(KR)

(71)出願人　390019839
三星電子株式会社
ＳＡＭＳＵＮＧ ＥＬＥＣＴＲＯＮＩＣＳ ＣＯ．，ＬＴＤ．
大韓民国京畿道水原市霊通区梅灘洞４１６
４１６，Ｍａｅｔａｎ－ｄｏｎｇ，Ｙｅｏｎｇｔｏｎｇ－ｇｕ，Ｓｕｗｏｎ－ｓｉ，Ｇｙｅｏｎｇｇｉ－ｄｏ　４４２－７４２（ＫＲ）
(74)代理人　110000051
特許業務法人共生国際特許事務所
(72)発明者　南　ヒョン　祐
大韓民国　忠清南道　牙山市　湯井面　明岩里　クリスタルキュビック棟　１５０４号

最終頁に続く

(54)【発明の名称】液晶表示装置の駆動装置とこれを含む液晶表示装置

(57)【要約】
【課題】ゲート電圧生成部の動作仕様を満足させる液晶表示装置の駆動装置とこれを含む液晶表示装置を提供する。
【解決手段】本発明による液晶表示装置の駆動装置は、ゲートオン電圧を生成するゲートオン電圧生成部及びゲートオフ電圧を生成するゲートオフ電圧生成部を備え、ゲートオン電圧生成部は、所定の基準電圧と接地電圧との間に連結される第１及び第２抵抗と、第１抵抗と第２抵抗との間の接点に連結される電圧フォロワと、電圧フォロワの出力端に連結される電荷ポンプ回路と、電荷ポンプ回路に連結されるゲートオン電圧出力端子と、を含む。このように、電荷ポンプ回路の前段に電圧フォロワをおいて負荷の変動による影響を遮断することでブランク時間にゲートオン電圧が急激に上昇することを防止することができる。また、抵抗値が同一な２つの抵抗を通じて基準電圧を分配することで抵抗にかかるストレスを最少化することができる。
【選択図】図６



【特許請求の範囲】
【請求項１】
ゲートオン電圧を生成するゲートオン電圧生成部及びゲートオフ電圧を生成するゲートオフ電圧生成部を備える液晶表示装置の駆動装置であって、
前記ゲートオン電圧生成部は、
所定の基準電圧と接地電圧との間に連結される第１及び第２抵抗と、
前記第１抵抗と前記第２抵抗との間の接点に連結される電圧フォロワと、
前記電圧フォロワの出力端に連結される電荷ポンプ回路と、
前記電荷ポンプ回路に連結されるゲートオン電圧出力端子と、を含むことを特徴とする液晶表示装置の駆動装置。
【請求項２】
前記第１及び第２抵抗の抵抗値は同一であることを特徴とする請求項１に記載の液晶表示装置の駆動装置。
【請求項３】
前記電荷ポンプ回路は、
前記電圧フォロワの出力端と前記ゲートオン電圧出力端子との間に順次に連結される第１乃至第４ダイオードと、
前記第１ダイオードと第２ダイオードとの間の第１ノードに一端が連結され、他端がスイッチング電圧の入力を受ける第１キャパシタと、
前記第２ダイオードと前記第３ダイオードとの間の第２ノードに一端が連結され、他端が前記基準電圧の入力を受ける第２キャパシタと、
前記第３ダイオードと前記第４ダイオードとの間の第３ノードに一端が連結され、他端が前記スイッチング電圧の入力を受ける第３キャパシタと、
前記第４ダイオードと前記ゲートオン電圧出力端子との間の第４ノードに一端が連結され、他端が前記基準電圧の入力を受ける第４キャパシタと、を含むことを特徴とする請求項２に記載の液晶表示装置の駆動装置。
【請求項４】
前記ゲートオン電圧及び前記ゲートオフ電圧の入力を受けて複数のクロック信号を生成するクロック信号生成部を更に備えることを特徴とする請求項３に記載の液晶表示装置の駆動装置。
【請求項５】
前記クロック信号に基づいてゲート電圧を生成するゲート駆動部を更に備えることを特徴とする請求項４に記載の液晶表示装置の駆動装置。
【請求項６】
前記ゲート駆動部は前記ゲート電圧を順次に生成する複数のステージを含み、
前記ステージは前記液晶表示装置に集積されることを特徴とする請求項５に記載の液晶表示装置の駆動装置。
【請求項７】
前記基準電圧は１２Ｖであり、前記スイッチング電圧は０Ｖと１２Ｖの間の値を有することを特徴とする請求項１に記載の液晶表示装置の駆動装置。
【請求項８】
行列に配置される複数の画素及びこれに連結されるスイッチング素子と、
前記スイッチング素子を順次に導通及び遮断させるための駆動電圧を生成するゲート駆動部と、
ゲートオン電圧を生成するゲートオン電圧生成部及びゲートオフ電圧を生成するゲートオフ電圧生成部を含むゲート電圧生成部と、を備え、
前記ゲートオン電圧生成部は、
所定の基準電圧と接地電圧との間に連結される第１及び第２抵抗と、
前記第１抵抗と前記第２抵抗との間の接点に連結される電圧フォロワと、
前記電圧フォロワの出力端に連結される電荷ポンプ回路と、

前記電荷ポンプ回路に連結されるゲートオン電圧出力端子と、を含むことを特徴とする液晶表示装置。

【請求項９】

前記第１及び第２抵抗の抵抗値は同一であることを特徴とする請求項８に記載の液晶表示装置。

【請求項１０】

前記電荷ポンプ回路は、

前記電圧フォロワの出力端と前記ゲートオン電圧出力端子との間に順次に連結される第１乃至第４ダイオードと、

前記第１ダイオードと第２ダイオードとの間の第１ノードに一端が連結され、他端がスイッチング電圧の入力を受ける第１キャパシタと、

前記第２ダイオードと前記第３ダイオードとの間の第２ノードに一端が連結され、他端が前記基準電圧の入力を受ける第２キャパシタと、

前記第３ダイオードと前記第４ダイオードとの間の第３ノードに一端が連結され、他端が前記スイッチング電圧の入力を受ける第３キャパシタと、

前記第４ダイオードと前記ゲートオン電圧出力端子との間の第４ノードに一端が連結され、他端が前記基準電圧の入力を受ける第４キャパシタと、を含むことを特徴とする請求項９に記載の液晶表示装置。

【請求項１１】

前記ゲートオン電圧及び前記ゲートオフ電圧の入力を受けて複数のクロック信号を生成するクロック信号生成部を更に備えることを特徴とする請求項１０に記載の液晶表示装置。

【請求項１２】

前記ゲート駆動部は前記クロック信号に基づいて前記駆動電圧を生成することを特徴とする請求項１１に記載の液晶表示装置。

【請求項１３】

前記ゲート駆動部は前記駆動電圧を順次に生成する複数のステージを含み、

前記ステージは前記液晶表示装置に集積されることを特徴とする請求項１２に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、液晶表示装置の駆動装置及びこれを含む液晶表示装置に関するものである。

【背景技術】

【０００２】

近年、重くて大きい陰極線管（ＣＲＴ）の代わりに有機発光表示装置（ＯＬＥＤ）、プラズマ表示装置（ＰＤＰ）、液晶表示装置（ＬＣＤ）のような平板表示装置が活発に開発されている。

【０００３】

ＰＤＰは気体放電によって発生するプラズマを利用して文字や映像を表示する装置であり、ＯＬＥＤは特定有機物又は高分子の電界発光を利用して文字又は映像を表示する。液晶表示装置は２つの表示板の間に入っている液晶層に電場を印加し、この電場の強さを調節して液晶層を通過する光の透過率を調節することで所望する画像を得る。

【０００４】

このような平板表示装置の中で、例えば液晶表示装置はスイッチング素子を含む画素と表示信号線が備えられた表示板、そして表示信号線の中でゲート線にゲート信号を出力して画素のスイッチング素子を順次に導通／遮断させるゲート駆動部、つまり、シフトレジスターを含む。

【０００５】

シフトレジスターは互いに連結されている複数のステージを含み、各ステージは複数の

トランジスターを含む。

このシフトレジスターは複数のクロック信号に同期してゲートオン電圧とゲートオフ電圧を順次にゲート線に印加する。

【０００６】

この時、ゲートオン電圧とゲートオフ電圧を生成するゲート電圧生成部は所定の基準電圧の入力を受けて電荷ポンプ（ｃｈａｒｇｅ　ｐｕｍｐ）回路を利用して所望する電圧のゲート電圧を生成してゲート駆動部とクロック信号を生成するクロック信号生成部に出力する。

【０００７】

しかし、フレームとフレームの間にはクロック信号が生成されないブランク時間があり、このブランク時間にゲートオン電圧が大きく上昇して集積回路からなるゲート電圧生成部の動作仕様（ｏｐｅｒａｔｉｏｎ　ｓｐｅｃｉｆｉｃａｔｉｏｎ）の許容限界値に近接するか許容限界値を超える場合を生じるという問題点がある。

【発明の開示】

【発明が解決しようとする課題】

【０００８】

そこで、本発明は上記従来の問題点に鑑みてなされたものであって、本発明の目的は、ゲート電圧生成部の動作仕様を満足させる液晶表示装置の駆動装置とこれを含む液晶表示装置を提供することにある。

【課題を解決するための手段】

【０００９】

上記目的を達成するためになされた本発明の一特徴による液晶表示装置の駆動装置は、ゲートオン電圧を生成するゲートオン電圧生成部及びゲートオフ電圧を生成するゲートオフ電圧生成部を備える液晶表示装置の駆動装置であって、前記ゲートオン電圧生成部は、所定の基準電圧と接地電圧との間に連結される第１及び第２抵抗と、前記第１抵抗と前記第２抵抗との間の接点に連結される電圧フォロワ（ｖｏｌｔａｇｅ　ｆｏｌｌｏｗｅｒ）と、前記電圧フォロワの出力端に連結される電荷ポンプ回路と、前記電荷ポンプ回路に連結されるゲートオン電圧出力端子と、を含む。

この時、前記第１及び第２抵抗の抵抗値は同一であってもよい。

また、前記電荷ポンプ回路は、前記電圧フォロワの出力端と前記ゲートオン電圧出力端子との間に順次に連結される第１乃至第４ダイオードと、前記第１ダイオードと第２ダイオードとの間の第１ノードに一端が連結され、他端がスイッチング電圧の入力を受ける第１キャパシタと、前記第２ダイオードと前記第３ダイオードとの間の第２ノードに一端が連結され、他端が前記基準電圧の入力を受ける第２キャパシタと、前記第３ダイオードと前記第４ダイオードとの間の第３ノードに一端が連結され、他端が前記スイッチング電圧の入力を受ける第３キャパシタと、前記第４ダイオードと前記ゲートオン電圧出力端子との間の第４ノードに一端が連結され、他端が前記基準電圧の入力を受ける第４キャパシタと、を含む。

また、本発明による液晶表示装置の駆動装置は前記ゲートオン電圧及び前記ゲートオフ電圧の入力を受けて複数のクロック信号を生成するクロック信号生成部を更に備えることができる。

また、前記クロック信号に基づいてゲート電圧を生成するゲート駆動部を更に備えることができる。

この時、前記ゲート駆動部は前記ゲート電圧を順次に生成する複数のステージを含み、前記ステージは前記液晶表示装置に集積されてもよい。

一方、前記基準電圧は１２Ｖであり、前記スイッチング電圧は０Ｖと１２Ｖの間の値を有することができる。

【００１０】

上記目的を達成するためになされた本発明の一特徴による液晶表示装置は、行列に配置される複数の画素及びこれに連結されるスイッチング素子と、前記スイッチング素子を順

次に導通及び遮断させるための駆動電圧を生成するゲート駆動部と、ゲートオン電圧を生成するゲートオン電圧生成部及びゲートオフ電圧を生成するゲートオフ電圧生成部を含むゲート電圧生成部と、を備え、前記ゲートオン電圧生成部は、所定の基準電圧と接地電圧との間に連結される第１及び第２抵抗と、前記第１抵抗と前記第２抵抗との間の接点に連結される電圧フォロワと、前記電圧フォロワの出力端に連結される電荷ポンプ回路と、前記電荷ポンプ回路に連結されるゲートオン電圧出力端子と、を含む。
　この時、前記第１及び第２抵抗の抵抗値は同一であってもよい。
　前記電荷ポンプ回路は、前記電圧フォロワの出力端と前記ゲートオン電圧出力端子との間に順次に連結される第１乃至第４ダイオードと、前記第１ダイオードと第２ダイオードとの間の第１ノードに一端が連結され、他端がスイッチング電圧の入力を受ける第１キャパシタと、前記第２ダイオードと前記第３ダイオードとの間の第２ノードに一端が連結され、他端が前記基準電圧の入力を受ける第２キャパシタと、前記第３ダイオードと前記第４ダイオードとの間の第３ノードに一端が連結され、他端が前記スイッチング電圧の入力を受ける第３キャパシタと、前記第４ダイオードと前記ゲートオン電圧出力端子との間の第４ノードに一端が連結され、他端が前記基準電圧の入力を受ける第４キャパシタと、を含むことができる。
　本発明の液晶表示装置は、前記ゲートオン電圧及び前記ゲートオフ電圧の入力を受けて複数のクロック信号を生成するクロック信号生成部を更に備えることができる。
　また、前記ゲート駆動部は前記クロック信号に基づいて前記駆動電圧を生成することができる。
　この時、前記ゲート駆動部は前記駆動電圧を順次に生成する複数のステージを含み、前記ステージは前記液晶表示装置に集積されてもよい。
【発明の効果】
【００１１】
　本発明によれば、電荷ポンプ回路の前段に電圧フォロワをおいて負荷の変動による影響を遮断することでブランク時間にゲートオン電圧が急激に上昇することを防止することができる。また、抵抗値が同一である２つの抵抗を通じて基準電圧を分配することで抵抗にかかるストレスを最少化することができる。
【発明を実施するための最良の形態】
【００１２】
　以下、本発明の液晶表示装置の駆動装置とこれを含む液晶表示装置を実施するための最良の形態の具体例を、図面を参照しながら詳しく説明する。
【００１３】
　図面において多様な層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似の部分については同一図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“直上”にある場合だけでなく、その中間に他の部分がある場合も含む。反対に、ある部分が他の部分の“直上”にあるとする時には、中間に他の部分がないことを意味する。
【００１４】
　まず、図１及び図２を参照して本発明の一実施例による液晶表示装置について詳細に説明する。
【００１５】
　図１は、本発明の一実施例による液晶表示装置のブロック図であり、図２は、本発明の一実施例による液晶表示装置の１つの画素に対する等価回路図である。
【００１６】
　図１に示したように、本発明の一実施例による液晶表示装置は、液晶表示板組立体３００とこれに連結されたゲート駆動部４００及びデータ駆動部５００、ゲート駆動部４００に連結されたゲート電圧生成部７００及びクロック信号生成部７５０、データ駆動部５００に連結された階調電圧生成部８００、そしてこれらを制御する信号制御部６００を含む。

【００１７】
液晶表示板組立体３００は、等価回路で見ると、複数の信号線（G_1－G_n、D_1－D_m）と、これに連結されてほぼ行列形態で配列された複数の画素ＰＸを含む。また、図２に示した構造で見ると、液晶表示板組立体３００は互いに対向する下部及び上部表示板（１００、２００）とその間に入っている液晶層３を含む。

【００１８】
信号線（G_1－G_n、D_1－D_m）はゲート信号（“走査信号”とも言う）を伝達する複数のゲート線（G_1－G_n）とデータ信号を伝達する複数のデータ線（D_1－D_m）を含む。ゲート線（G_1－G_n）はほぼ行方向に伸びて互いにほぼ平行し、データ線（D_1－D_m）はほぼ列方向に伸びて互いにほぼ平行する。

【００１９】
各画素ＰＸ、例えば、ｉ番目（ｉ＝１、２、ｎ）ゲート線G_iとｊ番目（ｊ＝１、２、ｍ）データ線D_jに連結された画素ＰＸは、信号線（G_i D_j）に連結されたスイッチング素子Ｑとこれに連結された液晶キャパシタＣｌｃ及びストレージキャパシタＣｓｔを含む。ストレージキャパシタＣｓｔは必要に応じて省略してもよい。

【００２０】
スイッチング素子Ｑは下部表示板１００に備えられる薄膜トランジスターなどの三端子素子で、その制御端子はゲート線G_iと連結され、入力端子はデータ線D_jと連結され、出力端子は液晶キャパシタＣｌｃ及びストレージキャパシタＣｓｔと連結されている。

【００２１】
液晶キャパシタＣｌｃは下部表示板１００の画素電極１９１と上部表示板２００の共通電極２７０を２つの端子とし、画素電極１９１及び共通電極２７０の２つの電極間の液晶層３は誘電体として機能する。画素電極１９１はスイッチング素子Ｑと連結され、共通電極２７０は上部表示板２００の前面に形成されて共通電圧Ｖｃｏｍの印加を受ける。図２とは異なって共通電極２７０が下部表示板１００に備えられる場合もあり、この時には２つの電極（１９１、２７０）のうちの少なくとも１つを線状又は棒状に作ることができる。

【００２２】
液晶キャパシタＣｌｃの補助的な役割を果たすストレージキャパシタＣｓｔは下部表示板１００に備えられた別個の信号線（図示せず）と画素電極１９１が絶縁体を介して重なって構成され、この別個の信号線には共通電圧Ｖｃｏｍなどの決められた電圧が印加される。しかし、ストレージキャパシタＣｓｔは画素電極１９１が絶縁体を媒介として直上の前段ゲート線と重なることで構成され得る。

【００２３】
一方、色表示を実現するためには各画素ＰＸが基本色のうちの１つを固有に表示（空間分割）したり、各画素ＰＸが時間に応じて交互に基本色を表示（時間分割）したりして、これら基本色の空間的、時間的合計で所望する色を認識させる。基本色の例としては赤色、緑色、青色などの三原色がある。図２は、空間分割の一例で各画素ＰＸが画素電極１９１に対応する上部表示板２００の領域に基本色のうちの１つを示す色フィルター２３０を備えることを示している。図２とは異なって色フィルター２３０は下部表示板１００の画素電極１９１上又は下に形成してもよい。

【００２４】
液晶表示板組立体３００の外側面には光を偏光させる少なくとも１つの偏光子（図示せず）が付着されている。

【００２５】
再び図１を参照すると、階調電圧生成部８００は画素ＰＸの透過率と関係する２対の階調電圧集合（又は基準階調電圧集合）を生成する。２対のうちの１対は共通電圧Ｖｃｏｍに対して正の値を有し、他の１対は負の値を有する。

【００２６】
ゲート駆動部４００は、画素ＰＸのスイッチング素子Ｑと同一な工程で形成されて液晶

表示板組立体３００に集積され、液晶表示板組立体３００のゲート線（Ｇ$_1$－Ｇ$_n$）と連結されてゲートオン電圧Ｖｏｎとゲートオフ電圧Ｖｏｆｆの組み合わせからなるゲート信号をゲート線（Ｇ$_1$－Ｇ$_n$）に印加する。

【００２７】

ゲート電圧生成部７００はゲートオン電圧Ｖｏｎを生成するゲートオン電圧生成部７１０とゲートオフ電圧Ｖｏｆｆを生成するゲートオフ電圧生成部７２０を含み、ゲートオン電圧Ｖｏｎはクロック信号生成部７５０に出力され、ゲートオフ電圧Ｖｏｆｆはクロック信号生成部７５０とゲート駆動部４００に出力される。

【００２８】

クロック信号生成部７５０はゲートオン電圧Ｖｏｎとゲートオフ電圧Ｖｏｆｆの入力を受けて位相の互いに異なる２つのクロック信号（ＣＬＫ１、ＣＬＫ２）を生成してゲート駆動部４００に出力する。

【００２９】

データ駆動部５００は、液晶表示板組立体３００のデータ線（Ｄ$_1$－Ｄ$_m$）に連結され、階調電圧生成部８００からの階調電圧を選択し、これをデータ信号としてデータ線（Ｄ$_1$－Ｄ$_m$）に印加する。しかし、階調電圧生成部８００が全ての階調に対する電圧を全て提供せず、決められた数の基準階調電圧のみを提供する場合にデータ駆動部５００は基準階調電圧を分圧して全階調に対する階調電圧を生成し、この中でデータ信号を選択することもできる。

【００３０】

信号制御部６００はゲート駆動部４００及びデータ駆動部５００などを制御する。

【００３１】

このようなデータ駆動部５００、信号制御部６００、階調電圧生成部８００の各駆動装置のそれぞれは、少なくとも１つの集積回路チップ形態で液晶表示板組立体３００上に直接装着することができ、可撓性印刷回路フィルム（図示せず）上に装着されてＴＣＰ形態で液晶表示板組立体３００に付着することもでき、また、別途の印刷回路基板（図示せず）上に装着することもできる。これとは異なって、これら駆動装置（５００、６００、８００）が信号線（Ｇ$_1$－Ｇ$_n$、Ｄ$_1$－Ｄ$_m$）及び薄膜トランジスタースイッチング素子Ｑなどと共に液晶表示板組立体３００に集積することもできる。また、駆動装置（４００、５００、６００、８００）は単一チップで集積することもでき、この場合、これらのうちの少なくとも１つ又はこれらを構成する少なくとも１つの回路素子が単一チップの外側にあってもよい。

【００３２】

以下ではこのような液晶表示装置の動作について詳細に説明する。

【００３３】

信号制御部６００は外部のグラフィック制御器（図示せず）から入力映像信号（Ｒ、Ｇ、Ｂ）及びその表示を制御する入力制御信号の入力を受ける。入力制御信号の例としては垂直同期信号Ｖｓｙｎｃと水平同期信号Ｈｓｙｎｃ、メインクロックＭＣＬＫ、データイネーブル信号ＤＥなどがある。

【００３４】

信号制御部６００は入力映像信号（Ｒ、Ｇ、Ｂ）と入力制御信号に基づいて入力映像信号（Ｒ、Ｇ、Ｂ）を液晶表示板組立体３００の動作条件に合わせて適切に処理し、ゲート制御信号ＣＯＮＴ１及びデータ制御信号ＣＯＮＴ２などを生成した後、ゲート制御信号ＣＯＮＴ１をゲート駆動部４００に出力し、データ制御信号ＣＯＮＴ２と処理したデジタル映像信号ＤＡＴをデータ駆動部５００に出力する。

【００３５】

ゲート制御信号ＣＯＮＴ１は走査開始を指示する走査開始信号ＳＴＶとゲートオン電圧Ｖｏｎの出力周期を制御する少なくとも１つのクロック信号を含む。ゲート制御信号ＣＯＮＴ１はまたゲートオン電圧Ｖｏｎの持続時間を限定する出力イネーブル信号ＯＥを更に含むことができる。

【００３６】
データ制御信号ＣＯＮＴ２は１行（束）の画素ＰＸに対する映像データの伝送開始を知らせる水平同期開始信号ＳＴＨと、データ線（D_1－D_m）にデータ信号の印加を命令するロード信号ＬＯＡＤ及びデータクロック信号ＨＣＬＫを含む。データ制御信号ＣＯＮＴ２はまた共通電圧Ｖｃｏｍに対するデータ信号の電圧極性（以下、“共通電圧に対するデータ信号の電圧極性”略して“データ信号の極性”と言う）を反転させる反転信号ＲＶＳを更に含むことができる。

【００３７】
信号制御部６００からのデータ制御信号ＣＯＮＴ２によってデータ駆動部５００は１行（束）の画素ＰＸに対するデジタル映像信号ＤＡＴを受信し、各デジタル映像信号ＤＡＴに対応する階調電圧を選択することでデジタル映像信号ＤＡＴをアナログデータ信号に変換した後、これを対応するデータ線（D_1－D_m）に印加する。

【００３８】
ゲート駆動部４００は、信号制御部６００からのゲート制御信号ＣＯＮＴ１によってゲートオン電圧Ｖｏｎをゲート線（G_1－G_n）に印加して、このゲート線（G_1－G_n）に連結されたスイッチング素子Ｑを導通させる。その結果、データ線（D_1－D_m）に印加されたデータ信号が導通したスイッチング素子Ｑを通じて対応する画素ＰＸに印加される。

【００３９】
画素ＰＸに印加されたデータ信号の電圧と共通電圧Ｖｃｏｍの差は液晶キャパシタＣｌｃの充電電圧、つまり、画素電圧として現れる。液晶分子は画素電圧の大きさに応じてその配列を異ならせ、それによって液晶層３を通過する光の偏光が変化する。このような偏光の変化は表示板組立体３００に付着された偏光子によって光の透過率変化として現れる。

【００４０】
１水平周期（“１Ｈ”とも言い、水平同期信号Ｈｓｙｎｃ及びデータイネーブル信号ＤＥの一周期と同一）を単位としてこのような過程を繰り返すことによって、全てのゲート線（G_1－G_n）に対して順次にゲートオン電圧Ｖｏｎを印加し、全ての画素ＰＸにデータ信号を印加して１つのフレームの映像を表示する。

【００４１】
１つのフレームが終了すると次のフレームが開始され、各画素ＰＸに印加されるデータ信号の極性が直前フレームにおける極性と反対になるようにデータ駆動部５００に印加される反転信号ＲＶＳの状態が制御される（“フレーム反転”）。この時、１つのフレーム内でも反転信号ＲＶＳの特性に応じて１つのデータ線を通じて流れるデータ信号の極性が変わったり（例：行反転、点反転）、１つの画素行に印加されるデータ信号の極性も互いに異なったり（例：列反転、点反転）することがある。

【００４２】
次に、本発明の液晶表示装置の一実施例によるゲート駆動部について図３乃至図５を参照して更に詳しく説明する。

【００４３】
図３は、本発明の一実施例によるゲート駆動部のブロック図である。図４は、図３に示したゲート駆動部用シフトレジスターのｊ番目ステージの回路図の一例であり、図５は、図３に示したゲート駆動部の信号波形図である。

【００４４】
図３に示したゲート駆動部４００は、一列に配列されてゲート線（G_1－G_n）にそれぞれ連結されている複数のステージ４１０を含むシフトレジスター４００ａで構成され、走査開始信号ＳＴＶ、初期化信号ＩＮＴ、複数のクロック信号（ＣＬＫ１、ＣＬＫ２）及びゲートオフ電圧Ｖｏｆｆが入力される。各ゲート線（G_1－G_n）の端にはＮＭＯＳトランジスターＴ１４が連結され、ゲートオフ電圧Ｖｏｆｆが入力される。

【００４５】

各ステージ４１０は、セット端子Ｓ、ゲート電圧端子ＧＶ、一対のクロック端子（ＣＫ１、ＣＫ２）、リセット端子Ｒ、フレームリセット端子ＦＲ、そしてゲート出力端子ＯＵＴ１及びキャリー出力端子ＯＵＴ２を有している。ただし、最後のダミーステージはリセット端子Ｒとフレームリセット端子ＦＲを有していない。

【００４６】

各ステージ、例えば、ｊ番目ステージ$ＳＴ_{ｊ}$のセット端子Ｓには前段ステージ$ＳＴ_{ｊ－１}$のキャリー出力、つまり、前段キャリー出力Ｃｏｕｔ（ｊ－１）が、リセット端子Ｒには後端ステージ$ＳＴ_{ｊ＋１}$のゲート出力、つまり、後端ゲート出力Ｇｏｕｔ（ｊ＋１）が入力され、クロック端子（ＣＫ１、ＣＫ２）にはクロック信号（ＣＬＫ１、ＣＬＫ２）が入力され、ゲート電圧端子ＧＶにはゲートオフ電圧Ｖｏｆｆが入力される。ゲート出力端子ＯＵＴ１はゲート出力Ｇｏｕｔ（ｊ）を出力し、キャリー出力端子ＯＵＴ２はキャリー出力Ｃｏｕｔ（ｊ）を出力する。

【００４７】

但し、シフトレジスター４００ａの第１ステージには前段キャリー出力の代わりに走査開始信号ＳＴＶが入力される。また、ｊ番目ステージ$ＳＴ_{ｊ}$のクロック端子ＣＫ１にクロック信号ＣＬＫ１が、クロック端子ＣＫ２にクロック信号ＣＬＫ２が入力される場合、これに隣接した（ｊ－１）番目及び（ｊ＋１）番目ステージ（$ＳＴ_{ｊ－１}$、$ＳＴ_{ｊ＋１}$）のクロック端子ＣＫ１にはクロック信号ＣＬＫ２が、クロック端子ＣＫ２にはクロック信号ＣＬＫ１が入力される。

【００４８】

各クロック信号（ＣＬＫ１、ＣＬＫ２）は画素のスイッチング素子Ｑを駆動できるように電圧レベルがハイである場合はゲートオン電圧Ｖｏｎと同一であり、ローである場合にはゲートオフ電圧Ｖｏｆｆと同一である。図５に示したように、各クロック信号（ＣＬＫ１、ＣＬＫ２）はデューティ比が５０％であり、２つのクロック信号（ＣＬＫ１、ＣＬＫ２）の位相差は１８０°であり得る。

【００４９】

図４を参照すると、本発明の一実施例によるゲート駆動部４００の各ステージ、例えば、ｊ番目ステージは、図４に示したように入力部４２０、プルアップ駆動部４３０、プルダウン駆動部４４０及び出力部４５０を含む。これらは少なくとも１つのＮＭＯＳトランジスター（Ｔ１－Ｔ１５）を含み、プルアップ駆動部４３０と出力部４５０はキャパシタ（Ｃ１－Ｃ３）を更に含む。しかし、ＮＭＯＳトランジスターの代わりにＰＭＯＳトランジスターを使用することもできる。また、キャパシタ（Ｃ１－Ｃ３）は実際に工程時に形成されるゲートとドレイン／ソース間寄生容量であり得る。

【００５０】

入力部４２０はセット端子Ｓとゲート電圧端子ＧＶに順次に直列に連結されている３個のトランジスター（Ｔ１１、Ｔ１０、Ｔ５）を含む。トランジスター（Ｔ１１、Ｔ５）のゲートはクロック端子ＣＫ２に連結され、トランジスターＴ１０のゲートはクロック端子ＣＫ１に連結されている。トランジスターＴ１１とトランジスターＴ１０の間の接点は接点Ｊ１に連結され、トランジスターＴ１０とトランジスターＴ５の間の接点は接点Ｊ２に連結されている。

【００５１】

プルアップ駆動部４３０は、セット端子Ｓと接点Ｊ１の間に連結されているトランジスターＴ４とクロック端子ＣＫ１と接点Ｊ３の間に連結されているトランジスターＴ１２、そしてクロック端子ＣＫ１と接点Ｊ４の間に連結されているトランジスターＴ７を含む。トランジスターＴ４のゲートとドレインはセット端子Ｓに共通に連結され、ソースは接点Ｊ１に連結され、トランジスターＴ１２のゲートとドレインはクロック端子ＣＫ１に共通に連結され、ソースは接点Ｊ３に連結されている。トランジスターＴ７のゲートは接点Ｊ３に連結されると共にキャパシタＣ１を通じてクロック端子ＣＫ１に連結され、ドレインはクロック端子ＣＫ１に、ソースは接点Ｊ４に連結され、接点Ｊ３と接点Ｊ４の間にキャパシタＣ２が連結されている。

【００５２】
プルダウン駆動部４４０は、ゲート電圧端子ＧＶに共通に連結されるソースを通じてゲートオフ電圧Ｖｏｆｆの入力を受けてドレインを通って接点（Ｊ１、Ｊ２、Ｊ３、Ｊ４）に出力する複数のトランジスター（Ｔ６、Ｔ９、Ｔ１３、Ｔ８、Ｔ３、Ｔ２）を含む。トランジスターＴ６のゲートはフレームリセット端子ＦＲに、ドレインは接点Ｊ１に連結され、トランジスターＴ９のゲートはリセット端子Ｒに、ドレインは接点Ｊ１に連結され、トランジスター（Ｔ１３、Ｔ８）のゲートは接点Ｊ２に共通に連結され、ドレインはそれぞれ接点（Ｊ３、Ｊ４）に連結されている。トランジスターＴ３のゲートは接点Ｊ４に、トランジスターＴ２のゲートはリセット端子Ｒに連結され、２つのトランジスター（Ｔ３、Ｔ２）のドレインは接点Ｊ２に連結されている。
【００５３】
出力部４５０は、ドレインとソースとがそれぞれクロック端子ＣＫ１とゲート及びキャリー出力端子（ＯＵＴ１、ＯＵＴ２）との間に連結され、ゲートが接点Ｊ１に連結されている一対のトランジスター（Ｔ１、Ｔ１５）と、トランジスターＴ１のゲートとソースの間、つまり、接点Ｊ１と接点Ｊ２の間に連結されているキャパシタＣ３を含む。トランジスターＴ１のソースは接点Ｊ２に連結されている。
【００５４】
以下では、このようなステージの動作について説明する。
【００５５】
説明の便宜のためにクロック信号（ＣＬＫ１、ＣＬＫ２）のハイレベルに該当する電圧の大きさはゲートオン電圧Ｖｏｎと同一で高電圧と言い、クロック信号（ＣＬＫ１、ＣＬＫ２）のローレベルに該当する電圧の大きさはゲートオフ電圧Ｖｏｆｆと同一で低電圧と言う。
【００５６】
まず、クロック信号ＣＬＫ２及び前段キャリー出力Ｃｏｕｔ（ｊ－１）がハイになると、トランジスター（Ｔ１１、Ｔ５）とトランジスターＴ４が導通する。その結果、２つのトランジスター（Ｔ１１、Ｔ４）は高電圧を接点Ｊ１に伝達し、トランジスターＴ５は低電圧を接点Ｊ２に伝達する。これによってトランジスター（Ｔ１、Ｔ１５）が導通してクロック信号ＣＬＫ１がゲート及びキャリー出力端子（ＯＵＴ１、ＯＵＴ２）に出力されるが、この時、接点Ｊ２の電圧とクロック信号ＣＬＫ１が全て低電圧であるので、ゲート及びキャリー出力電圧［Ｇｏｕｔ（ｊ）、Ｃｏｕｔ（ｊ）］は低電圧になる。これと同時に、キャパシタＣ３は高電圧と低電圧の差に相当する大きさの電圧を充電する。
【００５７】
この時、クロック信号ＣＬＫ１及び後端ゲート出力Ｇｏｕｔ（ｊ＋１）はローで、接点Ｊ２もローであるので、これらにゲートが連結されているトランジスター（Ｔ１０、Ｔ９、Ｔ１２、Ｔ１３、Ｔ８、Ｔ２）は全てオフ状態である。
【００５８】
次いで、クロック信号ＣＬＫ２がローになるとトランジスター（Ｔ１１、Ｔ５）が遮断され、これと同時にクロック信号ＣＬＫ１がハイになるとトランジスターＴ１の出力電圧及び接点Ｊ２の電圧が高電圧となる。この時、トランジスターＴ１０のゲートには高電圧が印加されるが、接点Ｊ２に連結されているソースの電位がまた同一な高電圧であるので、ゲートソース間の電位差が０になってトランジスターＴ１０は遮断状態を維持する。従って、接点Ｊ１は浮遊状態になり、そのためにキャパシタＣ３によって高電圧だけ電位が更に上昇する。
【００５９】
一方、クロック信号ＣＬＫ１及び接点Ｊ２の電位が高電圧であるので、トランジスター（Ｔ１２、Ｔ１３、Ｔ８）が導通する。この状態でトランジスターＴ１２とトランジスターＴ１３が高電圧と低電圧の間で直列に連結され、そのために接点Ｊ３の電位は２つのトランジスター（Ｔ１２、Ｔ１３）の導通時の抵抗状態の抵抗値によって分圧された電圧値を有する。しかし、トランジスターＴ１３の導通時の抵抗状態の抵抗値がトランジスター

Ｔ１２の導通時の抵抗状態の抵抗値に比べて非常に大きく、例えば約１０，０００倍程度に設定されているとすると接点Ｊ３の電圧は高電圧とほとんど同一である。これにより、トランジスターＴ７が導通してトランジスターＴ８と直列に連結され、そのために接点Ｊ４の電位は２つのトランジスター（Ｔ７、Ｔ８）の導通時の抵抗状態の抵抗値によって分圧された電圧値を有する。この時、２つのトランジスター（Ｔ７、Ｔ８）の抵抗状態の抵抗値がほとんど同一に設定されていると接点Ｊ４の電位は高電圧と低電圧の中間値を有し、それによってトランジスターＴ３は遮断状態を維持する。この時、後段ゲート出力Ｇｏｕｔ（ｊ＋１）が依然としてローであるので、トランジスター（Ｔ９、Ｔ２）も遮断状態を維持する。従って、ゲート及びキャリー出力端子（ＯＵＴ１、ＯＵＴ２）はクロック信号ＣＬＫ１にのみ連結され、低電圧とは遮断されて高電圧を出力する。

【００６０】

一方、キャパシタＣ１とキャパシタＣ２は両端の電位差に相当する電圧をそれぞれ充電するが、接点Ｊ３の電圧は接点Ｊ５の電圧より低い。

【００６１】

次いで、後段ゲート出力Ｇｏｕｔ（ｊ＋１）及びクロック信号ＣＬＫ２がハイになってクロック信号ＣＬＫ１がローになると、トランジスター（Ｔ９、Ｔ２）が導通して接点（Ｊ１、Ｊ２）に低電圧を伝達する。この時、接点Ｊ１の電圧はキャパシタＣ３を放電しながら低電圧に下がるが、キャパシタＣ３の放電時間によって低電圧に完全に下がりきるのにはある程度の時間を要する。従って、２つのトランジスター（Ｔ１、Ｔ１５）は後段ゲート出力Ｇｏｕｔ（ｊ＋１）がハイになってもしばらく間の導通状態を維持し、そのためにゲート及びキャリー出力端子（ＯＵＴ１、ＯＵＴ２）がクロック信号ＣＬＫ１と連結されて低電圧を出力する。次いで、キャパシタＣ３が完全放電されて接点Ｊ１の電位が低電圧に至るとトランジスターＴ１５が遮断されてキャリー出力端子ＯＵＴ２がクロック信号ＣＬＫ１と遮断されるので、キャリー出力Ｃｏｕｔ（ｊ）は浮遊状態になって低電圧を維持する。これと同時に、ゲート出力端子ＯＵＴ１はトランジスターＴ１が遮断されてもトランジスターＴ２を通じて低電圧と連結されるので、低電圧を出力し続ける。この時、後段ステージST_{j+1}のゲート出力Ｇｏｕｔ（ｊ＋１）が前段ゲート線G_jに連結されたトランジスターＴ１４に印加されてトランジスターＴ１４は導通され、それによってゲートオフ電圧Ｖｏｆｆをゲート線G_jに出力する。その結果、ゲート線G_jは低電圧に更に一度固定される。

【００６２】

一方、トランジスター（Ｔ１２、Ｔ１３）が遮断されるので、接点Ｊ３が浮遊状態となる。また、接点Ｊ５の電圧が接点Ｊ４の電圧より低くなるが、キャパシタＣ１によって接点Ｊ３の電圧が接点Ｊ５の電圧より低い状態を維持するためにトランジスターＴ７は遮断される。これと同時に、トランジスターＴ８も遮断状態になるので、接点Ｊ４の電圧もその分低くなってトランジスターＴ３も遮断状態を維持する。また、トランジスターＴ１０はゲートがクロック信号ＣＬＫ１の低電圧に連結され、接点Ｊ２の電圧もローであるので、遮断状態を維持する。

【００６３】

次に、クロック信号ＣＬＫ１がハイになるとトランジスター（Ｔ１２、Ｔ７）が導通され、接点Ｊ４の電圧が上昇してトランジスターＴ３を導通させて低電圧を接点Ｊ２に伝達するので、ゲート出力端子ＯＵＴ１は低電圧を出力し続ける。つまり、後段ゲート出力Ｇｏｕｔ（ｊ＋１）の出力がローであっても接点Ｊ２の電圧を低電圧にする。

【００６４】

一方、トランジスターＴ１０のゲートがクロック信号ＣＬＫ１の高電圧に連結され、接点Ｊ２の電圧が低電圧であるので、導通して接点Ｊ２の低電圧を接点Ｊ１に伝達する。一方、２つのトランジスター（Ｔ１、Ｔ１５）のドレインにはクロック端子ＣＫ１が連結されていてクロック信号ＣＬＫ１が継続して印加される。特に、トランジスターＴ１は他のトランジスターに比べて相対的に大きく作るが、これによってゲートドレイン間の寄生容量が大きくてドレインの電圧変化がゲート電圧に影響を与えることがある。即ち、クロッ

ク信号ＣＬＫ１がハイになる時、ゲートドレイン間寄生容量のためにゲート電圧が上がってトランジスターＴ１が導通することがある。従って、接点Ｊ２の低電圧を接点Ｊ１に伝達することによってトランジスターＴ１のゲート電圧を低電圧に維持してトランジスターＴ１が導通することを防止する。

【００６５】

その後、前段キャリー出力Ｃｏｕｔ（ｊ－１）がハイになるまで接点Ｊ１の電圧は低電圧を維持し、接点Ｊ２の電圧はクロック信号ＣＬＫ１がハイでクロック信号ＣＬＫ２がローである時はトランジスターＴ３を通じて低電圧になり、その反対の場合にはトランジスターＴ５を通じて低電圧を維持する。

【００６６】

一方、トランジスターＴ６は最後のダミーステージＳＴ$_{n+1}$で発生する初期化信号ＩＮＴの入力を受けてゲートオフ電圧Ｖｏｆｆを接点Ｊ１に伝達して接点Ｊ１の電圧を更に一度低電圧に設定する。

【００６７】

このような方式で、ステージ４１０は、前段キャリー信号Ｃｏｕｔ（ｊ－１）及び後段ゲート信号Ｇｏｕｔ（ｊ＋１）に基づき、クロック信号（ＣＬＫ１、ＣＬＫ２）に同期してキャリー信号Ｃｏｕｔ（ｊ）及びゲート信号Ｇｏｕｔ（ｊ）を生成する。

【００６８】

次に、図６乃至図８を参照して本発明の一実施例によるゲートオン電圧生成部についてより詳しく説明する。

【００６９】

図６は本発明の一実施例によるゲートオン電圧生成部の回路図の一例であり、図７は従来技術によるゲートオン電圧生成部を示す図面であり、図８は本発明の一実施例によるゲートオン電圧生成部と従来技術によるゲートオン電圧生成部のゲートオン電圧の波形を比較する図面である。

【００７０】

図６を参照すると、本実施例によるゲートオン電圧生成部７１０は基準電圧ＡＶＤＤと接地電圧の間に連結されている２つの抵抗（Ｒ１、Ｒ２）、２つの抵抗（Ｒ１、Ｒ２）の接点に連結されている電圧フォロワ、そして電荷ポンプ回路７１１を含む。

【００７１】

電荷ポンプ回路７１１は電圧フォロワＶＦとゲートオン電圧出力端子ＧＶＯの間に連結されている複数の第１乃至第４ダイオード（ｄ１－ｄ４）、そして第１乃至第４ダイオード（ｄ１－ｄ４）の間に一端が連結されている第１乃至第３キャパシタ（Ｃ１、Ｃ２、Ｃ３）と第４ダイオードｄ４とゲートオン電圧出力端子ＧＶＯの間に一端が連結されている第４キャパシタを含む。第１及び第３キャパシタ（Ｃ１、Ｃ３）の他端はスイッチング電圧ＳＷの入力を受け、第２及び第４キャパシタ（Ｃ２、Ｃ４）の他端は基準電圧ＡＶＤＤの入力を受ける。

【００７２】

この時、例えば、ゲートオン電圧Ｖｏｎの大きさは約２８Ｖであり、ゲートオフ電圧Ｖｏｆｆの大きさは約－１０Ｖである。また、基準電圧ＡＶＤＤは１２Ｖであり、スイッチング電圧ＳＷは０Ｖと１２Ｖの間の値を有する周期関数である。

【００７３】

以下、このような値を一例にしてゲートオン電圧Ｖｏｎを生成する過程を説明する。

【００７４】

ダイオード（ｄ１－ｄ４）のしきい電圧は一般に０．５Ｖ乃至０．７Ｖ程度であるが、計算の便宜のために０Ｖと仮定する。つまり、線形回路であるとして、後の計算結果で４つのダイオード（ｄ１－ｄ４）のしきい電圧の合計である２．０乃至２．８Ｖを引けばよい。

【００７５】

一方、２つの抵抗（Ｒ１、Ｒ２）の抵抗値は同一であり、これによって基準電圧ＡＶＤ

Ｄは２つの抵抗（Ｒ１、Ｒ２）によって半分になって電圧フォロワＶＦに６Ｖが伝達される。

【００７６】

電圧フォロワＶＦはこの値をそのままダイオードｄ１のアノード端子に伝達し、しきい電圧を０Ｖに仮定したので、全てのノード（Ｎ１－Ｎ４）の電圧は６Ｖとなる。

【００７７】

この時、スイッチング電圧ＳＷは０Ｖであり、各キャパシタ（Ｃ１－Ｃ４）にかかる電圧はノード（Ｎ１－Ｎ４）を基準に６Ｖ、－６Ｖ、６Ｖ及び－６Ｖとなる。

【００７８】

次いで、スイッチング電圧ＳＷが１２Ｖに変わると、第１及び第３キャパシタ（Ｃ１、Ｃ３）の他端が１２Ｖに変わりながら第１ノードＮ１と第３ノードＮ３の電圧は１８Ｖに変化する。また、第１ノードＮ１の電圧と第３ノードＮ３の電圧がそのまま第２ノードＮ２と第４ノードＮ４にそれぞれ伝達されて第２ノードＮ２と第４ノードＮ４の電圧もまた１８Ｖとなる。

【００７９】

次に、スイッチング電圧ＳＷが０Ｖになると、第１ノードＮ１は６Ｖに下がりながら第２ダイオードｄ２が遮断される。この時、第３ノードＮ３もまた電圧が降下するが、第２ノードＮ２の電圧である１８Ｖが伝達されて１８Ｖを維持する。この時、第４ダイオードｄ４は第３ノードＮ３の電圧の一時的な電圧降下によって遮断されて第４キャパシタＣ４は浮遊状態になって直前の電圧を維持する。

【００８０】

次に、スイッチング電圧ＳＷが１２Ｖになると第１ノードＮ１の電圧は１８Ｖに、第３ノードＮ３の電圧は直前の１８Ｖと１２Ｖが加えられて３０Ｖになって第４ダイオードｄ４が導通し、この電圧が第４ノードＮ４に伝達されてゲートオン電圧Ｖｏｎは３０Ｖを出力する。

【００８１】

再び、スイッチング電圧ＳＷが０Ｖに変わると第３ノードＮ３の電圧は１８Ｖに変わりながら第４ダイオードｄ４のアノード電圧がカソード電圧より低くなって遮断され、それによって第４キャパシタＣ４が浮遊状態になって直前の電圧の３０Ｖを出力し続ける。

【００８２】

結果として、ダイオード（ｄ１－ｄ４）のしきい電圧の合計である２．０Ｖ乃至２．８Ｖを引けば２７．２Ｖ乃至２８Ｖとなる。

【００８３】

このように生成されたゲートオン電圧Ｖｏｎ及びゲートオフ電圧Ｖｏｆｆは上述したようにクロック信号生成部７５０に入力され、クロック信号生成部７５０はゲート電圧（Ｖｏｎ、Ｖｏｆｆ）に基づいてクロック信号（ＣＬＫ１、ＣＬＫ２）を生成してゲート駆動部４００に出力する。

【００８４】

一方、図７を参照すると従来技術によるゲートオン電圧生成部はダイオード（ｄ５－ｄ８）とキャパシタ（Ｃ５－Ｃ８）からなる電荷ポンプ回路７１２が本発明の一実施例によるゲートオン電圧生成部７１０と同一である。

【００８５】

しかし、従来技術では、基準電圧ＡＶＤＤが抵抗Ｒ３を通じて電圧降下された後、本発明の一実施例によるゲートオン電圧生成部７１０とは異なって直接ダイオードｄ５のアノードに入力される。

【００８６】

これによって負荷の変動がある場合に、電荷ポンプ回路７１２の入力端、つまり、第５ダイオードｄ５にそのまま影響を与え、再びゲートオン電圧Ｖｏｎｃが増加する現象が発生する。これについて図８を参照して詳しく説明する。

【００８７】

図８に示すクロック信号ＣＬＫは２つのクロック信号（ＣＬＫ１、ＣＬＫ２）のうちのいずれか１つである。

【００８８】

図示したように、フレームとフレームの間にはクロック信号ＣＬＫが出力されないブランク時間ＢＴが存在し、この時間にはクロック信号生成部７５０とゲート駆動部４００が動作しないが、ゲートオン電圧生成部７１０と他の駆動回路（４００、７５０）との断絶が一時的に起こる。

【００８９】

図７に示した回路は基準電圧ＡＶＤＤから電荷ポンプ回路７１２を経てゲートオン電圧出力端子ＧＶＯに流れる電流経路を有する。しかし、ブランク時間ＢＴには電流の流れのない状態になって、基準電圧ＡＶＤＤは抵抗Ｒ３での電圧降下がなくそのままダイオードｄ５のアノードに伝達される。しかし、この時にも電荷ポンプ回路７１２は、スイッチング電圧ＳＷが続けて印加されてゲートオン電圧Ｖｏｎｃを生成し、ブランク時間ＢＴ以外の時間に生成されるゲートオン電圧Ｖｏｎｃに比べて大きい電圧を生成する。

【００９０】

つまり、図６を参照して説明したように、電荷ポンプ回路７１１に６Ｖが入力される時に３０Ｖを生成するので、図７に示した電荷ポンプ回路７１２に１２Ｖが入力されるとこれに６Ｖが加えられた３６Ｖを生成する。これによって、ゲートオン電圧生成部が動作仕様の許容限界値にほとんど近接する、あるいは動作仕様の許容限界値を超えるゲートオン電圧Ｖｏｎｃを出力して寿命短縮を招く。また、図８に点線で表示したようにゲートオン電圧Ｖｏｎｃに基づいて生成されるクロック信号ＣＬＫもまた許容限界値を超え、ゲート駆動部４００のトランジスター（Ｔ１－Ｔ１５）とスイッチング素子Ｑに過剰のストレスを与えて寿命を短縮させることがある。

【００９１】

しかし、本発明の一実施例によるゲートオン電圧生成部７１０は電荷ポンプ回路７１１の前段に電圧フォロワＶＦを置いて負荷の変動による影響を遮断する。つまり、電圧フォロワＶＦはほぼ入力インピーダンスが無限大で出力インピーダンスが０であるので、電圧フォロワＶＦの前後を分離する役割を果たして常に電荷ポンプ回路７１１には、一定の電圧、つまり、上記で例に挙げた６Ｖが入力される。従って、ゲートオン電圧Ｖｏｎは、許容限界値に対して多くの余裕を有して出力され、ブランク時間ＢＴで測定した結果、約１．５Ｖ程度だけ増加することが明らかになった。

【００９２】

また、図７に示した抵抗Ｒ３は基準電圧ＡＶＤＤと電荷ポンプ回路７１２の間に直列に連結されるため、６Ｖの電圧降下を作るための抵抗値は選択の幅が大きくない。例えば、抵抗Ｒ３の抵抗値として現在３００Ω（ｏｈｍ）を使用し、この抵抗Ｒ３には２０ｍＡの電流が流れて１２０ｍＷの電力が消費される。また、これは許容限界値である１００ｍＷを超えるもので、抵抗Ｒ３自体にも過剰のストレスを与える。

【００９３】

しかし、図６に示した本発明の一実施例では２つの抵抗（Ｒ１、Ｒ２）の抵抗値が同一であればよいので、抵抗（Ｒ１、Ｒ２）の選択が比較的に自由である。つまり、２つの抵抗（Ｒ１、Ｒ２）の抵抗値が３６０Ω以上であれば１００ｍＷの許容限界値に入るために選択の幅が広く、抵抗にかかるストレスを減らすことができる。

【００９４】

以上、本発明を実施するための最良の形態について説明したが、本発明は、上述の実施形態に限定されるものではなく、本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【００９５】

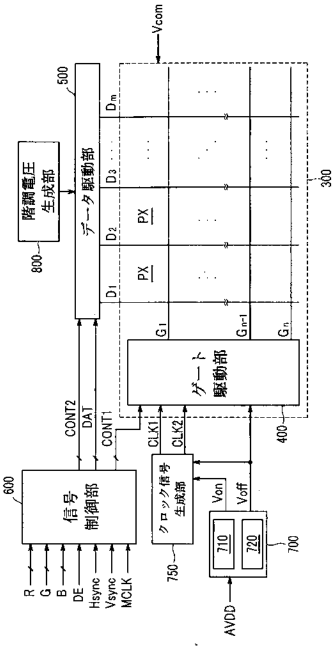
【図１】本発明の一実施例による液晶表示装置のブロック図である。

【図２】本発明の一実施例による液晶表示装置の１つの画素に対する等価回路図である。

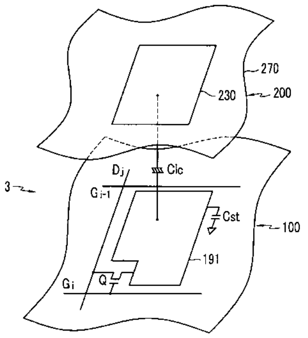
【図３】本発明の一実施例によるゲート駆動部のブロック図である。
【図４】図３に示したゲート駆動部用シフトレジスターのｊ番目ステージの回路図の一例である。
【図５】図３に示したゲート駆動部の信号波形図である。
【図６】図１に示したゲート電圧生成部でゲートオン電圧生成部の回路図の一例である。
【図７】従来技術によるゲートオン電圧生成部を示す図面である。
【図８】本発明の一実施例によるゲートオン電圧生成部と従来技術によるゲートオン電圧生成部のゲートオン電圧の波形を比較する図面である。
【符号の説明】
【００９６】
３　液晶層
１００　下部表示板
１９１　画素電極
２００　上部表示板
２３０　色フィルター
２７０　共通電極
３００　液晶表示板組立体
４００　ゲート駆動部
４００ａ　シフトレジスター
４１０　ステージ
４２０　入力部
４３０　プルアップ駆動部
４４０　プルダウン駆動部
４５０　出力部
５００　データ駆動部
６００　信号制御部
７００　ゲート電圧生成部
７１０　ゲートオン電圧生成部
７１１、７１２　電荷ポンプ回路
７５０　クロック信号生成部
８００　階調電圧生成部
ＡＶＤＤ　基準電圧
Ｒ、Ｇ、Ｂ　入力映像データ
ＤＥ　データイネーブル信号
ＭＣＬＫ　メインクロック
Ｈｓｙｎｃ　水平同期信号
Ｖｓｙｎｃ　垂直同期信号
ＣＯＮＴ１　ゲート制御信号
ＣＯＮＴ２　データ制御信号
ＤＡＴ　デジタル映像信号
ＰＸ　画素
Ｃｌｃ　液晶キャパシタ
Ｃｓｔ　ストレージキャパシタ
Ｑ　スイッチング素子
ＳＴＶ　走査開始信号
ＩＮＴ　初期化信号
ＣＬＫ、ＣＬＫ１、ＣＬＫ２　クロック信号
ＣＫ１、ＣＫ２　クロック端子
Ｓ　セット端子
Ｒ　リセット端子

ＦＲ　　フレームリセット端子
ＧＶ　　ゲート電圧端子
ＧＶＯ　　ゲートオン電圧出力端子
ＯＵＴ１　　ゲート出力端子
ＯＵＴ２　　キャリー出力端子
Ｖｏｎ、Ｖｏｎｃ　　ゲートオン電圧
Ｖｏｆｆ　　ゲートオフ電圧
ＶＦ　　電圧フォロワ
ＳＷ　　スイッチング電圧
ＢＴ　　ブランク時間

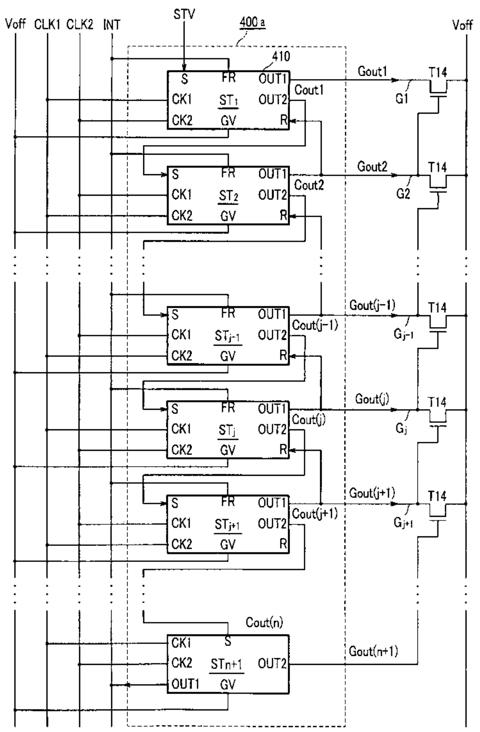
【図１】



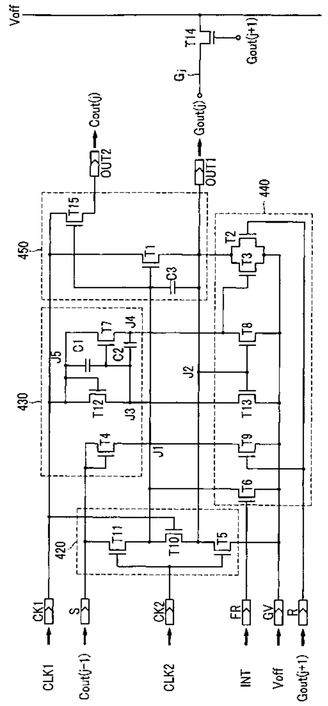
【図２】



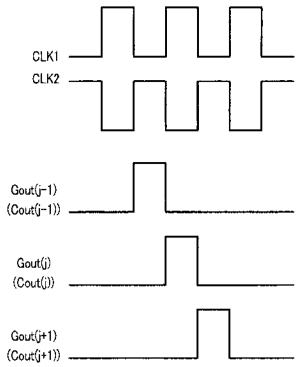
【図３】


Voff CLK1 CLK2 INT
STV
400a
410
Voff
S FR OUT1
CK1 ST1 OUT2
CK2 GV R
Gout1
Cout1
T14
G1
Gout2
Cout2
G2
Gout(j-1)
Cout(j-1)
Gj-1
Gout(j)
Cout(j)
Gj
Gout(j+1)
Cout(j+1)
Gj+1
Cout(n)
STn+1
Gout(n+1)

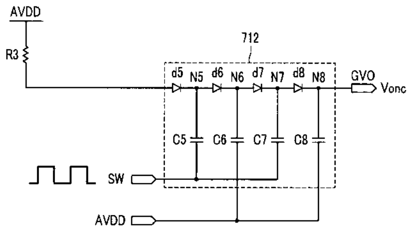
【図４】


Voff
T14
Gout(j+1)
Gj
Cout(j)
Gout(j)
OUT2
OUT1
440
450
430
420
CK1
S
CK2
FR
GV
R
CLK1
Cout(j-1)
CLK2
INT
Voff
Gout(j+1)

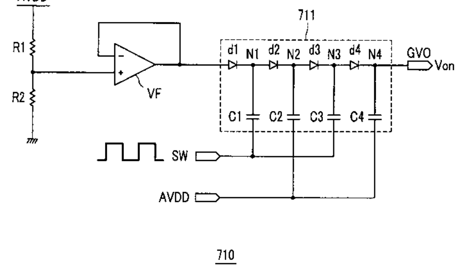
【図５】


CLK1
CLK2
Gout(j-1)
(Cout(j-1))
Gout(j)
(Cout(j))
Gout(j+1)
(Cout(j+1))

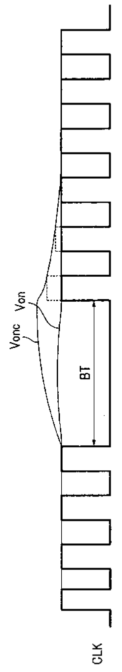
【図７】


AVDD
R3
712
d5 N5 d6 N6 d7 N7 d8 N8
GVO
Vonc
C5 C6 C7 C8
SW
AVDD

【図６】


AVDD
R1
R2
VF
711
d1 N1 d2 N2 d3 N3 d4 N4
GVO
Von
C1 C2 C3 C4
SW
AVDD
710

【図８】



フロントページの続き

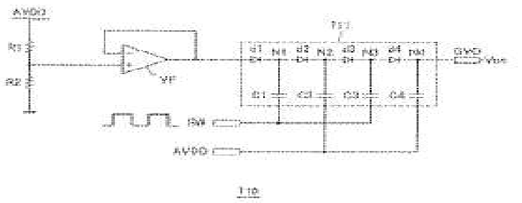
(51)Int.Cl.	ＦＩ			テーマコード（参考）
	Ｇ０９Ｇ	3/20	６２３Ｃ	
	Ｇ０２Ｆ	1/133	５５０	

(72)発明者 成 煥 俊
大韓民国 忠清南道 天安市 雙龍２洞 ウォルボンイルソンアパート ５０９棟 ５０１号
(72)発明者 全 明 河
大韓民国 忠清南道 天安市 斗亭洞 １９４５番地 ２０３号
(72)発明者 權 赫 泰
大韓民国 大邱市 南区 大明洞 ２５６４－３２
(72)発明者 朴 佼 ヒョン
大韓民国 大邱市 壽城区 池山洞 １０７３－１

Ｆターム(参考) 2H093 NA16 NA32 NA33 NA53 NC03 NC09 NC11 NC22 NC34 NC35
ND31
5C006 AA22 AC22 BB16 BC03 BC06 BC11 BF25 BF36 BF37 BF43
BF46 BF49 FA26 GA01
5C080 AA10 BB05 CC03 DD30 FF07 FF11 JJ02 JJ03 JJ04 JJ06

patsnap

专利名称(译)	用于液晶显示装置的驱动装置和包括该驱动装置的液晶显示装置		
公开(公告)号	JP2008310317A	公开(公告)日	2008-12-25
申请号	JP2008152226	申请日	2008-06-10
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	南ヒョン祐 成焕俊 全明河 權赫泰 朴佼ヒョン		
发明人	南 ヒョン 祐 成 焕 俊 全 明 河 權 赫 泰 朴 佼 ヒョン		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G11C19/184 G09G3/3648 G09G3/3677 G09G3/3696 G09G2310/0286 G09G2310/06 G09G2330/04		
FI分类号	G09G3/36 G09G3/20.612.D G09G3/20.612.E G09G3/20.612.K G09G3/20.622.C G09G3/20.623.C G02F1/133.550 G11C19/00 G11C19/00.J G11C19/28.D G11C19/28.230		
F-TERM分类号	2H093/NA16 2H093/NA32 2H093/NA33 2H093/NA53 2H093/NC03 2H093/NC09 2H093/NC11 2H093/NC22 2H093/NC34 2H093/NC35 2H093/ND31 5C006/AA22 5C006/AC22 5C006/BB16 5C006/BC03 5C006/BC06 5C006/BC11 5C006/BF25 5C006/BF36 5C006/BF37 5C006/BF43 5C006/BF46 5C006/BF49 5C006/FA26 5C006/GA01 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD30 5C080/FF07 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZC02 2H193/ZC15 2H193/ZD23 2H193/ZF03 5B074/AA10 5B074/CA01 5B074/DA03 5B074/EA01		
优先权	1020070059333 2007-06-18 KR		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供满足栅极电压产生部分的操作规范的液晶显示器的驱动单元，以及包含该驱动单元的液晶显示器。解决方案：用于本发明的液晶显示器的该驱动单元设置有用于产生栅极导通电压的栅极导通电压产生部分，以及用于产生栅极截止电压的栅极截止电压产生部分，栅极 - 电压产生部分包括连接在规定的参考电压和接地电压之间的第一和第二电阻，连接在第一电阻和第二电阻之间的电压跟随器，连接到电压跟随器的输出端的电荷泵电路，以及栅极导通电压输出端子连接到电荷泵电路。通过将电压跟随器设置在电荷泵电路的前级中以防止由负载的波动引起的影响，防止栅极导通电压在空白时间中突然升高。通过将参考电压分配通过具有相同电阻值的两个电阻，也可以使施加在电阻上的应力最小化。