

(19) 日本国特許庁(JP)

(12) **公開特許公報(A)**

(11) 特許出願公開番号

**特開2008-292948**

(P2008-292948A)

(43) 公開日 平成20年12月4日(2008.12.4)

(51) Int. Cl.  
**G09F 9/30**

**G09F 9/30 (2006.01)**

F 1

G09F 9/30 338

テーマコード (参考)

5C094

審査請求 未請求 請求項の数 3 O L (全 10 頁)

(21) 出願番号 特願2007-140881 (P2007-140881)

(22) 出願日 平成19年5月28日 (2007. 5. 28)

(71) 出願人 503354044

財団法人21あおもり産業総合支援センタ  
ー

青森県青森市新町二丁目4番1号

(71) 出願人 504157024

国立大学法人東北大学

宮城県仙台市青葉区片平二丁目1番1号

(74) 代理人 100082979

弁理士 尾川 秀昭

(72) 発明者 内田 龍男

宮城県仙台市青葉区片平二丁目1番1号

国立大学法人東北大学内

(72) 発明者 鈴木 芳人

宮城県仙台市青葉区片平二丁目1番1号

国立大学法人東北大学内

最終頁に続く

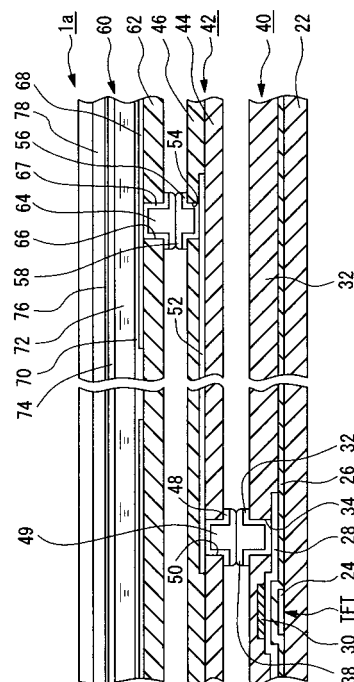
(54) 【発明の名称】 ディスプレイ装置

(57) 【要約】

【課題】 表面部に少なくとも複数の画素電極駆動用トランジスタＴＦＴを含む回路を形成した基板４０と、その回路の画素電極駆動用トランジスタＴＦＴに対応する画素電極６８を少なくとも有する表示部（液晶部）６０を備えたディスプレイ装置において、基板４０の設計の自由度を高め、ディスプレイの製造コストを低減することができるようにする。

【解決手段】 複数の画素電極駆動用トランジスタTFTを含む回路を表面部に形成した基板40と、画素電極駆動用トランジスタTFTに対応する画素電極68を少なくとも有する表示部42との間に、少なくとも画素電極駆動用トランジスタTFTと画素電極68との対応するもの同士の間を電氣的に接続する中間配線体42を介在させる。

【選択図】 図 1



**【特許請求の範囲】****【請求項 1】**

複数の画素電極駆動用トランジスタを含む回路を表面部に形成した基板と、  
上記回路の上記複数の画素電極駆動用トランジスタに対応する画素電極を少なくとも有する表示部と、

上記基板と上記表示部との間に介在し、少なくとも上記画素電極駆動用トランジスタと上記画素電極との対応するもの同士の間を電氣的に接続する中間配線体と、

を有することを特徴とするディスプレイ装置。

**【請求項 2】**

前記基板が絶縁性材料からなり、

10

前記複数の画素電極駆動用トランジスタが上記絶縁性材料からなる上記基板の表面部に形成された薄膜トランジスタからなる

ことを特徴とする請求項 1 に記載のディスプレイ装置。

**【請求項 3】**

前記基板が半導体材料からなり、

前記複数の画素電極駆動用トランジスタが上記半導体材料からなる基板の表面部に形成されたバルクトランジスタからなる

ことを特徴とする請求項 1 に記載のディスプレイ装置。

**【発明の詳細な説明】****【技術分野】**

20

**【0001】**

本発明は、表示部に画素を形成するための画素電極を少なくとも有し、その画素電極を T F T (薄膜トランジスタ) 或いはバルクトランジスタ等のトランジスタにより駆動するディスプレイ装置に関する。

**【背景技術】****【0002】**

ディスプレイとして、例えば液晶表示装置があるが、その多くは、例えば、特開 2 0 0 6 - 2 8 4 7 9 7 号公報に記載されたように、表面に薄膜トランジスタ T F T 等からなる回路を有する基板と液晶表示素子とを直接一体に組み付けたものが多い。

図 4 はその特開 2 0 0 6 - 2 8 4 7 9 7 号公報に記載された液晶表示装置を示す断面図であり、この装置を本発明の背景技術である従来例として図 4 を参照して説明する。

30

**【0003】**

( 1 0 ) は配線付基板で、透明基板 ( 1 ) とその上に形成された透明樹脂組成物膜 ( 3 ) とからなる。( 5 1 ) は上記透明基板 ( 1 ) の略中央部に形成されたゲート電極及びゲート配線であり、T F T (薄膜トランジスタ) を構成する。このゲート電極及びゲート配線 ( 5 1 ) は次の様にして形成される。

**【0004】**

先ず、透明基板 ( 1 ) 上に配線形成補助材料層を形成し、この配線形成補助材料層を選択的にエッチングする。次いで、この選択的エッチングに際して用いられたマスクを除去した後、この配線形成補助材料層上を含め上記透明基板 ( 1 ) 上に透明樹脂組成物膜 ( 3 ) を塗布する。その後、この透明樹脂組成物膜 ( 3 ) を選択的にエッチングすることにより上記配線形成補助材料層を露出させる開口部を形成し、その配線形成補助材料層のその開口部に露出する部分表面部にメッキにより主金属初期膜を形成する。しかる後、この主金属初期膜を下地としてメッキにより上記開口部を埋める主金属膜を形成する。この主金属膜と上記配線形成補助材料層とにより上記ゲート電極及びゲート配線 ( 5 1 ) が構成される。

40

**【0005】**

( 5 2 ) は上記透明樹脂組成物膜 ( 3 ) 上に全面的に形成されたゲート絶縁膜、( 5 3 ) はこのゲート絶縁膜 ( 5 2 ) 上に選択的に形成されたアモルファスシリコン層で、上記ゲート電極及びゲート配線 ( 5 1 ) と立体交差するように位置されており、上記 T F T (

50

薄膜トランジスタ)の半導体薄膜(チャンネル、ソース、ドレイン)を成す。

(54、54)はこのアモルファスシリコン層(53)上に形成されたリンドープアモルファスシリコン層で、ソース領域上及びドレイン領域上に形成されている。(55)はソース電極で、リンドープアモルファスシリコン層(54)のソース領域上の部分と接続されている。(56)は、ドレイン電極で、リンドープアモルファスシリコン層(54)のドレイン領域上の部分と接続されている。

【0006】

(60)は層間絶縁膜で、これには上記ドレイン電極(56)を露出させる開口部が形成されている。(57)は透明導電材料からなる画素電極で、その層間絶縁膜(60)の開口部を通じて自身と対応するTFTの上記ドレイン電極(56)に接続されている。(58)は配光膜で、上記各画素電極(57)上を含め上記層間絶縁膜(60)上に全面的に形成されている。(61)は液晶、(59)はカラーフィルタ付対向基板である。

尚、図4のカッコ書きの番号による符号は、後で本発明の実施例の説明に際して参照される図1～図3の同じ番号の符号(カッコ無し)とは対応関係がないものとする。

【0007】

ところで、従来の液晶表示装置等のディスプレイは、各画素電極(57)とそれを駆動する薄膜トランジスタTFTとは上から見て概ね重なり、画素電極(57)、(57)、・・・の形成エリア、より具体的には、画像表示エリアと、これら画素電極(57)、(57)、・・・を駆動する薄膜トランジスタTFT、TFT、・・・が形成されたTFT形成エリアとは略同じ面積を占有するようにされていた。

【特許文献1】特開2006-284797号公報

【発明の開示】

【発明が解決しようとする課題】

【0008】

ところで、上述した従来の技術によれば、各画素電極(57)とそれを駆動する薄膜トランジスタTFTとは上から見て概ね重なり、画素電極(57)、(57)、・・・の形成エリア、より具体的には、画像表示エリアと、これら画素電極(57)、(57)、・・・を駆動する薄膜トランジスタTFT、TFT、・・・が形成されたTFT形成エリアとは略同じ面積を占有するようにされていたので、製造コストを低減することが難しいという問題があった。

と言うのは、ディスプレイの解像度、画素数、画面の大きさによる機種の違いに応じて液晶部等の表示部と、その表示部の画像電極を駆動する薄膜トランジスタTFTの双方を一体で設計し、製造しなければならなかったからである。

【0009】

即ち、ディスプレイの解像度、画素数、画面の大きさにより液晶部等の表示部の画素電極の大きさ、数、画像表示エリア等が決まり、表示部はその決まり通りに設計し製造しなければならないこと当然であるが、従来の技術によれば、その表示部の画素電極を駆動する薄膜トランジスタTFTを有する基板をもその決まり通りに設計し製造しなければならなかった。

従って、ある機種のディスプレイ用の基板を、別の機種のディスプレイ用の基板として用いることはできなかった。これは、製造コストの低減を阻む一つの要因となっていた。

【0010】

本発明は、このような問題を解決すべく為されたものであり、表面部に少なくとも複数の画素電極駆動用トランジスタを含む回路を形成した基板と、その回路の上記複数の画素電極駆動用トランジスタに対応する画素電極を少なくとも有する表示部を備えたディスプレイ装置において、表示部の設計の自由度を高め、ディスプレイの製造コストを低減することができるようにすること目的とする。

【課題を解決するための手段】

【0011】

本発明ディスプレイ装置は、複数の画素電極駆動用トランジスタを含む回路を表面部に

10

20

30

40

50

形成した基板と、上記回路の上記複数の画素電極駆動用トランジスタに対応する画素電極を少なくとも有する表示部と、上記基板と上記表示部との間に介在し、少なくとも上記画素電極駆動用トランジスタと上記画素電極との対応するもの同士の間を電氣的に接続する中間配線体と、を有することを特徴とする。

【発明の効果】

【0012】

本発明ディスプレイ装置によれば、基板と上記表示部との間に、画素電極駆動用トランジスタと上記画素電極との対応するもの同士の間を電氣的に接続する中間配線体を介在させたので、画素電極の配設エリアの面積と、画素電極駆動用トランジスタの配設エリアの面積とを異ならせることができ、画素電極を有する表示部の画素電極駆動用トランジスタが形成された基板に対する設計の拘束の度合いを弱めることが、換言すれば、画素電極駆動用トランジスタが形成された基板に対する設計の自由度を高めることができる。

従って、ある機種 of ディスプレイ用の基板を、別の機種 of ディスプレイ用の基板として用いることが可能となり、製造コストの低減を図ることができる。

【発明を実施するための最良の形態】

【0013】

本発明は、基本的には、画素電極駆動用トランジスタを含む回路を表面部に形成した基板と、上記回路の上記複数の画素電極駆動用トランジスタに対応する画素電極を少なくとも有し、該画素電極の配設エリアの面積が上記複数の画素電極駆動用トランジスタの配設エリアの面積と顕著に異ならしめられた、表示部と、上記基板と上記表示部に介在し、少なくとも上記画素電極駆動用トランジスタと上記画素電極との対応するもの同士の間を接続する中間配線体と、を有するものであるが、基板が絶縁性材料からなり、前記複数の画素電極駆動用トランジスタが上記絶縁性材料からなる上記基板の表面部に形成された薄膜トランジスタ(TFT)からなるという態様が、本発明を実施するための最良の形態である。

【0014】

なぜならば、絶縁性材料からなる基板上に薄膜トランジスタ(TFT)を形成したものは、半導体からなる基板にバルクトランジスタを形成したものに比較して、同じチップサイズにおける歩留まりが顕著に大きいからである。

しかしながら、本発明は、基板を半導体材料で形成し、画素電極駆動用トランジスタを上記半導体材料からなる上記基板の表面部に形成したバルクトランジスタで形成するという態様でも実施することができる。

また、本発明は表示部として液晶部を有する液晶型のディスプレイ装置に適用することができるのみならず、それ以外の種類の表示部、例えば、有機ELを有する有機EL型のディスプレイ装置にも適用することができ、適用範囲は液晶型のディスプレイ装置に限定されない。

【実施例1】

【0015】

以下、本発明の詳細を図示実施例に基いて説明する。

図1、図2は本発明の一つの実施例のディスプレイ装置1aを示すもので、図1は断面図、図2は回路構成の概略を示す概略回路構成図である。

先ず、図1を参照してディスプレイ装置1aの基板40について説明する。22は例えば板状のガラスからなるベース、24はこのベース22の表面に形成された薄膜トランジスタTFTのゲート電極、26は上記ゲート電極22上を含めガラスからなるベース22上に形成されたゲート絶縁膜、28はこのゲート絶縁膜26上に形成された半導体薄膜、30はこの半導体薄膜28上に選択的に形成されたストッパで、半導体薄膜28にN型或いはP型の導電型不純物を打ち込んでソース、ドレインを形成する際のマスクとされたものである。

【0016】

32は層間絶縁膜で、これには上記半導体薄膜28のドレインの部分を露出させるドレ

10

20

30

40

50

イン電極形成用孔 3 4 が形成されている。3 6 はこの孔 3 4 の内周面上に形成されたメッキ膜で、層間絶縁膜 3 2 の表面上にまで伸びている。3 8 はこのメッキ膜 3 6 上に形成された電極で、例えば半田バンプからなる。

次に、上記基板 4 0 に対してその上に位置決めして接続される中間多層配線体 4 2 について説明する。

4 4 は絶縁板、4 6 はこの絶縁板 4 4 上に形成された層間絶縁層、4 8 は絶縁板 4 4 の裏面に形成されたメッキ膜で、絶縁板 4 4 に形成された接続用孔 5 0 及び後述する配線層 [ 5 2 ] からなる凹部の内周面及び絶縁板 4 4 裏面の凹部周縁部上に形成されている。4 9 はそのメッキ膜 4 8 上に形成された端子を成す金属膜で、上記半田バンプ 3 8 と接続されている。

10

#### 【 0 0 1 7 】

5 2 は絶縁板 4 4 の表面に形成された配線層で、その一端部は上記接続用孔 5 0 を通じて上記メッキ膜 4 8 を介して金属膜 4 9 に接続されている。

5 4 は上記層間絶縁層 4 6 に形成された接続用孔で、上記配線層 5 2 の他端部を露出させる。5 6 はこの接続用孔 5 4 の内周面上に形成されたメッキ膜で、層間絶縁膜 4 6 の表面上にまで伸びている。5 8 はこのメッキ膜 5 6 上に形成された電極で、例えば半田バンプからなる。

#### 【 0 0 1 8 】

次に、図 1 を参照して中間多層配線体 4 2 に対してその上に位置決めして接続される液晶部 6 0 について説明する。

20

6 2 は絶縁基層、6 4 はこの絶縁基層 6 2 の底面に形成された端子を成す金属層で、上記半田バンプ 5 8 と接続されている。6 6 は絶縁基層 6 2 に形成された接続用孔で、その内周面上から絶縁基層 6 2 の裏面周縁部上に至る部分にメッキ膜(例えば無電解メッキ膜) 6 7 が形成されている。6 8、6 8、・・・は画素電極で、上記絶縁基層 6 2 の表面上に形成され、各々上記接続用孔 6 6 を通じてメッキ膜 6 7 に接続されている。7 0 は配向膜、7 2 は液晶層、7 4 は配向膜、7 6 は上記画素電極 6 8、6 8、・・・に対向する共通対向電極、7 8 はカラーフィルタ、8 0 は透明材料、例えばガラスからなる平板状のベースである。

#### 【 0 0 1 9 】

この液晶部 6 0 の各画素電極 6 8、6 8、・・・が形成されたエリア、具体的には有効表示領域の面積と、その各画素電極 6 8、6 8、・・・を駆動する T F T 配設エリアの面積とは同じではなく、本実施例においては、有効表示領域の面積の方が T F T 配設エリアの面積よりも顕著に広く、従って、T F T 配設エリア内における T F T 配設密度(単位面積当たりの T F T 配設数)の方が有効表示領域内における画素電極配設密度(単位面積当たりの画素電極数)よりも高密度である。

30

#### 【 0 0 2 0 】

次に、図 2 を参照してディスプレイ装置 1 a の回路構成の概略を説明する。

3 0 0 はディスプレイ装置 1 a の全域を示し、3 0 2 はその一部を占有する有効表示領域で、該領域 3 0 0 内に液晶による画素を駆動する画素電極 6 8 が縦横に(マトリックス状に)配設されている。3 0 6 は該ディスプレイを制御するためのコントローラ、3 0 8 はゲートドライバで、該有効表示領域 3 0 2 内を図 2 における横方向(左右方向)に延び互いに等間隔で縦方向(上下方向)に離間して配置された各ゲート線 1、2、3、・・・を、上記コントローラ 3 0 6 により制御されて駆動する。

40

#### 【 0 0 2 1 】

3 1 0 はソースドライバで、上記コントローラ 3 0 6 により制御され、上記有効表示領域 3 0 2 内を図 8 における縦方向(上下方向)に延び、互いに等間隔で横方向(左右方向)に離間して配置された上記ソース線 1、2、3、・・・に所定の順序で信号電圧を供給するものであり、水平走査と信号電圧の供給を兼ねている。3 1 1 は基準電源回路で、ソースドライバ 3 1 0 に対して、画素を表示状態にするために必要な電源電圧を画素電極 6 8 へ供給する。

50

## 【 0 0 2 2 】

薄膜トランジスタ T F T は各ゲート線と各ソース線の各交点に対応して配置され、ゲート電極 ( 2 4 ) に上記ゲート線が接続され、ゲートドライバ 3 0 8 からの垂直走査用の電圧を受ける。

そして、ソースがソース線に、ドレインが画素を成す上記画素電極 6 8 に接続され、ゲート電極に垂直走査用の電圧を受け、且つソースにドライバ 3 1 0 からの駆動信号電圧を受けた薄膜トランジスタ T F T がその駆動信号電圧を増幅して画素電極 6 8 に伝達し、その画素を表示状態にする。尚、液晶表示素子の液晶の一方の面には画素電極 6 8 が多数マトリックス状に配置され、他方の面には有効表示領域 3 0 2 を略全面的に占有する図示しない共通電極 7 6 が配置され、液晶の各画素電極 6 8 と共通電極との間の部分が画素となり、駆動信号電圧を受けたとき表示状態となる。3 1 1 は基準電源回路で、電源電圧を発生する。

10

## 【 0 0 2 3 】

3 1 2 は入力信号受信回路で、外部回路 3 1 4 から入力信号を受信し、その入力信号を上記コントローラ 3 0 6 へ送出する。また、電源電圧発生用の入力信号も外部回路 3 1 4 から受信し、それを基準電源回路 3 1 1 に送出する。

## 【 0 0 2 4 】

本実施例によれば、基板 4 0 と液晶部 6 0 との間に、画素電極駆動用トランジスタ T F T と画素電極 6 8 との対応するもの同士の間を電氣的に接続する中間配線体 4 2 を介在させたので、画素電極の配設エリアの面積と、画素電極駆動用トランジスタの配設エリアの面積とを異ならせることができ、画素電極を有する表示部の画素電極駆動用トランジスタが形成された基板に対する設計の拘束の度合いを弱めることが、換言すれば、画素電極駆動用トランジスタが形成された基板 4 0 に対する設計の自由度を高めることができる。

20

即ち、基板 4 0 側の設計ルール ( T F T の大きさ、配設密度に関する設計ルール ) と液晶部 6 0 側の設計ルール ( 画像電極の大きさ、縦横比、配設密度に関する設計ルール ) とが必ずしも一致することが必要ではなく、不一致をその中間配線体 4 2 に吸収させることができるのである。

## 【 0 0 2 5 】

従って、ある機種 of ディスプレイ用の基板として設計されたものを、別の機種 of ディスプレイ用の基板として用いることが可能となり、ディスプレイ装置を供給するための製造態様の豊富化、選択の自由度の拡大を図ることができ、延いては、製造コストの低減を図ることができる。

30

## 【 0 0 2 6 】

尚、本実施例においては、有効表示領域の面積の方が T F T 配設エリアの面積よりも顕著に広く、従って、T F T 配設エリア内における T F T 配設密度 ( 単位面積当たりの T F T 配設数 ) の方が有効表示領域内における画素電極配設密度 ( 単位面積当たりの画素電極数 ) よりも高密度であったが、その逆、即ち、有効表示領域の面積の方が T F T 配設エリアの面積よりも狭く、従って、T F T 配設エリア内における T F T 配設密度 ( 単位面積当たりの T F T 配設数 ) の方が有効表示領域内における画素電極配設密度 ( 単位面積当たりの画素電極数 ) よりも低密度であってもよい。

40

## 【 実施例 2 】

## 【 0 0 2 7 】

図 3 は本発明の別の実施例 of ディスプレイ装置 1 b を示す断面図である。

本実施例は、本発明を、基板が半導体材料からなり、画素電極駆動用トランジスタがその基板の表面部に形成されたバルクトランジスタからなるディスプレイ装置に適用したものである。

図面において、4 0 a はモノリシック半導体集積回路素子、1 0 8 はモノリシック半導体集積回路素子 4 0 a のシリコン半導体基板で、その表面部に深さ数  $\mu\text{m}$  ~ 0 . 数  $\mu\text{m}$  程度の各種半導体領域が設けられており、1 1 0 はその一つであり、該シリコン半導体基板 1 0 8 内における一つのトランジスタの一部領域 (例えばドレイン領域) を成す。尚、そ

50

の一部領域 1 1 0 以外の半導体領域の図示は便宜上省略した。

【0028】

1 1 2 はフィールド絶縁膜、1 1 4 は層間絶縁膜、1 1 6 は電極取り出し用開口、1 1 8 は例えばアルミニウム或いは銅等からなる配線層で、図 3 上の配線層 1 1 8 は上記開口 1 1 6 を通じてシリコン半導体基板 1 0 8 内における上記半導体領域 1 1 0 による一つの電極を導出する役割を果たしている。

1 2 0 はパシベーション膜で、半導体集積回路素子 4 0 a の表面部を略全体的に覆って保護する。1 2 4 は該パシベーション膜 1 2 0 に形成された電極形成孔、1 2 6 はニッケル或いは金等のメッキ膜、1 2 8 は該メッキ膜 1 2 6 上に形成された半導体集積回路素子 4 0 a の電極で、例えば半田バンプからなる。V T はシリコン半導体基板 1 0 8 の表面に形成され上記半導体領域 1 1 0 を一部として有するバルクトランジスタであり、液晶部 6 0 の画素電極 6 8 を駆動する。

10

【0029】

この半導体集積回路素子 4 0 a は、その電極 1 2 8 にて図 1 の中間多層配線体 4 2 と同じ中間多層配線体 4 2 に、同じ態様で電氣的及び機械的に接続及び固定されている。

そして、この中間多層配線体 4 2 は、その電極 5 8 にて図 1 の液晶部 6 0 と同じ液晶部 6 0 に、同じ態様で電氣的及び機械的に接続及び固定されている。

従って、本実施例 1 b は、実施例 1 a とは、ディスプレイ装置 1 a の基板 4 0 に代えて半導体集積回路素子 4 0 a が用いられている点で相違するが、それ以外では共通する。

【0030】

20

即ち、半導体集積回路素子 4 0 a と接続され固定される中間多層配線体 4 2 は、その構成と、半導体集積回路素子 4 0 a との接続、固定の態様が実施例 1 a の中間多層配線体 4 2 のそれらと同じであり、中間多層配線体 4 2 と接続され固定される液晶部 6 0 は、その構成と、中間多層配線体 4 2 との接続、固定の態様が実施例 1 a の液晶部 6 0 のそれらと同じである。

従って、それらについての説明は重複するので省略する。

また、ディスプレイ装置 1 b の回路構成は、図 2 に示されたディスプレイ装置 1 a の回路構成とは、画素電極 6 8 を駆動する各トランジスタとして、薄膜トランジスタ T F T に代えてバルクトランジスタ V T を用いる点でのみ相違するが、それ以外では共通するので、図示を省略する。

30

【0031】

本実施例 1 b においても、実施例 1 a と同様に、半導体集積回路素子 4 0 a と液晶部 6 0 との間に、画素電極駆動用トランジスタ V T と画素電極 6 8 との対応するもの同士の間を電氣的に接続する中間配線体 4 2 を介在させたので、画素電極の配設エリアの面積と、画素電極駆動用トランジスタの配設エリアの面積とを異ならせることができ、画素電極を有する表示部の画素電極駆動用トランジスタが形成された基板に対する設計の拘束の度合いを弱めることが、換言すれば、画素電極駆動用トランジスタが形成された半導体集積回路素子 4 0 a に対する設計の自由度を高めることができる。

即ち、半導体集積回路素子 4 0 a 側の設計ルール（V T の大きさ、配設密度に関する設計ルール）と液晶部 6 0 側の設計ルール（画像電極の大きさ、縦横比、配設密度に関する設計ルール）とが必ずしも一致することが必要ではなく、不一致をその中間配線体 4 2 に吸収させることができるのである。

40

【0032】

従って、ある機種のディスプレイ用として設計された基板を、別の機種のディスプレイ用の基板として用いることも可能となり、ディスプレイ装置を供給するための製造態様の豊富化、選択の自由度の拡大を図ることができ、延いては、製造コストの低減を図ることができること、本実施例 1 a と同様である。

【0033】

尚、本実施例 1 b においても、有効表示領域の面積の方がバルクトランジスタ配設エリアの面積よりも顕著に広く、従って、バルクトランジスタ配設エリア内におけるバルクト

50

ランジスタ配設密度（単位面積当たりのバルクトランジスタ配設数）の方が有効表示領域内における画素電極配設密度（単位面積当たりの画素電極数）よりも高密度であったが、その逆、即ち、有効表示領域の面積の方がバルクトランジスタ配設エリアの面積よりも狭く、従って、バルクトランジスタ配設エリア内におけるバルクトランジスタ配設密度（単位面積当たりのバルクトランジスタ配設数）の方が有効表示領域内における画素電極配設密度（単位面積当たりの画素電極数）よりも低密度であってもよいこと、実施例 1 a と同様である。

このように、本発明は、基板を半導体材料で形成し、画素電極駆動用トランジスタを上記半導体材料からなる上記基板の表面部に形成したバルクトランジスタ V T で形成するという態様でも実施することができるのである。

10

【産業上の利用可能性】

【0034】

本発明は、本発明は、表示部に画素を形成するための画素電極を少なくとも有し、その画素電極を T F T（薄膜トランジスタ）或いはバルクトランジスタ等のトランジスタにより駆動するディスプレイ装置に産業上の利用可能性がある。

【図面の簡単な説明】

【0035】

【図 1】本発明の一つの実施例のディスプレイ装置を示す断面図である。

【図 2】図 1 に示したディスプレイ装置の回路構成図である

【図 3】本発明の他の実施例のディスプレイ装置を示す断面図である。

20

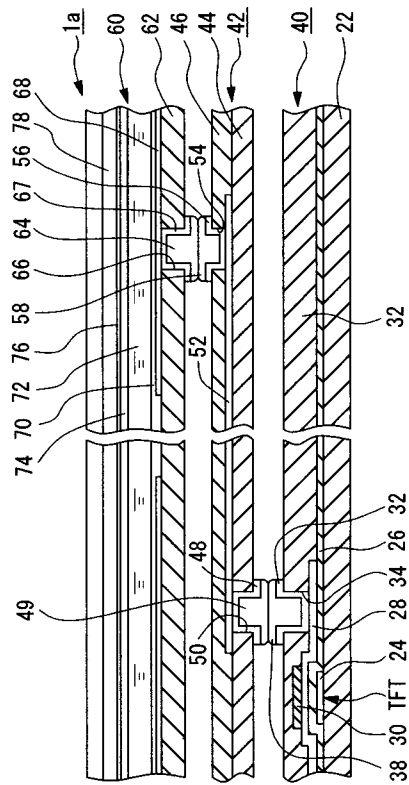
【図 4】本発明の背景技術を説明するためのディスプレイ装置の従来例を示す断面図である。

【符号の説明】

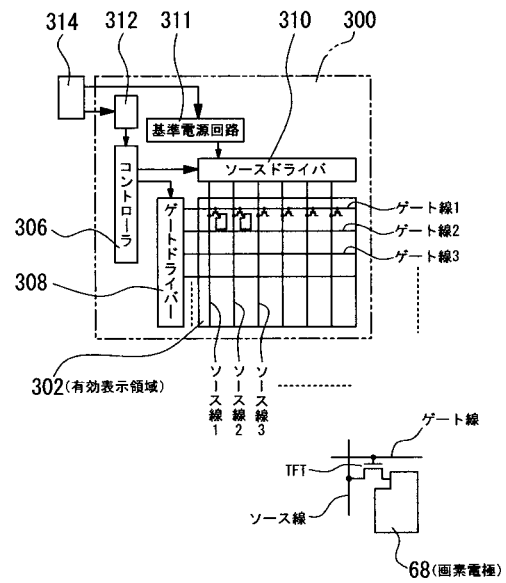
【0036】

1 a、1 b・・・ディスプレイ装置（実施例）、4 0、4 0 a・・・基板、  
4 2・・・中間配線体、6 0・・・表示部（液晶部）、  
T F T・・・薄膜トランジスタ、V T・・・バルクトランジスタ。

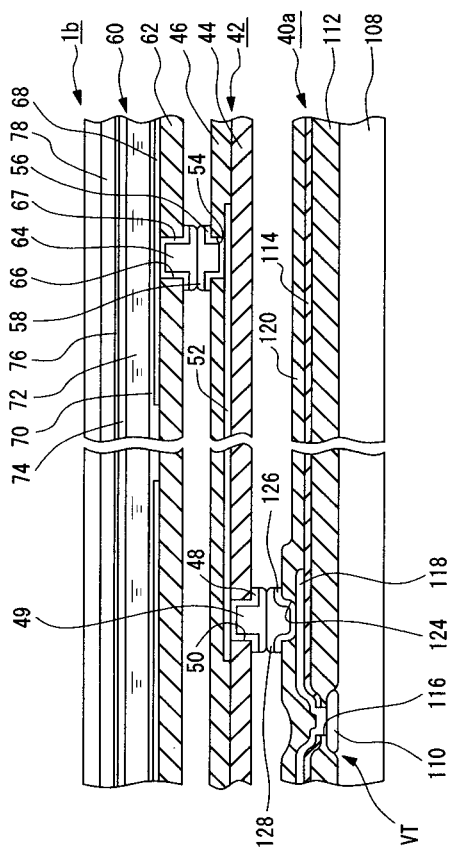
【図 1】



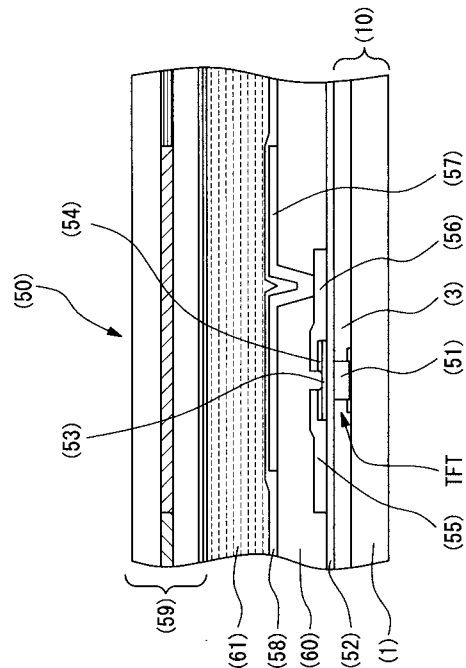
【図 2】



【図 3】



【図 4】



---

フロントページの続き

(72)発明者 石鍋 隆宏

宮城県仙台市青葉区片平二丁目1番1号 国立大学法人東北大学内

(72)発明者 若生 一広

青森県八戸市北インター工業団地1丁目4番43号 財団法人21あおもり産業総合支援センター  
液晶先端技術研究センター内

Fターム(参考) 5C094 AA52 AA60 BA03 DA20 DB04 DB08 EA10

|                |                                                                              |         |            |
|----------------|------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示设备                                                                         |         |            |
| 公开(公告)号        | <a href="#">JP2008292948A</a>                                                | 公开(公告)日 | 2008-12-04 |
| 申请号            | JP2007140881                                                                 | 申请日     | 2007-05-28 |
| [标]申请(专利权)人(译) | 基金会21青森支持中心产业振兴                                                              |         |            |
| 申请(专利权)人(译)    | 基金会21青森支持中心产业振兴<br>国立大学法人东北大学                                                |         |            |
| [标]发明人         | 内田龍男<br>鈴木芳人<br>石鍋隆宏<br>若生一広                                                 |         |            |
| 发明人            | 内田 龍男<br>鈴木 芳人<br>石鍋 隆宏<br>若生 一広                                             |         |            |
| IPC分类号         | G09F9/30                                                                     |         |            |
| FI分类号          | G09F9/30.338                                                                 |         |            |
| F-TERM分类号      | 5C094/AA52 5C094/AA60 5C094/BA03 5C094/DA20 5C094/DB04 5C094/DB08 5C094/EA10 |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                    |         |            |

#### 摘要(译)

显示单元（液晶单元）60至少具有基板40，该基板40具有在其表面上形成有至少多个像素电极驱动晶体管TFT的电路以及与该电路的像素电极驱动晶体管TFT对应的像素电极68。在包括上述内容的显示装置中，可以增加设计基板40的自由度，并且可以降低显示器的制造成本。在具有电路的基板和至少具有与像素电极驱动晶体管TFT相对应的至少一个像素电极的显示单元之间，提供至少一个像素，该电路包括在其表面上形成的多个像素电极驱动晶体管TFT。中间布线体（42）被插入，用于电连接相应的电极驱动晶体管（TFT）和像素电极（68）。[选型图]图1

