

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2008-15179
(P2008-15179A)

(43) 公開日 平成20年1月24日(2008.1.24)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 660V	5C006
G02F 1/133 (2006.01)	G09G 3/20 641R	5C080
	G09G 3/20 621F	
	G09G 3/20 622Q	
審査請求 未請求 請求項の数 9 O L (全 24 頁) 最終頁に続く		

(21) 出願番号	特願2006-185812 (P2006-185812)	(71) 出願人	302020207
(22) 出願日	平成18年7月5日(2006.7.5)		東芝松下ディスプレイテクノロジー株式会社
			東京都港区港南4-1-8
		(74) 代理人	100058479
			弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		最終頁に続く	

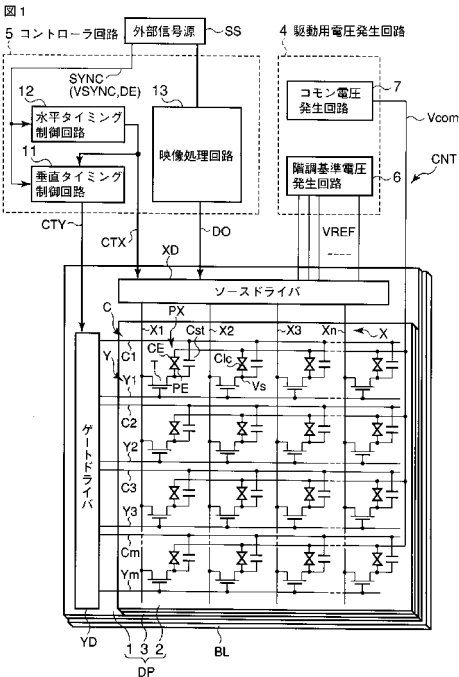
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】非映像信号書込みに続き映像信号書込みを行う場合に発生する横筋を低減する。

【解決手段】液晶表示装置は複数の液晶画素PXがそれぞれ複数の画素スイッチング素子を介してソース線Xに接続される液晶表示パネルDPと、非映像信号に対応してソース線Xを駆動しソース線Xの電位を複数の画素スイッチング素子Tを選択的に介して複数の液晶画素PXのいずれかに印加する非映像信号書込みおよび非映像信号書込み後に映像信号に対応してソース線Xを駆動しソース線Xの電位を複数の画素スイッチング素子Tを選択的に介して複数の液晶画素PXのいずれかに印加する映像信号書込みを行う表示制御回路CNTとを備える。表示制御回路CNTは非映像信号書込みを行う非映像書込期間とこの非映像書込期間に続いて最初の映像信号書込みを行う映像書込期間との間にプリチャージ期間を設け、プリチャージ期間において映像信号に対応する中間調表示レベルに近いレベルにソース線Xの電位を遷移させるように構成される。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

複数の液晶画素がそれぞれ複数の画素スイッチング素子を介してソース線に接続される液晶表示パネルと、非映像信号に対応して前記ソース線を駆動し前記ソース線の電位を前記複数の画素スイッチング素子を選択的に介して前記複数の液晶画素のいずれかに印加する非映像信号書込みおよび前記非映像信号書込み後に映像信号に対応して前記ソース線を駆動し前記ソース線の電位を前記複数の画素スイッチング素子を選択的に介して前記複数の液晶画素のいずれかに印加する映像信号書込みを行う表示制御回路とを備え、前記表示制御回路は前記非映像信号書込みを行う非映像書込期間と前記非映像書込期間に続いて最初の前記映像信号書込みを行う映像書込期間との間にプリチャージ期間を設け、前記プリチャージ期間において前記映像信号に対応する中間調表示レベルに近いレベルに前記ソース線の電位を遷移させるように構成されることを特徴とする液晶表示装置。 10

【請求項 2】

マトリクス状に配置される複数の液晶画素、前記複数の液晶画素の行に沿って配置される複数のゲート線、前記複数の液晶画素の列に沿って配置される複数のソース線、および前記複数のゲート線および複数のソース線の交差位置近傍に配置され各々対応ゲート線を介して駆動されたときに対応ソース線の電位を画素電圧として対応液晶画素に印加する複数の画素スイッチング素子を含む液晶表示パネルと、前記複数のゲート線を所定数ずつ並列的に駆動する間に非映像信号に対応して前記複数のソース線を駆動する非映像信号書込みおよび前記複数のゲート線を所定数ずつ順次駆動する間に映像信号に対応して複数のソース線を駆動する映像信号書込みを行う表示制御回路とを備え、前記表示制御回路は所定数のゲート線が非映像信号書込用に駆動される非映像信号書込期間と所定数のゲート線の 1 つがこの非映像信号書込期間に続いて映像信号書込用に駆動される最初の映像信号書込期間との間にプリチャージ期間を設け、前記プリチャージ期間において映像信号に対応する中間調表示用レベルに近いレベルに前記複数のソース線の電位を遷移させるように構成されることを特徴とする液晶表示装置。 20

【請求項 3】

前記表示制御回路は前記最初の映像信号書込期間において出力される電圧および前記非映像信号書込期間に先行する最終の映像信号書込期間において出力される電圧のいずれかと同じ電圧を前記プリチャージ期間において前記複数のソース線に出力するソースドライバを含むことを特徴とする請求項 2 に記載の液晶表示装置。 30

【請求項 4】

前記表示制御回路は前記ソースドライバの各出力端を 2 以上のソース線に割当て、少なくとも前記映像信号書込期間において前記出力端から順次出力される電圧を前記 2 以上のソース線に分配するマルチプレクサを含むことを特徴とする請求項 3 に記載の液晶表示装置。

【請求項 5】

前記マルチプレクサは前記プリチャージ期間において前記出力端から出力される単一の電圧を前記 2 以上のソース線に分配するように構成されることを特徴とする請求項 4 に記載の液晶表示装置。 40

【請求項 6】

前記 2 以上のソース線は同色および同極性の映像信号書込みを必要とする液晶画素に対応して組合されることを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 7】

前記表示制御回路は前記プリチャージ期間に続いて映像信号書込用に順次駆動される所定数のゲート線を前記プリチャージ期間において一緒に駆動するゲートドライバを含むことを特徴とする請求項 5 に記載の液晶表示装置。

【請求項 8】

前記ゲートドライバは前記プリチャージ期間から前記最初の映像信号書込期間まで対応ゲート線を継続的に駆動するように構成されることを特徴とする請求項 7 に記載の液晶表 50

示装置。

【請求項 9】

前記複数のゲート線は 5 本以上である所定数ずつ非映像信号書込用に並列的に駆動され映像信号書込用に順次駆動されることを特徴とする請求項 5 に記載の液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネルが例えば 1 フレーム期間毎に映像信号に対応した映像信号表示および映像信号に対応しない非映像信号表示を行う液晶表示装置に関する。

【背景技術】

【0002】

液晶表示装置に代表される平面表示装置は、コンピュータ、カーナビゲーションシステム、あるいはテレビ受信機等において画像を表示するために広く利用されている。液晶表示装置は、一般に複数の液晶画素のマトリクスアレイを含む液晶表示パネル、この液晶表示パネルを照明するバックライト、並びにこれら液晶表示パネルおよびバックライトを制御する表示制御回路を有する。

【0003】

液晶表示パネルはアレイ基板および対向基板間に液晶層を挟持した構造である。一般に、アレイ基板は略マトリクス状に配置される複数の画素電極、複数の画素電極の行に沿って配置される複数のゲート線、複数の画素電極の列に沿って配置される複数のソース線、複数のゲート線および複数のソース線の交差位置近傍に画素スイッチング素子として配置される薄膜トランジスタ (TFT: Thin Film Transistor) を有する。各薄膜トランジスタは、対応ゲート線が駆動されたときに導通して対応ソース線の電位を対応画素電極に印加する。対向基板は、カラーフィルタおよびこのカラーフィルタを覆って複数の画素電極に対向する共通電極を有する。一对の画素電極および共通電極はこれら電極間に位置する液晶層の一部である画素領域と共に液晶画素を構成する。画素電極および共通電極間の電位差は、薄膜トランジスタが非導通になった後に液晶駆動電圧として保持され、この液晶駆動電圧に対応した電界によって画素領域内の液晶分子配列を制御する。この制御において、液晶分子配列が一方向の電界によって制御される場合、液晶分子の偏在化が液晶層内で生じ、最終的に制御不能な状態になってしまう。共通電極の電位が一定である場合には、この偏在化を阻止するために、画素電極の電位が例えば 1 フレーム期間 (V = 垂直期間) に加えて所定数の水平期間 (H) 毎に周期的に共通電極および画素電極間の液晶駆動電圧の極性を反転するように設定される。

【0004】

表示制御回路は複数のゲート線を駆動するゲートドライバ、このゲートドライバによって駆動されたゲート線に対応する行の画素 (水平画素ライン) の画素電極に対する画素電圧により複数のソース線を駆動するソースドライバ、およびこれらゲートドライバおよびソースドライバの動作タイミングを制御するコントローラ回路等を有する。

【0005】

大型液晶テレビなどの分野では、動画表示に必要とされる高速な液晶応答性を有する OCB (Optically Compensated Bend) モードの液晶表示パネルが採用されつつある。この液晶表示パネルは液晶分子の配向状態をスプレイ配向からベンド配向に予め転移させて表示動作を行うが、このベンド配向は長時間に渡って電圧無印加状態にあるいはこの状態に近い状態が続く場合にスプレイ配向へ逆転移してしまう。このような液晶表示パネルでは、黒挿入駆動がスプレイ配向への逆転移を防止することを意図して用いられている (特許文献 1 を参照)。この場合、液晶表示パネルは映像信号表示を例えば 1 フレーム期間のうちの 80 % 程度で行い、液晶駆動電圧が最大になる黒表示 (非映像信号表示) を 1 フレーム期間の残り 20 % 程度で行うように駆動される。また、この黒挿入駆動は、動画表示において CRT に近いインパルス型の輝度応答を擬似的に作り出すことから、観察者の視覚に生じる網膜残像をクリアして物体の動きを滑らかに見せるためにも有効である。

10

20

30

40

50

【 0 0 0 6 】

図 1 3 は液晶駆動電圧の極性が 4 水平期間および 1 フレーム期間単位に反転される 4 H 1 V 反転形式の黒挿入駆動例を示す。この黒挿入駆動では、複数のゲート線 Y 1 , Y 2 , Y 3 , Y 4 , ... が黒挿入書込用および映像信号書込用に 1 フレーム期間毎に合計 2 回走査される必要がある。複数のゲート線 Y 1 , Y 2 , Y 3 , Y 4 , ... は 4 本ずつのグループに区分され、黒挿入書込用に 4 H 当り 1 グループの割合で順次駆動され、さらに黒挿入書込の開始から黒挿入期間 (1 フレーム期間の 2 0 % 程度) だけ遅れて映像信号書込用に 4 H 当り 1 グループの割合で駆動される。ここで、黒挿入書込みと映像信号書込みとの衝突を避けるため、各グループは黒挿入書込用にこのグループに割当てられた 4 H を 5 等分した第 1 番目の 4 H / 5 期間に駆動され、映像信号書込用にこのグループに割当てられた 4 H を 5 等分した第 2 番目, 第 3 番目, 第 4 番目, および第 5 番目の 4 H / 5 期間に駆動される。図 1 3 に示すように、ゲートドライバは各グループのゲート線 Y 1 ~ Y 4 , Y 5 ~ Y 8 , ... を黒挿入書込用に駆動する 4 個のゲートパルスと並列的に出力し、各グループのゲート線 Y 1 ~ Y 4 , Y 5 ~ Y 8 , ... を映像信号書込用に駆動する 4 個のゲートパルスを順次出力する。ソースドライバは各グループのゲート線 Y 1 ~ Y 4 , Y 5 ~ Y 8 , ... が黒挿入書込用に駆動されたときに対応水平画素ラインに対する黒信号 (非映像信号) を画素電圧に変換してソース線 X 1 , ... に並列的に出力し、さらにゲート線 Y 1 ~ Y 4 , Y 5 ~ Y 8 , ... の各々が映像信号書込用に駆動されたときに対応水平画素ラインに対する映像信号を画素電圧に変換して全ソース線 X 1 , ... に並列的に出力する。これにより、黒挿入書込みが 4 行の液晶画素 (4 水平画素ライン) 毎に割当てられた 4 水平期間に含まれる第 1 番目の 4 H / 5 期間において同時に行われ、映像信号書込みが 4 行の液晶画素毎に割当てられた 4 水平期間に含まれる第 2 番目, 第 3 番目, 第 4 番目, および第 5 番目の 4 H / 5 期間において行われる。尚、画素電圧は 4 水平画素ライン毎に逆極性に設定され、さらに全水平画素ライン毎に逆極性に設定される。尚、画素電圧はさらに各水平画素ラインにおいて 1 画素毎に逆極性に設定されることが好ましい。上述の黒挿入駆動は 4 水平期間当り 5 回の書込みを行なうことから、黒挿入書込みを行わずに 1 水平期間当り 1 回の映像信号書込みを行う駆動に対比して 1 . 2 5 倍速駆動とも呼ばれる。

【 0 0 0 7 】

他の黒挿入駆動例としては、例えば 2 水平期間当り 3 回の書込み (1 回の黒挿入書込みおよび 2 回の映像信号書込み) を行う 1 . 5 倍速駆動や、1 水平期間当り 2 回の書込み (1 回の黒挿入書込みおよび 1 回の映像信号書込み) を行う 2 倍速駆動も考えられる。一般的には、 n を自然数とすると、 n 水平期間当り ($n + 1$) 回の書込み (1 回の黒挿入書込みおよび n 回の映像信号書込み) を行う ($n + 1$) / n 倍速駆動が考えられる。 n が大きいほど、全映像信号書込期間に対する全黒挿入書込期間の割合を低減できる。しかしながら、 n の大きくすると、黒挿入期間の差が各グループのゲート線に対応した水平画素ライン間において増大する。図 1 3 に示す黒挿入駆動例のように $n = 4$ であれば、3 水平期間に等しい黒挿入期間の差が例えばゲート線 Y 1 および Y 4 に対応する水平画素ライン間に生じる。我々の実験では、 $n = 4$ である場合に、表示パネル上の表示画像の品質が黒挿入期間の差によって劣化することは確認できなかった。これに対して、 $n = 5$ である場合には、この黒挿入期間の差が表示パネル上の輝度差による黒帯として認識されてしまう結果となった。従って、 n は 4 以下、すなわち $n = 1 , 2 , 3$, または 4 であることが好ましい。

【 0 0 0 8 】

ところで、例えば 4 H 1 V 反転形式の黒挿入駆動を大型の液晶表示パネルに適用すると、次のような問題が中間調表示用の映像信号を全画素に書込む場合に発生している。大型の液晶表示パネルでは、ソースドライバの負荷となるソース線の時定数、すなわち負荷容量が大きいために、全ソース線の電位が黒挿入書込みに続く最初の映像信号書込みで中間調表示用レベルまで遷移する前に 1 水平画素ラインに対する映像信号書込期間が終了することがある。いいかえれば、映像信号書込期間がソース線電位の遷移に必要な長さに対して不足する。具体的には、黒挿入書込み後に 4 水平画素ラインの映像信号書込みが順次行

われるが、最初の 1 水平画素ラインの輝度が残り 3 水平画素ラインの輝度よりも低くなり、これが横筋として認識される。この横筋は液晶表示パネルにおいて 4 水平画素ライン単位に発生する。一般的には、 n 水平画素ラインの映像信号書込みが黒挿入書込後に順次行われる場合に、横筋が n 水平画素ライン単位に発生する（特許文献 2 を参照）。

【0009】

また、ソースドライバの回路規模を小さくするため、マルチプレクサが上述の液晶表示パネルに設けられることがある。例えばソースドライバの出力端数がソース線数の半分に低減される場合には、マルチプレクサが各水平画素ラインに対する映像信号書込期間の前半でソースドライバの全出力端を半数のソース線に接続し、この映像信号書込期間の後半でソースドライバの全出力端を残り半数のソース線に接続する。すなわち、各水平画素ラインが 2 回に分けて駆動される。黒挿入駆動がこの分割駆動に加えて行われると、映像信号書込期間が分割駆動を行わない場合に対して半分に低下し、映像信号書込期間の不足による画素電圧の書込み誤差が顕著になる。従って、横筋の発生がマルチプレクサの利用によって深刻なものとなる。

10

【特許文献 1】特開 2002 - 202491 号公報

【特許文献 2】特開 2003 - 280036 号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

従来、非映像信号書込みに続いて映像信号書込みを行う場合には、横筋が発生するという問題があった。

20

【0011】

本発明の目的は非映像信号書込みに続いて映像信号書込みを行う場合に発生する横筋を低減できる液晶表示装置を提供することにある。

【課題を解決するための手段】

【0012】

本発明の第 1 観点によれば、複数の液晶画素がそれぞれ複数の画素スイッチング素子を介してソース線に接続される液晶表示パネルと、非映像信号に対応してソース線を駆動しソース線の電位を複数の画素スイッチング素子を選択的に介して複数の液晶画素のいずれかに印加する非映像信号書込みおよび非映像信号書込み後に映像信号に対応してソース線を駆動しソース線の電位を複数の画素スイッチング素子を選択的に介して複数の液晶画素のいずれかに印加する映像信号書込みを行う表示制御回路とを備え、表示制御回路は非映像信号書込みを行う非映像書込期間とこの非映像書込期間に続いて最初の映像信号書込みを行う映像書込期間との間にプリチャージ期間を設け、プリチャージ期間において映像信号に対応する中間調表示レベルに近いレベルにソース線の電位を遷移させるように構成される液晶表示装置が提供される。

30

【0013】

本発明の第 2 観点によれば、マトリクス状に配置される複数の液晶画素、複数の液晶画素の行に沿って配置される複数のゲート線、複数の液晶画素の列に沿って配置される複数のソース線、および複数のゲート線および複数のソース線の交差位置近傍に配置され各々対応ゲート線を介して駆動されたときに対応ソース線の電位を画素電圧として対応液晶画素に印加する複数の画素スイッチング素子を含む液晶表示パネルと、複数のゲート線を所定数ずつ並列的に駆動する間に非映像信号に対応して複数のソース線を駆動する非映像信号書込みおよび複数のゲート線を所定数ずつ順次駆動する間に映像信号に対応して複数のソース線を駆動する映像信号書込みを行う表示制御回路とを備え、表示制御回路は所定数のゲート線が非映像信号書込用に駆動される非映像信号書込期間と所定数のゲート線の 1 つがこの非映像信号書込期間に続いて映像信号書込用に駆動される最初の映像信号書込期間との間にプリチャージ期間を設け、プリチャージ期間において映像信号に対応する中間調表示用レベルに近いレベルに複数のソース線の電位を遷移させるように構成されることを特徴とする液晶表示装置。

40

50

【発明の効果】

【0014】

これら液晶表示装置では、表示制御回路が非映像書込期間とこれに続く最初の映像書込期間との間にプリチャージ期間を設け、プリチャージ期間において映像信号に対応するレベルに近いレベルにソース線の電位を遷移させるように構成される。ソース線の電位が非映像書込期間に非映像信号に対応して例えば黒表示用レベルに設定される場合、ソース線の電位はこの非映像書込期間に続くプリチャージ期間に黒表示用レベルから中間調表示用レベルに向って遷移する。プリチャージ期間が黒表示用レベルから中間調表示用レベルまでの遷移に必要な期間に対して不足しても、ソース線の電位がこのプリチャージ期間に続く最初の映像信号書込期間に確実に中間調表示用レベルに到達することができ、液晶画素 10 に対する画素電圧の書込み誤差の発生を防止する。従って、非映像信号書込みに続いて映像信号書込みを行う場合に発生する横筋を低減できる。

【発明を実施するための最良の形態】

【0015】

以下、本発明の第1実施形態に係る液晶表示装置について添付図面を参照して説明する。

【0016】

図1はこの液晶表示装置の回路構成を概略的に示す。液晶表示装置は液晶表示パネルDP、表示パネルDPを照明するバックライトBL、および表示パネルDPおよびバックライトBLを制御する表示制御回路CNTを備える。液晶表示パネルDPは一对の電極基板 20 であるアレイ基板1および対向基板2間に液晶層3を挟持した構造である。液晶層3は、例えばノーマリホワイトの表示動作のために液晶分子が予めスプレイ配向からベンド配向に転移されると共にベンド配向からスプレイ配向への逆転移が周期的に印加され黒表示となる電圧により阻止されるOCB液晶材料を含む。表示制御回路CNTはアレイ基板1および対向基板2から液晶層3に印加される液晶駆動電圧により液晶表示パネルDPの透過率を制御する。スプレイ配向からベンド配向への転移は電源投入時に表示制御回路CNTにより行われる所定の初期化处理で比較的大きな電界を液晶に印加することにより得られる。

【0017】

液晶表示パネルDPは図2に示すような断面構造を有する。アレイ基板1は、ガラス板 30 等からなる透明絶縁基板GL、この透明絶縁基板GL上に形成される複数の画素電極PE、およびこれら画素電極PE上に形成される配向膜ALを含む。対向基板2はガラス板等からなる透明絶縁基板GL、この透明絶縁基板GL上に形成されるカラーフィルタ層CF、このカラーフィルタ層CF上に形成される共通電極CE、およびこの共通電極CE上に形成される配向膜ALを含む。液晶層3は対向基板2とアレイ基板1の間隙にOCB液晶材料を充填することにより得られる。図2では、液晶分子がスプレイ配向した状態にある。また、液晶表示パネルDPはアレイ基板1および対向基板2の外側に配置される一对の位相差板RT、およびこれら位相差板RTの外側に配置される一对の偏光板PLを備える。バックライトBLはアレイ基板1側の偏光板PLの外側に配置される照明光源である。アレイ基板1側の配向膜ALおよび対向基板2側の配向膜ALは互いに平行にラビング処理 40 される。これにより、液晶分子のプレチルト角は約10°に設定される。

【0018】

アレイ基板1では、複数の画素電極PEが透明絶縁基板GL上において略マトリクス状に配置される。また、複数のゲート線Y(Y1~Ym)が複数の画素電極PEの行に沿って配置され、複数のソース線X(X1~Xn)が複数の画素電極PEの列に沿って配置される。これらゲート線Yおよびソース線Xの交差位置近傍には、画素スイッチング素子として薄膜トランジスタTが配置される。各薄膜トランジスタTはゲート線Yに接続されるゲート、ソース線Xおよび画素電極PE間に接続されるソース-ドレインパスを有し、対応ゲート線Yを介して駆動されたときに導通して対応ソース線Xの電位を対応画素電極PEに印加する。

【0019】

各画素電極 P E および共通電極 C E は例えば I T O 等の透明電極材料からなり、それぞれ配向膜 A L で覆われ、液晶層 3 の一部である画素領域と共に液晶画素 P X を構成し、画素電極 P E および共通電極 C E の電位差である液晶駆動電圧に対応した電界によって画素領域内の液晶分子配列を制御する。尚、カラーフィルタ層 C F は複数の画素電極 P E の列にそれぞれ対向して行方向に繰返し並べたストライプ状の赤着色層、緑着色層、および青着色層を含む。ここで、赤着色層は第 1, 4, 7, ... 列の画素電極 P E に対向し、これら画素電極 P E に対応する液晶画素 P X を赤画素に設定する。緑着色層は第 2, 5, 8, ... 列の画素電極 P E に対向し、これら画素電極 P E に対応する液晶画素 P X を緑画素に設定する。青着色層は第 3, 6, 9, ... 列の画素電極 P E に対向し、これら画素電極 P E に対応する液晶画素 P X を青画素に設定する。 10

【0020】

複数の液晶画素 P X は各々画素電極 P E および共通電極 C E 間に液晶容量 C l c を有する。複数の蓄積容量線 C 1 ~ C m は各々対応行の液晶画素 P X の画素電極 P E に容量結合して蓄積容量 C s t を構成する。

【0021】

表示制御回路 C N T は、複数のゲート線 Y 1 ~ Y m を選択的に駆動するゲートドライバ Y D、複数のソース線 X 1 ~ X n を並列的に駆動するソースドライバ X D、表示パネル D P の駆動用電圧を発生する駆動用電圧発生回路 4、並びにゲートドライバ Y D およびソースドライバ X D を制御するコントローラ回路 5 を備える。ゲートドライバ Y D は蓄積容量線 C 1 ~ C m を所定電位に設定するためにも用いられる。 20

【0022】

駆動用電圧発生回路 4 は、ソースドライバ X D によって用いられる所定数の階調基準電圧 V R E F を発生する階調基準電圧発生回路 6、および共通電極 C E に印加されるコモン電圧 V c o m を発生するコモン電圧発生回路 7 を含む。コントローラ回路 5 は、外部信号源 S S から入力される同期信号 S Y N C に基づいてゲートドライバ Y D に対する制御信号 C T Y を発生する垂直タイミング制御回路 1 1、外部信号源 S S から入力される同期信号 S Y N C に基づいてソースドライバ X D に対する制御信号 C T X を発生する水平タイミング制御回路 1 2、および外部信号源 S S から入力される映像信号に黒信号（非映像信号）やプリチャージ信号を追加する黒挿入駆動用の変換を行う映像処理回路 1 3 を含む。映像信号、黒信号、プリチャージ信号は各行の液晶画素 P X（水平画素ライン）に対する複数の画素データを含み、1 フレーム期間（V = 垂直期間）毎に更新される。制御信号 C T Y はゲートドライバ Y D に供給され、制御信号 C T X は映像処理回路 1 3 から変換結果の画素データ D O と共にソースドライバ X D に供給される。制御信号 C T Y は複数のゲート線 Y 1 ~ Y m の駆動に必要とされるゲートドライバ Y D の垂直タイミング制御に用いられ、制御信号 C T X は複数のソース線の駆動に必要とされるソースドライバ X D の水平タイミング制御に用いられる。 30

【0023】

黒挿入駆動では、黒挿入書込みおよび映像信号書込みが各フレーム期間において所定数の水平画素ライン単位に行われる。このため、ゲートドライバ Y D は黒挿入書込（非映像信号書込）用に複数のゲート線 Y 1 ~ Y m を所定本数ずつ並列的に駆動すると共に映像信号書込用に複数のゲート線 Y 1 ~ Y m を所定本数ずつ順次駆動するように制御信号 C T Y によって制御される。また、ソースドライバ X D は変換結果として映像処理回路 1 3 から直列に出力される各行の液晶画素 P X に対する画素データ D O を階調基準電圧 V R E F を用いて画素電圧に変換しこれら画素電圧により複数のソース線 X 1 ~ X n を並列的に駆動しこれら画素電圧の極性を周期的に反転するように制御信号 C T X によって制御される。画素電圧は共通電極 C E のコモン電圧 V c o m を基準として画素電極 P E に印加される電圧 V s である。 40

【0024】

図 3 は液晶表示パネル D P に対して行われる一般的な 4 H 1 V 反転形式の黒挿入駆動を 50

比較例として示す。この黒挿入駆動では、黒挿入書込みおよび映像信号書込みが4水平期間毎に4水平画素ラインに対して行われ、これら黒挿入書込みおよび映像信号書込みの極性が4水平期間(4H)および1フレーム期間(1V)毎に反転される。4水平期間は一般に図3に示すように5等分され、第1の4H/5期間が黒挿入書込期間Kに割当てられ、第2,第3,第4,および第5の4H/5期間がそれぞれ映像信号書込期間S1, S2, S3, S4に割当てられる。

【0025】

黒挿入書込期間Kでは、黒信号が4水平画素ラインの各々に対する画素データDOとしてソースドライバXDに供給される。ソースドライバXDはこれら画素データDOを階調基準電圧VREFを用いて画素列毎に逆極性に設定される黒表示用画素電圧+V_k, -V_k, +V_k, -V_k, ...に変換しそれぞれソース線X1~X_nに出力する。他方、ゲートドライバYDはこの間に4個のゲートパルスをもつ4本のゲート線Y_i~Y_{i+3}に出力して、ゲート線Y_i~Y_{i+3}に接続された画素スイッチング素子Tを全て導通させる。黒表示用画素電圧+V_k, -V_k, +V_k, -V_k, ...はこの間にソース線X1~X_nからこれらスイッチング素子Tを介して4水平画素ラインの各々の画素PXにそれぞれ印加される。(尚、本実施形態は、ゲート線Y1~Y_mの各々が図13に示す形式とは逆にゲートパルスの立下りにより駆動される形式になっている。)

映像信号書込期間S1では、映像信号が黒挿入書込とは異なる4水平画素ラインのうちの第1水平画素ラインに対する画素データDOとしてソースドライバXDに供給される。ソースドライバXDはこれら画素データDOを階調基準電圧VREFを用いて画素列毎に逆極性に設定される映像表示用画素電圧+V_{s1}, -V_{s1}, +V_{s1}, -V_{s1}, ...に変換してそれぞれソース線X1~X_nに出力する。他方、ゲートドライバYDはこの間に単一のゲートパルスを例えばゲート線Y1に出力して、ゲート線Y1に接続された画素スイッチング素子Tを全て導通させる。映像表示用画素電圧+V_{s1}, -V_{s1}, +V_{s1}, -V_{s1}, ...はこの間にソース線X1~X_nからこれらスイッチング素子Tを介して第1水平画素ラインの画素PXにそれぞれ印加される。

【0026】

映像信号書込期間S2では、映像信号が第2水平画素ラインに対する画素データDOとしてソースドライバXDに供給される。ソースドライバXDはこれら画素データDOを階調基準電圧VREFを用いて画素列毎に逆極性に設定される映像表示用画素電圧+V_{s2}, -V_{s2}, +V_{s2}, -V_{s2}, ...に変換してそれぞれソース線X1~X_nに出力する。他方、ゲートドライバYDはこの間に単一のゲートパルスをゲート線Y2に出力して、ゲート線Y2に接続された画素スイッチング素子Tを全て導通させる。映像表示用画素電圧+V_{s2}, -V_{s2}, +V_{s2}, -V_{s2}, ...はこの間にソース線X1~X_nからこれらスイッチング素子Tを介して第2水平画素ラインの画素PXにそれぞれ印加される。

【0027】

映像信号書込期間S3では、映像信号が第3水平画素ラインに対する画素データDOとしてソースドライバXDに供給される。ソースドライバXDはこれら画素データDOを階調基準電圧VREFを用いて画素列毎に逆極性に設定される映像表示用画素電圧+V_{s3}, -V_{s3}, +V_{s3}, -V_{s3}, ...に変換してそれぞれソース線X1~X_nに出力する。他方、ゲートドライバYDはこの間に単一のゲートパルスをゲート線Y3に出力して、ゲート線Y3に接続された画素スイッチング素子Tを全て導通させる。映像表示用画素電圧+V_{s3}, -V_{s3}, +V_{s3}, -V_{s3}, ...はこの間にソース線X1~X_nからこれらスイッチング素子Tを介して第3水平画素ラインの画素PXに印加される。

【0028】

映像信号書込期間S4では、映像信号が第4水平画素ラインに対する画素データDOとしてソースドライバXDに供給される。ソースドライバXDはこれら画素データDOを階調基準電圧VREFを用いて画素列毎に逆極性に設定される映像表示用画素電圧+V_{s4}, -V_{s4}, +V_{s4}, -V_{s4}, ...に変換してそれぞれソース線X1~X_nに出力する。他方、ゲートドライバYDはこの間に単一のゲートパルスをゲート線Y4に出力して、ゲート線

Y 4 に接続された画素スイッチング素子 T を全て導通させる。映像表示用画素電圧 + V s4 , - V s4 , + V s4 , - V s4 , ... はこの間にソース線 X 1 ~ X n からこれらスイッチング素子 T を介して第 4 水平画素ラインの画素 P X にそれぞれ印加される。

【 0 0 2 9 】

上述の動作は 4 水平期間単位に画素電圧極性を反転させて繰り返される。画素電圧極性は、さらに 1 フレーム期間単位に反転される。ここで、第 1 水平画素ラインの黒挿入書込みから第 1 水平画素ラインの映像信号書込みまでの黒挿入期間が 1 フレーム期間の 2 0 % 程度に設定される。

【 0 0 3 0 】

図 3 に示す黒挿入駆動において、ソース線 X 1 の電位に注目すると、黒挿入書込み期間 K において画素電圧 + V k に設定された後、ソース線 X 1 の電位が図 3 に示す丸印のあたりで主に遷移する。すなわち、ソース線 X 1 の電位は第 1 映像信号書込み期間 S 1 において画素電圧 + V k に等しいレベルから画素電圧 + V s1 に等しいレベルに遷移し、第 2 映像信号書込み期間 S 2 において画素電圧 + V s1 に等しいレベルから画素電圧 + V s2 に等しいレベルに遷移し、第 3 映像信号書込み期間 S 3 において画素電圧 + V s2 に等しいレベルから画素電圧 + V s3 に等しいレベルに遷移し、第 4 映像信号書込み期間 S 4 において画素電圧 + V s3 に等しいレベルから画素電圧 + V s4 に等しいレベルに遷移する。画素電圧 + V k は黒表示に用いられる最大の値であり、画素電圧 + V s1 は主に中間調である映像表示に用いられて最大レベルより小さいレベルである。従って、+ V k および + V s1 間の電位差が + V s1 および + V s2 間、+ V s2 および + V s3 間、+ V s3 および + V s4 間の電位差に比べて大きくなり、映像信号書込み期間 S 1 での遷移時間が映像信号書込み期間 S 2 , S 3 , S 4 での遷移時間よりも長くなる。このため、ソースドライバ X D の負荷となるソース線 X 1 の時定数が大きい場合に、ソース線 X 1 の電位遷移中に映像信号書込み期間 S 1 が終了し、画素電圧の書込み誤差を生じることになる。

【 0 0 3 1 】

図 1 に示す表示制御回路 C N T は上述の書込み誤差を生じさせないために図 4 に示す 4 H 1 V 反転形式の黒挿入駆動を行う。この黒挿入駆動では、図 3 に示す黒挿入駆動と同様に、黒挿入書込みおよび映像信号書込みが 4 水平期間毎に 4 水平画素ラインに対して行われ、これら黒挿入書込みおよび映像信号書込みの極性が 4 水平期間 (4 H) および 1 フレーム期間 (1 V) 毎に反転される。これに対して、4 水平期間は図 4 に示すように 6 等分され、第 1 の 4 H / 6 期間が黒挿入書込み期間 K に割当てられ、第 2 の 4 H / 6 期間がプリチャージ期間 P に割当てられ、第 3 , 第 4 , 第 5 , および第 6 の 4 H / 6 期間がそれぞれ映像信号書込み期間 S 1 , S 2 , S 3 , S 4 に割当てられる。すなわち、表示制御回路 C N T は 4 本のゲート線 Y i ~ Y i + 3 が黒挿入書込みに駆動される黒挿入書込み期間 K と 4 本のゲート線 Y 1 ~ Y 4 の 1 つがこの黒挿入書込み期間 K に続いて映像信号書込みに駆動される最初の映像信号書込み期間 S 1 との間にプリチャージ期間 P を設け、このプリチャージ期間 P において映像信号に対応した中間調表示用レベルに複数のソース線 X 1 ~ X n の電位を遷移させるように構成されている。

【 0 0 3 2 】

ソースドライバ X D およびゲートドライバ Y D は、黒挿入書込み期間 K および映像信号書込み期間 S 1 , S 2 , S 3 , S 3 において図 3 に示す 4 H 1 V 反転方式の黒挿入駆動と同様に動作する。これに対して、プリチャージ期間 P では、プリチャージ信号がソース線 X 1 ~ X n に割当てられた画素データ D O としてソースドライバ X D に供給される。ソースドライバ X D はこれら画素データ D O を階調基準電圧 V R E F を用いて画素列毎に逆極性に設定される例えば映像表示用画素電圧 + V s1 , - V s1 , + V s1 , - V s1 , ... に変換してそれぞれソース線 X 1 ~ X n に出力する。他方、ゲートドライバ Y D はこの間に例えばゲート線 Y 1 ~ Y m のいずれにもゲートパルスを出力せず、ゲート線 Y 1 ~ Y m に接続された画素スイッチング素子 T を全て非導通に維持する。プリチャージ信号はプリチャージ期間 P においてソース線 X 1 ~ X n の電位を黒表示よりも映像表示に近い中間調表示用レベルに向って予め遷移させるためのものである。ここでは、映像表示用画素電圧 + V s1 , - V

S1, + V S1, - V S1, ... が映像信号書込期間 S 1 に設定されるレベルと等価な中間調表示用レベルを得る場合の例としてプリチャージ期間 P 1 にソース線 X 1 ~ X n に出力される。

【 0 0 3 3 】

ソース線 X 1 の電位は、プリチャージ期間 P において画素電圧 + V k に等しいレベルから画素電圧 + V s1 に等しいレベルに向って遷移する。プリチャージ期間がこの遷移の途中で終了してしまっても、ソース線 X 1 の電位はさらに映像信号書込期間 S 1 において画素電圧 + V s1 に等しいレベルに向って遷移する。図 4 に示す映像信号書込期間 S 1 の長さは、図 3 に示す映像信号書込期間 S 1 に割当てられた 4 H / 5 期間よりも短い 4 H / 6 期間という長さであるが、プリチャージ期間 P に割当てられた 4 H / 6 期間という長さが映像信号書込期間 S 1 の長さに追加され、ソース線 X 1 の電位がこれらを合計した 8 H / 6 期間において画素電圧 + V k に等しいレベルから画素電圧 + V s1 に等しいレベルまで遷移すればよいことになる。これにより、映像信号書込期間 S 1 の終了時点までにソース線 X 1 の電位を確実に画素電圧 + V s1 に等しいレベルに遷移させ、このソース線 X 1 を介して行われる画素電圧 + V s1 の書込み誤差をなくすることが可能である。これは、残りのソース線 X 2 ~ X n についても同様である。

10

【 0 0 3 4 】

尚、ソースドライバ X P はプリチャージ期間 P において画素電圧 + V s1, - V S1, + V S1, - V S1, ... 以外の画素電圧をソース線 X 1 ~ X n に出力して、ソース線 X 1 ~ X n の電位を黒表示よりも映像表示に近い任意の中間調表示用レベルに遷移させてもよい。通常は、このためにフレームメモリが必要となるが、上述したようにプリチャージ期間 P において画素電圧 + V s1, - V S1, + V S1, - V S1, ... を出力したり、次に説明するようにすればこのフレームメモリを不要にできる。

20

【 0 0 3 5 】

図 4 では省略されているが、例えば黒表示用画素電圧 + V k, - V k, + V k, - V k, ... がソースドライバ X D から出力される黒挿入書込期間 K に先行する最終の映像信号書込期間 S 4 では、逆極性に設定された映像表示用画素電圧 - V s4, + V S4, - V S4, + V S4, ... がソースドライバ X P からソース線 X 1 ~ X n に出力される。例えば全画素 P X が映像信号に対応して同じ中間調表示を行うような場合には、これら画素電圧 - V s4, + V S4, - V S4, + V S4, ... は映像信号書込期間 S 1 でソース線 X 1 ~ X n に出力される映像表示用画素電圧 + V s1, - V S1, + V S1, - V S1, ... と逆極性であることを除いて同一である。従って、この極性を揃えれば、プリチャージ期間 P において出力される画素電圧 + V s1, - V S1, + V S1, - V S1, ... に代用することができる。具体的には、プリチャージ信号の画素データ D O の配置を変更して、黒挿入書込期間 K に先行する最終の映像信号書込期間 S 4 で奇数番目のソース線 X 1, X 3, X 5, ... に出力される画素電圧 - V s4, - V s4, - V s4, ... をプリチャージ期間 P において偶数番目のソース線 X 2, X 4, X 6, ... に出力し、黒挿入書込期間 K に先行する最終の映像信号書込期間 S 4 で偶数番目のソース線 X 2, X 4, X 6, ... に出力される画素電圧 + V s4, + V s4, + V s4, ... をプリチャージ期間 P において奇数番目のソース線 X 1, X 3, X 5, ... に出力すればよい。

30

【 0 0 3 6 】

以上のように第 1 実施形態では、4 本のゲート線 Y i ~ Y i + 3 が黒挿入書込用に駆動される黒挿入書込期間 K と 4 本のゲート線 Y 1 ~ Y 4 の 1 つがこの黒挿入書込期間 K に続いて映像信号書込用に駆動される最初の映像信号書込期間 S 1 との間にプリチャージ期間 P が設けられ、複数のソース線 X 1 ~ X n の電位がこのプリチャージ期間 P において中間調表示用レベルに設定される。ソース線 X 1 ~ X n の電位が黒挿入書込期間 K に黒信号に対応して例えば黒表示用レベルに設定される場合、ソース線 X 1 ~ X n の電位はこの黒挿入書込期間 K に続くプリチャージ期間 P に黒表示用レベルから中間調表示用レベルに向って遷移する。プリチャージ期間 P が黒表示用レベルから中間調表示用レベルまでの遷移に必要な期間に対して不足しても、ソース線 X 1 ~ X n の電位がこのプリチャージ期間 P に続く最初の映像信号書込期間 S 1 に確実に中間調表示用レベルに到達することができ、液

40

50

画素 P X に対する画素電圧の書込み誤差の発生を防止する。従って、黒挿入書込みに続いて映像信号書込みを行う場合に発生する横筋を低減できる。

【 0 0 3 7 】

ちなみに、ゲート線 $Y_i \sim Y_{i+3}$ が駆動される黒挿入書込期間 K での書込不足により十分な黒表示ができない場合には、例えば黒挿入期間内で同極性となる後続の黒挿入書込期間 K を利用して再度ゲート線 $Y_i \sim Y_{i+3}$ を駆動することによりこの書込不足を解消することができる。

【 0 0 3 8 】

次に、図 5 を参照して、図 4 に示す 4 H 1 V 反転形式の黒挿入駆動の変形例について説明する。図 4 に示すように、4 水平期間が黒挿入書込期間 K、プリチャージ期間 P、および映像信号書込期間 S_1, S_2, S_3, S_4 に割当てられるために 6 等分される場合、黒挿入駆動が実質的に 1.5 倍速駆動となり、黒挿入書込期間 K や映像信号書込期間 S_1, S_2, S_3, S_4 が図 3 に示す場合よりも短くなる。従って、全画素 P X を同じ中間調の輝度とするベタ表示以外で書込み誤差が増大することになる。例えば、黒ウインドウを表示しその周囲の背景全体を中間調とするベタ表示として、黒ウインドウと背景との境界線が丁度ゲート線 Y_2 および Y_3 に対応した水平画素ライン間に位置するような場合、黒挿入のために生じたような大きなソース線電位の遷移が映像信号書込期間 S_2 に続映像信号書込期間 S_3 でも生じ、書込み不足の水平画素ラインが滲んで見えてしまう。

【 0 0 3 9 】

このため、図 5 に示す変形例では、8 水平期間が黒挿入書込期間 K、プリチャージ期間 P、映像信号書込期間 $S_1 \sim S_8$ に割当てられるために 10 等分される。すなわち、黒挿入書込期間 K およびプリチャージ期間 P が 8 水平期間毎に挿入される。このようにすると、黒挿入駆動を図 3 に示す黒挿入駆動と同様な 1.25 倍速に実質的に低減できる。従って、黒挿入書込期間 K に続く映像信号書込期間 S_1 において必要とされる大きなソース線電位の遷移により生じる横筋をなくし、さらに映像信号書込期間 $S_1 \sim S_8$ 相互で行われる映像信号書込みの違いにより生じる滲みも低減できる。

【 0 0 4 0 】

この変形例において、8 本のゲート線 $Y_i \sim Y_{i+7}$ は 8 水平画素ラインに対する黒挿入書込用に黒挿入書込期間 K において並列的に駆動され、さらに少なくとも黒挿入期間が黒挿入書込みから経過した後に再び映像信号書込期間 $S_1 \sim S_8$ において映像信号書込用に順次駆動される。しかしながら、映像信号書込は 8 水平画素ラインに対して並列的に行われなため、第 1 水平画素ラインの黒挿入期間と第 8 水平画素ラインの黒挿入期間との間に 7 映像信号書込期間分の差が生じ、これが液晶表示パネル DP 上の輝度差による黒帯として認識されてしまうおそれがある。これは、ゲート線 $Y_1 \sim Y_8$ に対応する 8 水平画素ラインでも同様である。このため、図 5 に示すように、例えばゲート線 $Y_1 \sim Y_8$ がプリチャージ期間 P に駆動され、映像信号書込みがこのプリチャージ期間 P 続く映像信号書込期間 $S_1 \sim S_8$ においてこれらゲート線 $Y_1 \sim Y_8$ に対応する 8 水平画素ラインに対して順次行われる。このようにすると、これら 8 水平画素ラインの全てについて黒挿入期間および映像信号表示期間の割合を略均等にすることができ、8 水平画素ライン間に生じる不所望な輝度差が黒帯として認識されることがなくなる。

【 0 0 4 1 】

要約すると、図 4 に示す 4 H 1 V 反転形式の黒挿入駆動では、ゲート線 $Y_1 \sim Y_m$ のいずれもプリチャージ期間 P において駆動されない。これに対して、図 5 に示す変形例では、ゲート線 $Y_1 \sim Y_m$ が 8 本ずつ駆動され、プリチャージ信号に対応した映像信号書込みを 8 水平画素ラインに対して一時的に行う。これにより、通常であれば、黒挿入書込用に 5 本を越える数のゲート線を並列的に駆動したときに不所望な輝度差が生じて黒帯として認識される結果となる。しかし、この変形例では、映像信号書込みがプリチャージ期間 P においても行われるため、このような問題を回避して黒ウインドウ表示時に背景との境界に生じる滲みを改善することができる。

【 0 0 4 2 】

10

20

30

40

50

以下、本発明の第２実施形態に係る液晶表示装置について添付図面を参照して説明する。

【００４３】

図６はこの液晶表示装置の回路構成を概略的に示す。この液晶表示装置は、以下に説明する事項を除いて第１実施形態の液晶表示装置と同様に構成される。図６では、第１実施形態と同様な部分を同一参照符号で表し、その詳細な説明を省略する。

【００４４】

図６に示す液晶表示装置では、マルチプレクサ３０がソースドライバＸＤおよび複数のソース線Ｘ１～Ｘｎ間に配置される。ゲートドライバＹＤおよびソースドライバＸＤは第１実施形態と同様に液晶表示パネルＤＰ上に配置されてもよいが、ここでは液晶表示パネルＤＰの外部に配置されている。カラーフィルタ層ＣＦは複数の画素電極ＰＥの列にそれぞれ対向して行方向に繰返し並べたストライプ状の赤着色層、緑着色層、および青着色層を含む。ここで、赤着色層は第１，４，７，…列の画素電極ＰＥに対向し、これら画素電極ＰＥに対応する液晶画素ＰＸを赤画素Ｒに設定して、赤画素列Ｒ１，Ｒ２，Ｒ３，…を構成させる。緑着色層は第２，５，８，…列の画素電極ＰＥに対向し、これら画素電極ＰＥに対応する液晶画素ＰＸを緑画素Ｇに設定して、緑画素列Ｇ１，Ｇ２，Ｇ３，…を構成させる。青着色層は第３，６，９，…列の画素電極ＰＥに対向し、これら画素電極ＰＥに対応する液晶画素ＰＸを青画素Ｂに設定して青画素列Ｂ１，Ｂ２，Ｂ３，…を構成させる。

【００４５】

尚、各液晶画素ＰＸの配線構造、複数の蓄積容量線Ｃ１～Ｃｍ、および蓄積容量Ｃｓｔは第１実施形態と同様であるが、図６において各液晶画素ＰＸの配線構造は簡略的に描かれ、複数の蓄積容量線Ｃ１～Ｃｍおよび蓄積容量Ｃｓｔは省略されている。

【００４６】

ソースドライバＸＤは、第１実施形態において簡略的に説明したが、実際にはコントローラ回路５から供給される各水平画素ラインに対する画素データＤＯを画素電圧Ｖｓに変換するＤ／Ａ変換部２１および、Ｄ／Ａ変換部２１から得られる画素電圧Ｖｓをソース線Ｘ１～Ｘｎにそれぞれ出力する出力バッファ部２２を含む。出力バッファ部２２は、複数のソース線Ｘ１，Ｘ２，Ｘ３，…の総数の整数分の１、例えば１／２の出力バッファＤ１，Ｄ２，Ｄ３，Ｄ４，…をソースドライバ２０の出力端として有する。

【００４７】

マルチプレクサ３０は、出力バッファＤ１，Ｄ２，Ｄ３，Ｄ４，Ｄ５，Ｄ６，…の各々から２回に分けて出力される同色、同極性の２画素電圧を６列おきの同色、同極性画素列に対して設けられた２ソース線に一对のアナログスイッチを介して分配する構成である。具体的には、アナログスイッチＡＳＷ１，ＡＳＷ４，ＡＳＷ５，ＡＳＷ８，ＡＳＷ９，ＡＳＷ１２，…が第１ソース線群であるソース線Ｘ１，Ｘ４，Ｘ５，Ｘ８，Ｘ９，Ｘ１２，…と出力バッファＤ１，Ｄ４，Ｄ５，Ｄ２，Ｄ３，Ｄ６，…との間に接続され、コントローラ回路５から供給される制御信号ＣＴＬ０により制御される。残りのアナログスイッチＡＳＷ２，ＡＳＷ３，ＡＳＷ６，ＡＳＷ７，ＡＳＷ１０，ＡＳＷ１１，…は第２ソース線群であるソース線Ｘ２，Ｘ３，Ｘ６，Ｘ７，Ｘ１０，Ｘ１１，…と出力バッファＤ２，Ｄ３，Ｄ６，Ｄ１，Ｄ４，Ｄ５，…との間に接続され、コントローラ回路５から供給される制御信号ＣＴＬ１により制御される。例えば制御信号ＣＴＬ０が立ち下がると、アナログスイッチＡＳＷ１，ＡＳＷ４，ＡＳＷ５，ＡＳＷ８，ＡＳＷ９，ＡＳＷ１２，…が全て導通して、ソース線Ｘ１，Ｘ４，Ｘ５，Ｘ８，Ｘ９，Ｘ１２，…を出力バッファＤ１，Ｄ４，Ｄ５，Ｄ２，Ｄ３，Ｄ６，…に電氣的に接続する。他方、制御信号ＣＴＬ１が立ち下がると、アナログスイッチＡＳＷ２，ＡＳＷ３，ＡＳＷ６，ＡＳＷ７，ＡＳＷ１０，ＡＳＷ１１，…が全て導通して、ソース線Ｘ２，Ｘ３，Ｘ６，Ｘ７，Ｘ１０，Ｘ１１，…を出力バッファＤ２，Ｄ３，Ｄ６，Ｄ１，Ｄ４，Ｄ５，…に電氣的に接続する。

【００４８】

図７はマルチプレクサ３０を用いて行われる一般的な４Ｈ１Ｖ反転形式の黒挿入駆動を

比較例として示す。この黒挿入駆動では、黒挿入書込みおよび映像信号書込みが4水平期間毎に4水平画素ラインに対して行われ、これら黒挿入書込みおよび映像信号書込みの極性が4水平期間(4H)および1フレーム期間(1V)毎に反転される。4水平期間は図7に示すように5等分され、第1の4H/5期間が黒挿入書込期間Kに割当てられ、第2, 第3, 第4, および第5の4H/5期間がそれぞれ映像信号書込期間S1, S2, S3, S4に割当てられる。制御信号CTL0およびCTL1は黒挿入書込期間Kにおいて一緒に立ち下がる。また、制御信号CTL0は映像信号書込期間S1, S2, S3, S4の各々の前半において立下り、制御信号CTL1は映像信号書込期間S1, S2, S3, S4の各々の後半において立下る。

【0049】

黒挿入書込期間Kでは、黒信号が4水平画素ラインの各々に対する画素データDOとしてソースドライバXDに供給される。ソースドライバXDはこれら画素データDOを階調基準電圧VREFを用いて画素列毎に逆極性に設定される黒表示用画素電圧 $+V_k, -V_k, +V_k, -V_k, \dots$ に変換しそれぞれソース線X1~Xnに出力する。他方、ゲートドライバYDはこの間に4個のゲートパルスをもつ4本のゲート線Yi~Yi+3に出力して、ゲート線Yi~Yi+3に接続された画素スイッチング素子Tを全て導通させる。さらに、制御信号CTL0およびCTL1と一緒に立下るため、黒表示用画素電圧 $+V_k, -V_k, +V_k, -V_k, \dots$ がこの間にソース線X1~Xnからこれらスイッチング素子Tを介して4水平画素ラインの各々の画素PXにそれぞれ印加される。(尚、本実施形態は、第1実施形態と同様にゲート線Y1~Ymの各々が図13に示す形式とは逆にゲートパルスの立下りにより駆動される形式になっている。)

映像信号書込期間S1の前半では、映像信号が黒挿入書込とは異なる4水平画素ラインのうちの第1水平画素ラインの半分に対する画素データDOとしてソースドライバXDに供給される。ソースドライバXDはこれら画素データDOを階調基準電圧VREFを用いて画素列毎に逆極性に設定される映像表示用画素電圧 $+V_{s10}, -V_{s10}, +V_{s10}, -V_{s10}, \dots$ に変換してそれぞれ出力バッファD1, D2, D3, D4, D5, D6, ...から出力する。これら映像表示用画素電圧 $+V_{s10}, -V_{s10}, +V_{s10}, -V_{s10}, \dots$ はアナログスイッチASW1, ASW4, ASW5, ASW8, ASW9, ASW12, ...を介してソース線X1, X4, X5, X8, X9, X12, ...に供給される。映像信号書込期間S1の後半では、映像信号が上述の第1水平画素ラインの残り半分に対する画素データDOとしてソースドライバXDに供給される。ソースドライバXDはこれら画素データDOを階調基準電圧VREFを用いて画素列毎に逆極性に設定される映像表示用画素電圧 $+V_{s11}, -V_{s11}, +V_{s11}, -V_{s11}, \dots$ に変換してそれぞれ出力バッファD1, D2, D3, D4, D5, D6, ...から出力する。これら映像表示用画素電圧 $+V_{s11}, -V_{s11}, +V_{s11}, -V_{s11}, \dots$ はアナログスイッチASW2, ASW3, ASW6, ASW7, ASW10, ASW11, ...を介してソース線X2, X3, X6, X7, X10, X11, ...に供給される。他方、ゲートドライバYDは映像信号書込期間S1において持続的に単一のゲートパルスを例えばゲート線Y1に出力して、ゲート線Y1に接続された画素スイッチング素子Tを全て導通させる。従って、映像表示用画素電圧 $+V_{s10}, -V_{s10}, +V_{s10}, -V_{s10}, \dots$ が映像信号書込期間S1の前半においてX1, X4, X5, X8, X9, X12, ...から第1水平画素ラインの半分の対応画素PXにそれぞれ印加され、映像表示用画素電圧 $+V_{s11}, -V_{s11}, +V_{s11}, -V_{s11}, \dots$ が映像信号書込期間S1の後半においてソース線X2, X3, X6, X7, X10, X11, ...から第1水平画素ラインの残り半分の対応画素PXにそれぞれ印加される。後続の映像信号書込期間S2, S3, S4での動作は映像信号書込期間S1での動作と同様の形式で繰り返される。

【0050】

この結果、映像表示用画素電圧 $+V_{s20}, -V_{s20}, +V_{s20}, -V_{s20}, \dots$ が映像信号書込期間S2の前半においてX1, X4, X5, X8, X9, X12, ...から第2水平画素ラインの半分の対応画素PXにそれぞれ印加され、映像表示用画素電圧 $+V_{s21}, -V_{s21}, +V_{s21}, -V_{s21}, \dots$ が映像信号書込期間S2の後半においてソース線X2, X3, X

10

20

30

40

50

6, X7, X10, X11, ... から第2水平画素ラインの残り半分の対応画素PXにそれぞれ印加される。

【0051】

続いて、映像表示用画素電圧 + VS30, - VS30, + VS30, - VS30, ... が映像信号書込期間S3の前半においてX1, X4, X5, X8, X9, X12, ... から第3水平画素ラインの半分の対応画素PXにそれぞれ印加され、映像表示用画素電圧 + VS31, - VS31, + VS31, - VS31, ... が映像信号書込期間S3の後半においてソース線X2, X3, X6, X7, X10, X11, ... から第3水平画素ラインの残り半分の対応画素PXにそれぞれ印加される。

【0052】

続いて、映像表示用画素電圧 + VS40, - VS40, + VS40, - VS40, ... が映像信号書込期間S4の前半においてX1, X4, X5, X8, X9, X12, ... から第4水平画素ラインの半分の対応画素PXにそれぞれ印加され、映像表示用画素電圧 + VS41, - VS41, + VS41, - VS41, ... が映像信号書込期間S4の後半においてソース線X2, X3, X6, X7, X10, X11, ... から第4水平画素ラインの残り半分の対応画素PXにそれぞれ印加される。

【0053】

このような動作は4水平期間単位に画素電圧極性を反転させて繰り返される。画素電圧極性は、さらに1フレーム期間単位に反転される。ここで、第1水平画素ラインの黒挿入書込みから第1水平画素ラインの映像信号書込までの黒挿入期間が1フレーム期間の20

【0054】

図7に示す黒挿入駆動において、ソース線X1, X7の電位に注目すると、黒挿入書込期間Kにおいて画素電圧 + VKに設定された後、ソース線X1, X7の電位が図7に示す丸印のあたりで主に遷移する。すなわち、ソース線X1は第1映像信号書込期間S1の前半において画素電圧 + VKに等しいレベルから画素電圧 + VS10に等しいレベルに遷移し、第2映像信号書込期間S2の前半において画素電圧 + VS10に等しいレベルから画素電圧 + VS20に等しいレベルに遷移し、第3映像信号書込期間S3の前半において画素電圧 + VS20に等しいレベルから画素電圧 + VS30に等しいレベルに遷移し、第4映像信号書込期間S4の前半において画素電圧 + VS30に等しいレベルから画素電圧 + VS40に等しいレベルに遷移する。また、ソース線X1は第1映像信号書込期間S1の後半において画素電圧 + VKに等しいレベルから画素電圧 + VS11に等しいレベルに遷移し、第2映像信号書込期間S2の後半において画素電圧 + VS11に等しいレベルから画素電圧 + VS21に等しいレベルに遷移し、第3映像信号書込期間S3の後半において画素電圧 + VS21に等しいレベルから画素電圧 + VS31に等しいレベルに遷移し、第4映像信号書込期間S4の後半において画素電圧 + VS31に等しいレベルから画素電圧 + VS41に等しいレベルに遷移する。

【0055】

画素電圧 + VKは黒表示に用いられる最大レベルであり、画素電圧 + VS10, + VS11は主に中間調である映像表示に用いられて最大レベルより小さいレベルである。従って、+ VKおよび + VS10間の電位差が + VS10および + VS20間, + VS20および + VS30間, + VS30および + VS40間の電位差に比べて大きくなり、映像信号書込期間S1の前半での遷移時間が映像信号書込期間S2, S3, S4の前半での遷移時間よりも長くなる。また、+ VKおよび + VS11間の電位差が + VS11および + VS21間, + VS21および + VS31間, + VS31および + VS41間の電位差に比べて大きくなり、映像信号書込期間S1の後半での遷移時間が映像信号書込期間S2, S3, S4の後半での遷移時間よりも長くなる。このため、ソースドライバXDの負荷となるソース線X1, X7の時定数が大きい場合に、ソース線X1, X7の遷移中に映像信号書込期間S1の前半および後半がそれぞれ終了し、画素電圧の書込み誤差を生じることになる。映像信号書込期間S1の前半および後半の各々は4H/10期間となるため、この書込み誤差がより顕著となる。従って、横筋の発生がマルチプレクサ30の利用によって深刻なものとなる。

10

20

30

40

50

【 0 0 5 6 】

図 6 に示す表示制御回路 C N T は上述の書込み誤差を生じさせないために図 8 に示す 4 H 1 V 反転形式の黒挿入駆動を行う。この黒挿入駆動では、図 7 に示す黒挿入駆動と同様に、黒挿入書込みおよび映像信号書込みが 4 水平期間毎に 4 水平画素ラインに対して行われ、これら黒挿入書込みおよび映像信号書込みの極性が 4 水平期間 (4 H) および 1 フレーム期間 (1 V) 毎に反転される。これに対して、4 水平期間は図 8 に示すように 6 等分され、第 1 の 4 H / 6 期間が黒挿入書込期間 K に割当てられ、第 2 の 4 H / 6 期間がプリチャージ期間 P に割当てられ、第 3 , 第 4 , 第 5 , および第 6 の 4 H / 6 期間がそれぞれ映像信号書込期間 S 1 , S 2 , S 3 , S 4 に割当てられる。すなわち、表示制御回路 C N T は 4 本のゲート線 $Y_i \sim Y_{i+3}$ が黒挿入書込用に駆動される黒挿入書込期間 K と 4 本のゲート線 $Y_1 \sim Y_4$ の 1 つがこの黒挿入書込期間 K に続いて映像信号書込用に駆動される最初の映像信号書込期間 S 1 との間にプリチャージ期間 P を設け、このプリチャージ期間 P の前半および後半において複数のソース線 $X_1 \sim X_n$ の電位を半分ずつ中間調表示用レベルに遷移させるように構成されている。

10

【 0 0 5 7 】

ソースドライバ X D およびゲートドライバ Y D は、黒挿入書込期間 K および映像信号書込期間 S 1 , S 2 , S 3 , S 3 において図 7 に示す 4 H 1 V 反転方式の黒挿入駆動と同様に動作する。これに対して、プリチャージ期間 P の前半では、プリチャージ信号がソース線 $X_1 \sim X_n$ の半分に割当てられた画素データ D O としてソースドライバ X D に供給される。ソースドライバ X D はこれら画素データ D O を階調基準電圧 V R E F を用いて画素列毎に逆極性に設定される例えば映像表示用画素電圧 $+V_{s10}$, $-V_{s10}$, $+V_{s10}$, $-V_{s10}$, ... に変換してそれぞれ出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 , ... から出力する。これら映像表示用画素電圧 $+V_{s10}$, $-V_{s10}$, $+V_{s10}$, $-V_{s10}$, ... はアナログスイッチ A S W 1 , A S W 4 , A S W 5 , A S W 8 , A S W 9 , A S W 1 2 , ... を介してソース線 X_1 , X_4 , X_5 , X_8 , X_9 , X_{12} , ... に供給される。プリチャージ期間 P の後半では、プリチャージ信号がソース線 $X_1 \sim X_n$ の残り半分に割当てられた画素データ D O としてソースドライバ X D に供給される。ソースドライバ X D はこれら画素データ D O を階調基準電圧 V R E F を用いて画素列毎に逆極性に設定される映像表示用画素電圧 $+V_{s11}$, $-V_{s11}$, $+V_{s11}$, $-V_{s11}$, ... に変換してそれぞれ出力バッファ D 1 , D 2 , D 3 , D 4 , D 5 , D 6 , ... から出力する。これら映像表示用画素電圧 $+V_{s11}$, $-V_{s11}$, $+V_{s11}$, $-V_{s11}$, ... はアナログスイッチ A S W 2 , A S W 3 , A S W 6 , A S W 7 , A S W 1 0 , A S W 1 1 , ... を介してソース線 X_2 , X_3 , X_6 , X_7 , X_{10} , X_{11} , ... に供給される。他方、ゲートドライバ Y D はこのプリチャージ間の前半および後半に例えばゲート線 $Y_1 \sim Y_m$ のいずれにもゲートパルスを出力せず、ゲート線 $Y_1 \sim Y_m$ に接続された画素スイッチング素子 T を全て非導通に維持する。プリチャージ信号はプリチャージ期間 P の前半および後半においてソース線 $X_1 \sim X_n$ の半分の電位および残り半分の電位を黒表示よりも映像表示に近い中間調表示用レベルに向って予め遷移させるためのものである。ここでは、映像表示用画素電圧 $+V_{s10}$, $-V_{s10}$, $+V_{s10}$, $-V_{s10}$, ... および映像表示用画素電圧 $+V_{s11}$, $-V_{s11}$, $+V_{s11}$, $-V_{s11}$, ... が映像信号書込期間 S 1 の前半および後半にそれぞれ設定されるレベルと等価な中間調表示用レベルを得る場合の例としてプリチャージ期間 P 1 の前半および後半にソース線 X_1 , X_4 , X_5 , X_8 , X_9 , X_{12} , ... およびソース線 X_2 , X_3 , X_6 , X_7 , X_{10} , X_{11} , ... にそれぞれ出力される。

20

30

40

【 0 0 5 8 】

ソース線 X_1 , X_7 の電位は、プリチャージ期間 P の前半および後半において画素電圧 $+V_k$ に等しいレベルから画素電圧 $+V_{s10}$, $+V_{s11}$ に等しいレベルに向って遷移する。プリチャージ期間の前半および後半がこれら遷移の途中で終了してしまっても、ソース線 X_1 , X_7 の電位はさらに映像信号書込期間 S 1 の前半および後半において画素電圧 $+V_{s10}$, $+V_{s11}$ に等しいレベルに向って遷移する。図 8 に示す映像信号書込期間 S 1 の前半および後半の各々の長さは、図 7 に示す映像信号書込期間 S 1 の前半および後半の各々に

50

割当てられた $4H/10$ 期間よりも短い $4H/12$ 期間という長さであるが、プリチャージ期間 P の前半および後半にそれぞれ割当てられた $4H/12$ 期間という長さが映像信号書込期間 $S1$ の前半および後半の長さにそれぞれ追加され、ソース線 $X1$, $X7$ の電位がこれらを合計した $8H/12$ 期間 ($= 4H/6$ 期間) において画素電圧 $+V_k$ に等しいレベルから画素電圧 $+V_{s10}$, $+V_{s11}$ にそれぞれ等しいレベルまで遷移すればよいことになる。これにより、映像信号書込期間 $S1$ の前半および後半の終了時点までにソース線 $X1$, $X7$ の電位をそれぞれ確実に画素電圧 $+V_{s10}$, $+V_{s11}$ に等しいレベルに遷移させ、これらソース線 $X1$, $X7$ を介して行われる画素電圧 $+V_{s10}$, $+V_{s11}$ の書込み誤差をなくすることが可能である。これは、残りのソース線でも同様である。

【0059】

尚、ソースドライバ XP はプリチャージ期間 P の前半において画素電圧 $+V_{s10}$, $-V_{s10}$, $+V_{s10}$, $-V_{s10}$, ... 以外の画素電圧をソース線 $X1$, $X4$, $X5$, $X8$, $X9$, $X12$, ... に出力して、これらソース線 $X1$, $X4$, $X5$, $X8$, $X9$, $X12$, ... の電位を黒表示よりも映像表示に近い任意の中間調表示用レベルに遷移させてもよい。また、ソースドライバ XP はプリチャージ期間 P の後半において画素電圧 $+V_{s11}$, $-V_{s11}$, $+V_{s11}$, $-V_{s11}$, ... 以外の画素電圧をこれらソース線 $X2$, $X3$, $X6$, $X7$, $X10$, $X11$, ... に出力して、これらソース線 $X2$, $X3$, $X6$, $X7$, $X10$, $X11$, ... の電位を黒表示よりも映像表示に近い任意の中間調表示用レベルに遷移させてもよい。通常は、このためにフレームメモリが必要となるが、上述したようにプリチャージ期間 P の前半および後半において画素電圧 $+V_{s10}$, $-V_{s10}$, $+V_{s10}$, $-V_{s10}$, ... および画素電圧 $+V_{s11}$, $-V_{s11}$, $+V_{s11}$, $-V_{s11}$, ... を出力したり、次に説明するようにすればこのフレームメモリを不要にできる。

【0060】

図8では省略されているが、例えば黒表示用画素電圧 $+V_k$, $-V_k$, $+V_k$, $-V_k$, ... がソースドライバ XD から出力される黒挿入書込期間 K に先行する最終の映像信号書込期間 $S4$ の前半および後半では、逆極性に設定された映像表示用画素電圧 $-V_{s40}$, $+V_{s40}$, $-V_{s40}$, $+V_{s40}$, ... および映像表示用画素電圧 $-V_{s41}$, $+V_{s41}$, $-V_{s41}$, $+V_{s41}$, ... がソースドライバ XP からソース線 $X1$, $X4$, $X5$, $X8$, $X9$, $X12$, ... およびソース線 $X2$, $X3$, $X6$, $X7$, $X10$, $X11$, ... に出力される。例えば全画素 P が映像信号に対応して同じ中間調表示を行うような場合には、これら画素電圧 $-V_{s40}$, $+V_{s40}$, $-V_{s40}$, $+V_{s40}$, ... および画素電圧 $-V_{s41}$, $+V_{s41}$, $-V_{s41}$, $+V_{s41}$, ... は映像信号書込期間 $S1$ の前半および後半でソース線 $X1$, $X4$, $X5$, $X8$, $X9$, $X12$, ... およびソース線 $X2$, $X3$, $X6$, $X7$, $X10$, $X11$, ... にそれぞれ出力される映像表示用画素電圧 $+V_{s10}$, $-V_{s10}$, $+V_{s10}$, $-V_{s10}$, ... および画素電圧 $+V_{s11}$, $-V_{s11}$, $+V_{s11}$, $-V_{s11}$, ... と逆極性であることを除いて同一である。従って、これら極性を揃えれば、プリチャージ期間 P の前半および後半において出力される画素電圧 $+V_{s10}$, $-V_{s10}$, $+V_{s10}$, $-V_{s10}$, ... および画素電圧 $+V_{s11}$, $-V_{s11}$, $+V_{s11}$, $-V_{s11}$, ... にそれぞれ代用することができる。この場合、例えばソース線 $X4$ 用の画素電圧 $+V_{s40}$ がソース線 $X1$ に出力され、ソース線 $X7$ 用の画素電圧 $+V_{s41}$ がソース線 $X1$ に出力されることになる。

【0061】

以上のように第2実施形態では、4本のゲート線 $Y_i \sim Y_{i+3}$ が黒挿入書込用に駆動される黒挿入書込期間 K と4本のゲート線 $Y_1 \sim Y_4$ の1つがこの黒挿入書込期間 K に続いて映像信号書込用に駆動される最初の映像信号書込期間 $S1$ との間にプリチャージ期間 P が設けられ、複数のソース線 $X1$, $X4$, $X5$, $X8$, $X9$, $X12$, ... およびソース線 $X2$, $X3$, $X6$, $X7$, $X10$, $X11$, ... の電位がこのプリチャージ期間 P の前半および後半においてそれぞれ中間調表示用レベルに設定される。ソース線 $X1 \sim X_n$ が黒挿入書込期間 K に黒信号に対応して例えば黒表示用レベルに設定される場合、ソース線 $X1$, $X4$, $X5$, $X8$, $X9$, $X12$, ... の電位およびソース線 $X2$, $X3$, $X6$, $X7$, $X10$, $X11$, ... の電位はこの黒挿入書込期間 K に続くプリチャージ期間 P の前半お

10

20

30

40

50

よび後半に黒表示用レベルから中間調表示用レベルに向って遷移する。プリチャージ期間 P の前半および後半の各々が黒表示用レベルから中間調表示用レベルまでの遷移に必要な期間に対して不足しても、ソース線 X 1, X 4, X 5, X 8, X 9, X 12, ... の電位およびソース線 X 2, X 3, X 6, X 7, X 10, X 11, ... の電位がこのプリチャージ期間 P に続く最初の映像信号書込期間 S 1 の前半および後半に確実に中間調表示用レベルに到達することができ、液晶画素 P X に対する画素電圧の書込み誤差の発生を防止する。従って、第 1 実施形態と同様に黒挿入書込みに続いて映像信号書込みを行う場合に発生する横筋を低減できる。

【0062】

ちなみに、ゲート線 $Y_i \sim Y_{i+3}$ が駆動される黒挿入書込期間 K での書込不足により十分な黒表示ができない場合には、第 1 実施形態で説明したように、例えば黒挿入期間内で同極性となる後続の黒挿入書込期間 K を利用して再度ゲート線 $Y_i \sim Y_{i+3}$ を駆動することによりこの書込不足を解消することができる。

【0063】

次に、図 9 を参照して、図 8 に示す 4 H 1 V 反転形式の黒挿入駆動の第 1 変形例について説明する。この変形例では、プリチャージ期間 P がこのプリチャージ期間 P は図 8 に示す前半および後半に分割されず、図 9 に示すように黒挿入書込期間 K および映像信号書込期間 S 1, S 2, S 3, S 4 の各々よりも短い長さ、例えば半分の長さ ($= 4 H / 11$) に設定される。具体的には、図 8 に示す黒挿入駆動と同様に、黒挿入書込みおよび映像信号書込みが 4 水平期間毎に 4 水平画素ラインに対して行われ、これら黒挿入書込みおよび映像信号書込みの極性が 4 水平期間 (4 H) および 1 フレーム期間 (1 V) 毎に反転される。これに対して、4 水平期間は図 9 に示すように実質的に 11 等分され、最初の 8 H / 11 期間が黒挿入書込期間 K に割当てられ、これに続く 4 H / 11 期間がプリチャージ期間 P に割当てられ、さらにこれに続く 4 つの 8 H / 11 期間がそれぞれ映像信号書込期間 S 1, S 2, S 3, S 4 に割当てられる。すなわち、表示制御回路 CNT は 4 本のゲート線 $Y_i \sim Y_{i+3}$ が黒挿入書込用に駆動される黒挿入書込期間 K と 4 本のゲート線 $Y_1 \sim Y_4$ の 1 つがこの黒挿入書込期間 K に続いて映像信号書込用に駆動される最初の映像信号書込期間 S 1 との間にプリチャージ期間 P を設け、このプリチャージ期間 P において複数のソース線 X 1 ~ X n の電位を中間調表示用レベルに設定するように構成されている。このため、ゲートドライバ YD はこのプリチャージ期間 P においてゲート線 $Y_1 \sim Y_m$ のいずれにもゲートパルスを出しせず、ゲート線 $Y_1 \sim Y_m$ に接続された画素スイッチング素子 T を全て非導通に維持する。プリチャージ信号はプリチャージ期間 P においてソース線 X 1 ~ X n の電位を黒表示よりも映像表示に近い中間調表示用レベルに向って予め遷移させるためのものである。ここでは、映像表示用画素電圧 $+V_{s10}$, $-V_{s10}$, $+V_{s10}$, $-V_{s10}$, ... が映像信号書込期間 S 1 の前半および後半にそれぞれ設定されるレベルと略等価な中間調表示用レベルを得る場合の例としてプリチャージ期間 P 1 においてソース線 X 1, X 4, X 5, X 8, X 9, X 12, ... およびソース線 X 2, X 3, X 6, X 7, X 10, X 11, ... にそれぞれ出力バッファ D 1, D 2, D 3, D 4, D 5, D 6, ... から出力される。制御信号 CTL 0 および CTL 1 はプリチャージ期間 P において一緒に立ち下がる。これにより、画素電圧 $+V_{s10}$, $-V_{s10}$, $+V_{s10}$, $-V_{s10}$, ... がアナログスイッチ A SW 1, A SW 4, A SW 5, A SW 8, A SW 9, A SW 12, ... を介してソース線 X 1, X 4, X 5, X 8, X 9, X 12, ... に供給されると共に、アナログスイッチ A SW 2, A SW 3, A SW 6, A SW 7, A SW 10, A SW 11, ... を介してソース線 X 2, X 3, X 6, X 7, X 10, X 11, ... に供給される。ソース線 X 1, X 7 の電位に注目すると、黒挿入書込期間 K において画素電圧 $+V_k$ に設定された後、ソース線 X 1, X 7 の電位がプリチャージ期間 P において図 9 に示す丸印のあたりで一緒に遷移する。

【0064】

この第 1 変形例では、プリチャージ期間 P が図 8 に示す黒挿入駆動の場合の半分の長さに設定されるため、黒挿入書込期間 K および映像信号書込期間 S 1, S 2, S 3, S 4 の長さが不必要に圧縮されることを抑制する。この結果として、黒挿入駆動を 1.375 倍

10

20

30

40

50

速に低減できる。従って、上述した黒ウインドウ表示時の境界部の滲みを図 8 に示す黒挿入駆動の場合よりも大幅に低減することができる。

【0065】

尚、プリチャージ期間 P では、映像表示用画素電圧 $+V_{S10}$ 、 $-V_{S10}$ 、 $+V_{S10}$ 、 $-V_{S10}$ 、... が出力バッファ D1、D2、D3、D4、D5、D6、... から出力されるが、例えば全画素 PX が映像信号に対応して同じ中間調表示を行うような場合には、第 2 実施形態で説明した映像表示用画素電圧 $-V_{S40}$ 、 $+V_{S40}$ 、 $-V_{S40}$ 、 $+V_{S40}$ 、... を利用してもよい。

【0066】

図 10 は図 8 に示す 4H1V 反転形式の黒挿入駆動の第 2 変形例を示す。第 2 変形例は次の事項を除いて図 9 に示す第 1 変形例と同様である。すなわち、制御信号 CTL0 および CTL1 がプリチャージ期間 P において立下ると、この状態が映像信号書込期間 S1 の前半および後半までそれぞれ継続される。また、ゲートドライバ YD がゲートパルス映像信号書込期間 S1 で映像信号書込みの対象となる 1 水平画素ラインに対応したゲート線 Y に対してプリチャージ期間 P から映像信号書込期間 S1 に渡って継続的に出力する。

10

【0067】

この第 2 変形例のように 4H1V 反転形式の黒挿入駆動を行っても、図 9 に示す第 1 変形例と同様の効果を得ることができる。

【0068】

図 11 は図 8 に示す 4H1V 反転形式の黒挿入駆動の第 3 変形例を示す。第 3 変形例は図 5 に示す黒挿入駆動において説明した理由で図 8 に示す 4H1V 反転形式を 8H1V 反転形式に変更したものである。

20

【0069】

第 3 変形例では、8 水平期間が黒挿入書込期間 K、プリチャージ期間 P、映像信号書込期間 S1 ~ S8 に割当てられるために 10 等分される。すなわち、黒挿入書込期間 K およびプリチャージ期間 P が 8 水平期間毎に挿入される。このようにすると、黒挿入駆動を図 3 に示す黒挿入駆動と同様な 1.25 倍速に実質的に低減できる。従って、黒挿入書込期間 K に続く映像信号書込期間 S1 において必要とされる大きなソース線電位の遷移により生じる横筋をなくし、さらに映像信号書込期間 S1 ~ S8 相互で行われる映像信号書込みの違いにより生じる滲みも低減できる。

30

【0070】

尚、本発明は上述の実施形態に限定されず、その要旨を逸脱しない範囲でさらに様々に変形可能である。

【0071】

上述の実施形態および変形例は、例えば必要に応じて選択的に組み合わせてもよい。

【0072】

また、図 6 に示すマルチプレクサ 30 は、出力バッファ D1、D2、D3、D4、D5、D6、... の各々から 2 回に分けて出力される同色、同極性の 2 画素電圧を 6 列おきの同色、同極性画素列に対して設けられた 2 ソース線に一对のアナログスイッチを介して分配するように構成されている。すなわち、プリチャージ期間 P においてソース線 X1 ~ Xn に設定する電位は、図 6 に示すようにこれらソース線 X1 ~ Xn の電位が印加される液晶画素 PX の色および駆動極性に整合させることが好ましいが、本発明の効果は色の整合性に関係なく得られる。従って、マルチプレクサ 30 は、例えば図 12 に示すクロスセレクト方式に変更してもよい。この場合、マルチプレクサ 30 が出力バッファ D1、D2、D3、D4、D5、D6、... の各々から 2 回に分けて出力される同極性の 2 画素電圧を 1 列おきの同極性画素列に対して設けられた 2 ソース線に一对のアナログスイッチを介して分配するように構成される。また、マルチプレクサ 30 は各出力バッファの出力を 2 本のソース線に選択的に分配する構成だけでなく、3 本、4 本、あるいはそれ以上の数のソース線に選択的に分配するように構成にしてもよい。

40

【0073】

50

また、上述の実施形態では、4 H 1 V 反転形式あるいは8 H 1 V 反転形式の黒挿入駆動について説明されている。しかし、プリチャージ期間 P が黒挿入駆動において黒挿入書込期間とこれに続く最初の映像書込期間との間に設ければ、背景技術で説明したように、 n を自然数として、 n 水平期間当り ($n + 1$) 回の書込み (1 回の黒挿入書込みおよび n 回の映像信号書込み) を行う ($n + 1$) / n 倍速駆動である他の黒挿入駆動でも本発明の効果が得られる。

【0074】

さらに、上述の実施形態において、液晶表示パネルは黒挿入駆動がベンド配向からスプレイ配向への液晶分子の逆転移を防止するために行われる O C B モードであったが、本発明は映像信号書込みが非映像信号書込みに続いて行われる例えば T N モード、M V A モード、I P S モード、P V A モード、A S V モード、その他の液晶モードの液晶表示パネルに適用可能である。

10

【図面の簡単な説明】

【0075】

【図1】本発明の第1実施形態に係る液晶表示装置の回路構成を概略的に示す図である。

【図2】図1に示す液晶表示パネルの断面構造を概略的に示す図である。

【図3】図1に示す液晶表示パネルに対して行われる一般的な4 H 1 V 反転形式の黒挿入駆動を比較例として示すタイムチャートである。

【図4】図1に示す表示制御回路 C N T によって行われる4 H 1 V 反転形式の黒挿入駆動を示すタイムチャートである。

20

【図5】図4に示す4 H 1 V 反転形式の黒挿入駆動の変形例を示すタイムチャートである。

【図6】本発明の第2実施形態に係る液晶表示装置の回路構成を概略的に示す図である。

【図7】図6に示すマルチプレクサを用いて行われる一般的な4 H 1 V 反転形式の黒挿入駆動を比較例として示すタイムチャートである。

【図8】図6に示す表示制御回路によって行われる4 H 1 V 反転形式の黒挿入駆動を示すタイムチャートである。

【図9】図8に示す4 H 1 V 反転形式の黒挿入駆動の第1変形例を示すタイムチャートである。

【図10】図8に示す4 H 1 V 反転形式の黒挿入駆動の第2変形例を示すタイムチャートである。

30

【図11】図8に示す4 H 1 V 反転形式の黒挿入駆動の第3変形例を示すタイムチャートである。

【図12】図6に示すマルチプレクサがクロスセレクト方式に変更された例を示す図である。

【図13】一般的な4 H 1 V 反転形式の黒挿入駆動例を示す。

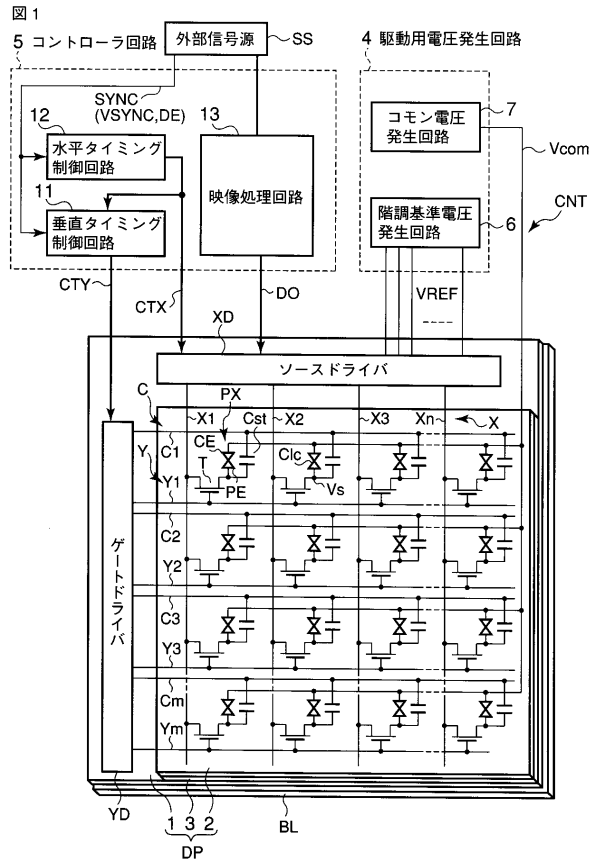
【符号の説明】

【0076】

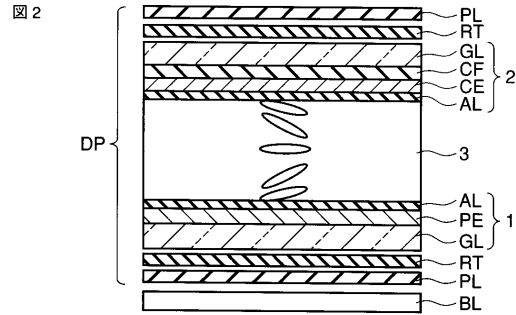
1 ... アレイ基板、2 ... 対向基板、3 ... 液晶層、5 ... コントローラ回路、B L ... バックライト、D P ... 液晶表示パネル、P E ... 画素電極、C E ... 共通電極、C l c ... 液晶容量、C s t ... 蓄積容量、P X ... 液晶画素、T ... 画素スイッチング素子、Y ... ゲート線、X ... ソース線、Y D ... ゲートドライバ、X D ... ソースドライバ。

40

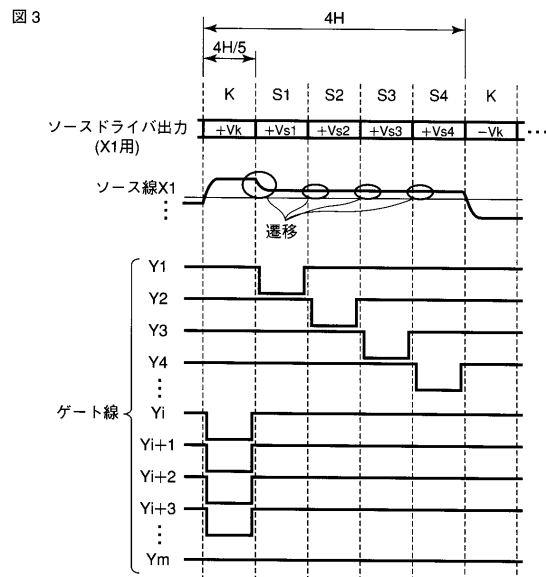
【図 1】



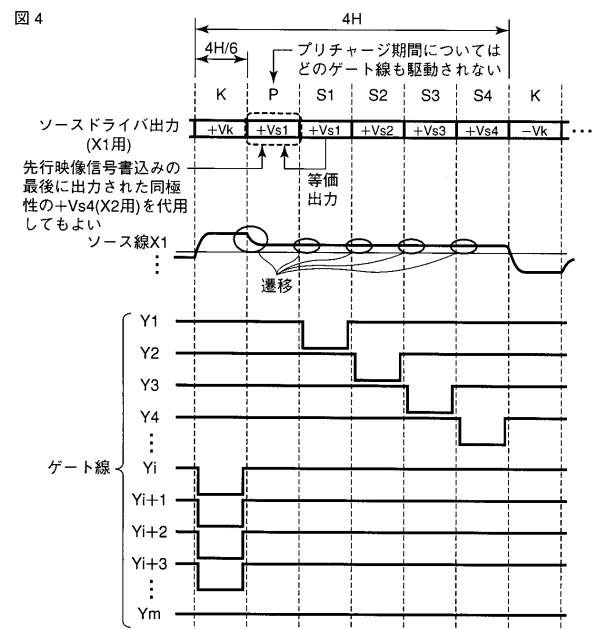
【図 2】



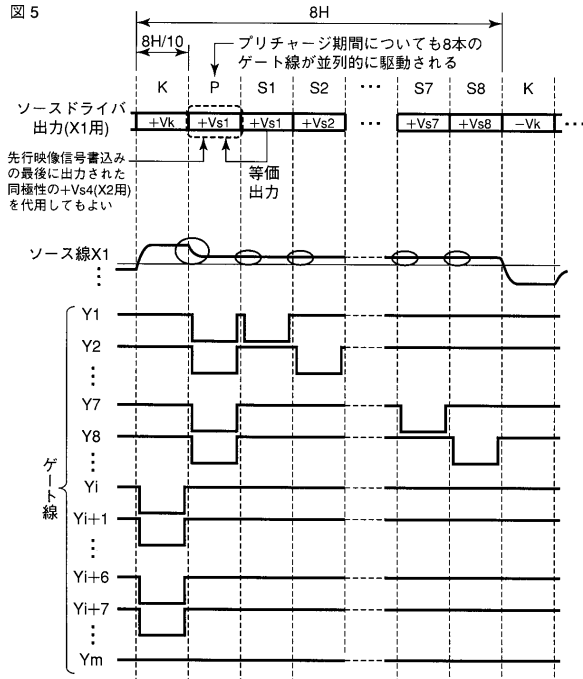
【図 3】



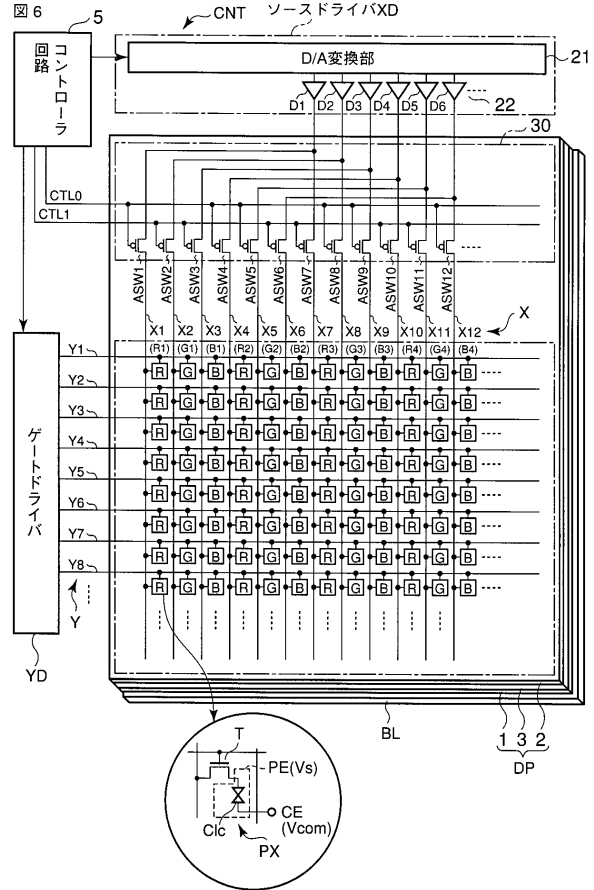
【図 4】



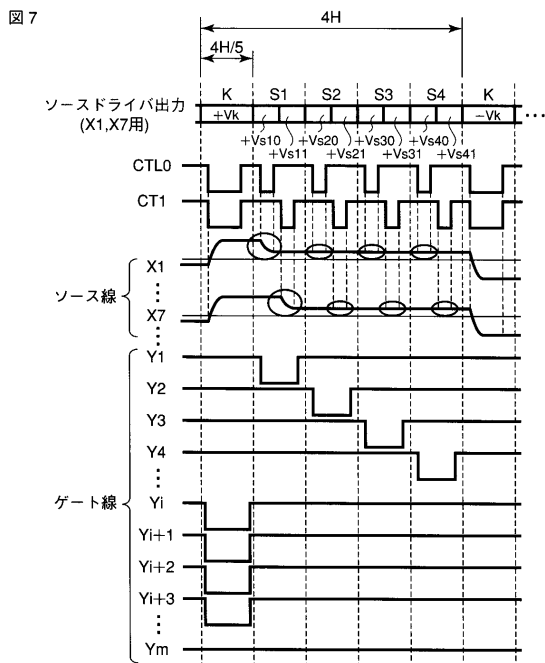
【図 5】



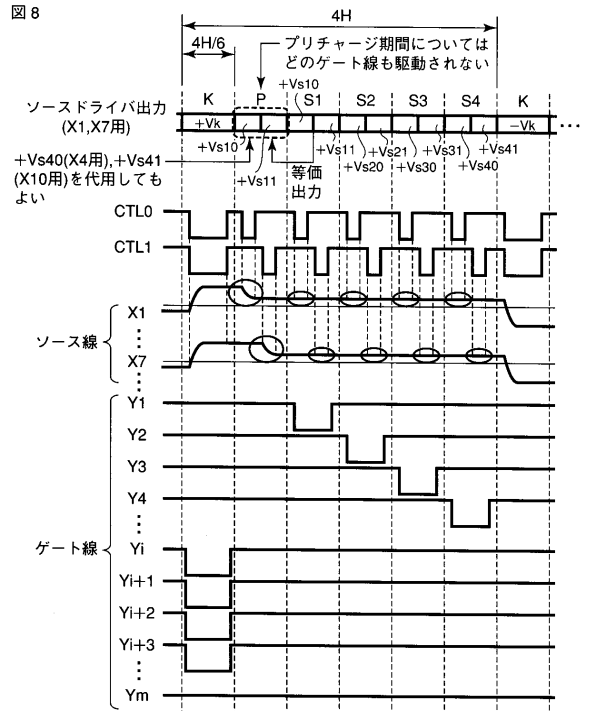
【図 6】



【図 7】

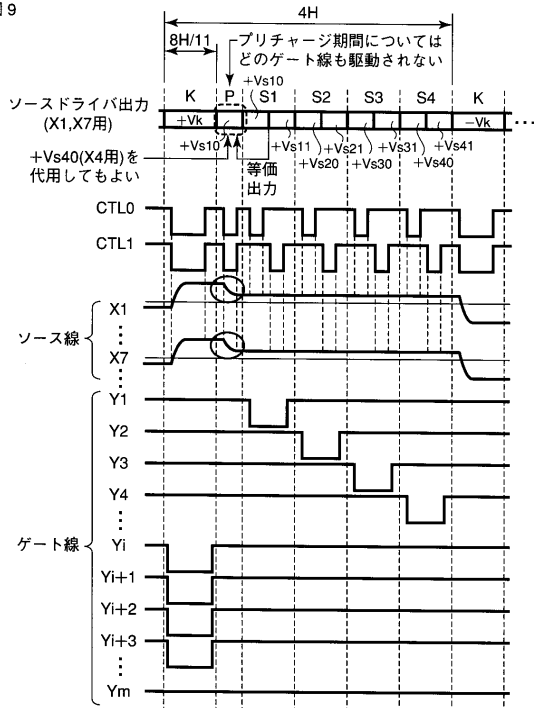


【図 8】



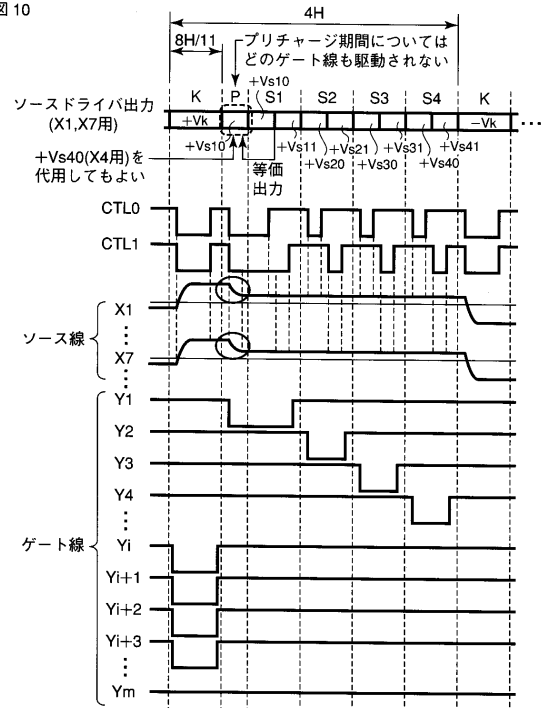
【図 9】

図 9



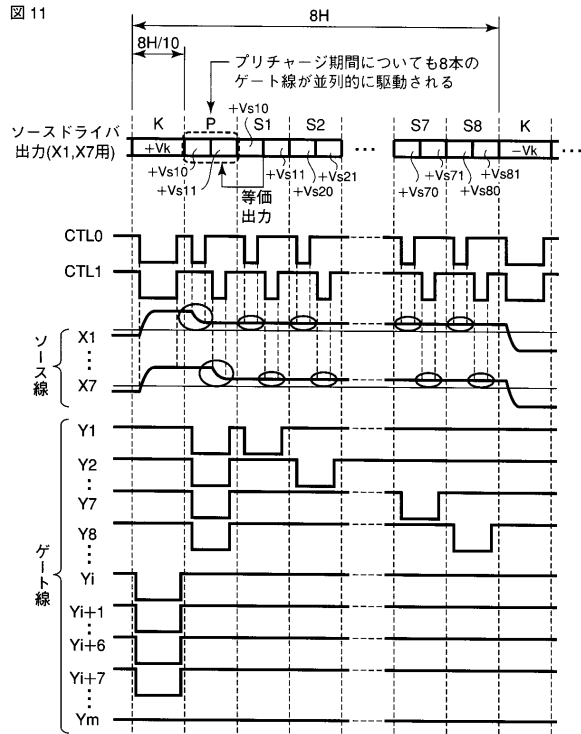
【図 10】

図 10



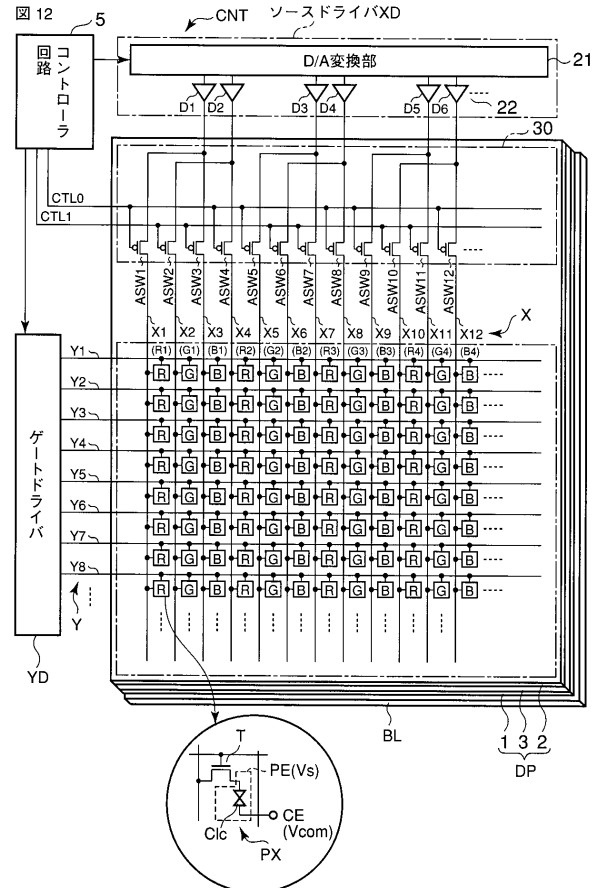
【図 11】

図 11



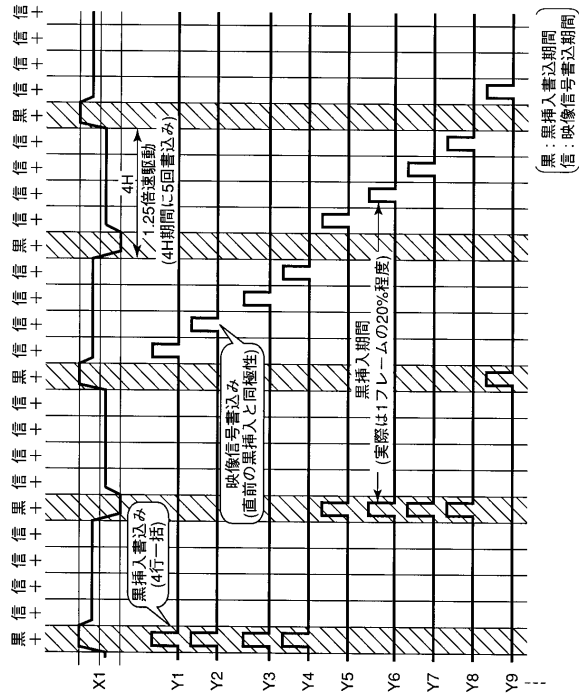
【図 12】

図 12



【 図 1 3 】

图 13



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)

G 0 9 G	3/20	6 2 3 U
G 0 9 G	3/20	6 1 2 U
G 0 9 G	3/20	6 2 3 X
G 0 9 G	3/20	6 2 2 C
G 0 2 F	1/133	5 5 0

(74)代理人 100109830

弁理士 福原 淑弘

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 田中 幸生

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

(72)発明者 深海 徹夫

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H093 NA16 NB07 NC11 NC14 NC15 NC16 ND10 ND31 ND47

5C006 AC11 AC24 AC26 AC28 AF42 AF45 AF59 BA19 BB16 BC23

BF24 FA12 FA29

5C080 AA10 BB05 DD02 DD10 EE19 EE29 FF07 FF11 GG09 JJ02

JJ04 JJ06 KK01 KK23 KK43

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2008015179A5	公开(公告)日	2008-08-21
申请号	JP2006185812	申请日	2006-07-05
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	田中幸生 深海徹夫		
发明人	田中 幸生 深海 徹夫		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3648 G09G3/3614 G09G3/3688 G09G2300/0491 G09G2310/0248 G09G2310/027 G09G2310/0297 G09G2310/06 G09G2310/062 G09G2310/08		
FI分类号	G09G3/36 G09G3/20.660.V G09G3/20.641.R G09G3/20.621.F G09G3/20.622.Q G09G3/20.623.U G09G3/20.612.U G09G3/20.623.X G09G3/20.622.C G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NB07 2H093/NC11 2H093/NC14 2H093/NC15 2H093/NC16 2H093/ND10 2H093/ND31 2H093/ND47 5C006/AC11 5C006/AC24 5C006/AC26 5C006/AC28 5C006/AF42 5C006/AF45 5C006/AF59 5C006/BA19 5C006/BB16 5C006/BC23 5C006/BF24 5C006/FA12 5C006/FA29 5C080/AA10 5C080/BB05 5C080/DD02 5C080/DD10 5C080/EE19 5C080/EE29 5C080/FF07 5C080/FF11 5C080/GG09 5C080/JJ02 5C080/JJ04 5C080/JJ06 5C080/KK01 5C080/KK23 5C080/KK43 2H193/ZA04 2H193/ZC35 2H193/ZQ14		
代理人(译)	河野 哲 中村诚		
其他公开文献	JP2008015179A		

摘要(译)

要解决的问题：减少水平条纹，在写入非视频信号后立即写入视频信号。ŽSOLUTION：该液晶显示器具有液晶显示面板DP，其中液晶像素PX通过像素开关元件连接到源极线X，以及显示控制电路CNT，用于通过驱动源极线X来写入非视频信号对应于非视频信号，通过像素开关元件T选择性地源极线X的电位施加到一些液晶像素元件PX或者通过驱动对应于视频信号的源极线X来写入视频信号写入非视频信号以通过像素开关元件T选择性地源极线X的电位施加到一些液晶像素元件PX。显示控制电路CNT在非视频写入周期之间进行预充电时段，写入非视频信号和视频写入周期以在非视频写入周期之后写入第一视频信号，并将源极线X的电位改变到接近于的水平。在预充电期间对应于视频信号的灰度级。Ž