

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-264608

(P2007-264608A)

(43) 公開日 平成19年10月11日(2007.10.11)

(51) Int.Cl.

G02F 1/1368 (2006.01)

F I

G02F 1/1368

テーマコード (参考)

2H092

審査請求 有 請求項の数 9 O L (全 7 頁)

(21) 出願番号 特願2007-36140 (P2007-36140)
 (22) 出願日 平成19年2月16日 (2007.2.16)
 (31) 優先権主張番号 095110673
 (32) 優先日 平成18年3月28日 (2006.3.28)
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 501358079
 友達光電股▲ふん▼有限公司
 台湾新竹市科学工業園區力行二路1号
 (74) 代理人 110000268
 特許業務法人 田中・岡崎アンドアソシエ
 イツ
 (72) 発明者 黄 添鈞
 台湾新竹科学工業園區新竹市力行二路1号
 Fターム(参考) 2H092 JA24 JA38 JA40 JA42 JB26
 NA23

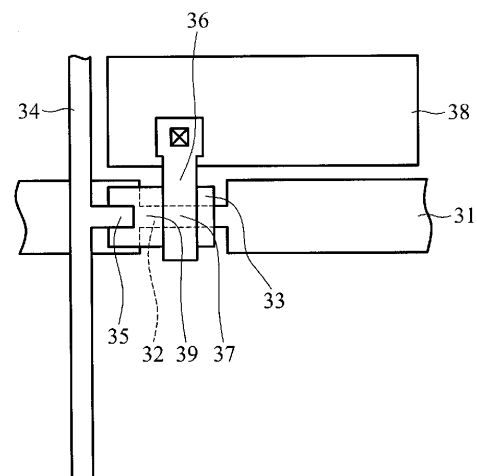
(54) 【発明の名称】 液晶ディスプレイ

(57) 【要約】

【課題】 TFT駆動型LCDであって、ゲートとドレインとの間の寄生容量の偏差を抑制すること。

【解決手段】 本発明は、絶縁基板、この絶縁基板の上に形成されたゲートライン、ゲートラインの上に形成された活性層、上記絶縁基板の上に形成され、上記ゲートラインに略垂直に延伸するソースライン、画素電極、およびこの画素電極に接続され、上記活性層と上記ゲートラインの重複領域を横切って延伸するドレインラインを含み、上記ゲートラインは、第1幅部分及び第2幅部分を含み、第1幅部分は、第2幅部分より狭く、上記ドレインラインに重なるようにされたTFT駆動型液晶ディスプレイを提供する。

【選択図】 図3



【特許請求の範囲】**【請求項 1】**

絶縁基板と、
前記絶縁基板の上に形成されたゲートラインと、
前記ゲートラインの上に形成された活性層と、
前記絶縁基板の上に形成され、前記ゲートラインに対して垂直に延伸するソースラインと、
画素電極と、
前記画素電極に接続され、前記活性層と前記ゲートラインとの重複領域を横切って延伸するドレインラインと、を含み、

10

前記ゲートラインは、第 1 幅部分と第 2 幅部分とを含み、前記第 1 幅部分が、前記第 2 幅部分より狭く、かつ前記ドレインラインに重なるようにされた液晶ディスプレイ。

【請求項 2】

前記ドレインラインが少なくとも 1 つの延伸領域を有し、及びこの延伸領域が前記活性層と前記ゲートラインとの重複領域の上に延伸している請求項 1 に記載の液晶ディスプレイ。

【請求項 3】

前記ゲートラインを横切って延伸する前記ソースラインが、前記活性層と前記ゲートラインとの重複領域の上に延伸している延伸領域を有する請求項 1 に記載の液晶ディスプレイ。

20

【請求項 4】

前記ドレインラインが、前記ソースラインの延伸領域の一方の側部に形成され、前記活性層と前記ゲートラインとの重複領域の上に延伸している少なくとも 1 つの延伸領域を有する請求項 3 に記載の液晶ディスプレイ。

【請求項 5】

前記ドレインラインが、前記ソースラインの延伸領域の一方の側部に延伸領域が 2 つ形成され、この 2 つの延伸領域が前記活性層と前記ゲートラインの重複領域の上に延伸している請求項 4 に記載の液晶ディスプレイ。

【請求項 6】

前記ゲートラインが、前記第 1 幅部分と前記第 2 幅部分の一部分の上に形成されたゲート電極を含む請求項 1 に記載の液晶ディスプレイ。

30

【請求項 7】

前記ソースラインの延伸領域が、ソース電極である請求項 3 に記載の液晶ディスプレイ。

【請求項 8】

前記ゲートラインの前記第 1 幅部分に重なる前記ドレインラインの領域が、ドレイン電極として機能する請求項 1 に記載の液晶ディスプレイ。

【請求項 9】

前記ドレインラインが、前記活性層と前記第 1 幅部分の重複領域の境界を越えて延伸する請求項 1 に記載の液晶ディスプレイ。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、液晶ディスプレイ（LCD）に関し、特に、ゲートとドレインとの間の寄生容量（以下「ゲート-ドレイン寄生容量」という。）を減少し、ゲート-ドレイン寄生容量の変化を抑えることができる TFT 駆動型 LCD の構造に関するものである。

【背景技術】**【0002】**

図 1 は、従来の、薄膜トランジスタ（TFT）を能動素子として含む TFT 駆動型 LCD（以下「TFT-LCD」とする。）10 の平面図である。TFT-LCD 10 は、絶

50

縁基板（不図示）に水平に設置されたゲートライン 11 を含む。ゲートライン 11 は、ゲート電極 12 として機能する突出領域を有する。アモルファスシリコンなどから構成された活性層 13 は、ゲート電極 12 の上に形成される。ソースライン 14 は、ゲートライン 11 を垂直に横切って延伸し、ソース電極 15 として機能する突出領域を有する。ドレインライン 16 は、画素電極 18 に接続され、ゲートライン 11 に並行して延伸し、ドレイン電極 17 を有する。ソース電極 15 とドレイン電極 17 は、ゲート電極 12 の相対する両側にそれぞれ重複する。画素電極 18 は、通常、例えば、インジウムスズ酸化物（ITO）と酸化インジウム亜鉛（IZO）などの良好な導電率を有する透明導電材料より構成される。

【0003】

10

フォトリソグラフィのプロセス中、TFTの形成プロセスで生じた機械的変動（mechanical variance）によってもたらされたマスクの偏差がソース電極 15 / ドレイン電極 17 と、ゲート電極 12 の重複領域の変化を招き、それに伴ってゲート - ソース寄生容量（以下 C_{GS} と略記する）とゲート - ドレイン寄生容量（以下 C_{GD} と略記する）が変化する。図 2 は、LCD の輝度に対する C_{GD} の影響を説明する TFT - LCD の画素ユニットの等価回路 20 を表している。図 2 では、G はゲート電極を意味し、S はソース電極を意味し、D はドレイン電極を意味し、 C_{LC} は液晶容量を意味し、 C_S は蓄積容量を意味する。2 つの容量 C_{LC} と C_S は、画素電極 P と共通電極 C との間で並行に接続される。TFT - LCD がオンにされた時、ゲート電極 G に、比較的高い電圧 V_{GH} が提供され、その結果、TFT - LCD の全電荷 Q_1 と画素 P の電圧 V_{P1} 間の関係は、以下の式で表される。

20

$$Q_1 = C_{GD} (V_{P1} - V_{GH}) + (C_{LC} + C_S) (V_{P1} - V_{COM}) \dots (1)$$

（ V_{COM} は、共通電極の電圧を意味する。）

【0004】

逆に、TFT - LCD がオフにされた時、ゲート電極 G は、比較的低い電圧 V_{GL} を提供され、TFT - LCD の全電荷 Q_2 と画素 P の電圧 V_{P2} との間の関係は、以下の式で表される。

$$Q_2 = C_{GD} (V_{P2} - V_{GL}) + (C_{LC} + C_S) (V_{P2} - V_{COM}) \dots (2)$$

30

で表される。

【0005】

電荷保存則により、式（1）と（2）から得られた Q_1 と Q_2 は、 $Q_1 = Q_2$ の関係から、以下の式が得られる。

$$\Delta V_P \equiv V_{P1} - V_{P2} = (V_{GH} - V_{GL}) (C_{GD} / C_{CL} + C_{CS} + C_{GD}) \dots (3)$$

【0006】

式（3）に表されるように、いわゆるフィードスルー電圧、 ΔV_P は、 C_{GD} によって決まる。LCD の輝度が画素 P の電圧を調整することによって制御されることから、LCD の輝度は、機械変異によって生じた C_{GD} の偏差による輝度の不均一な現象を出し、深刻な場合、いわゆる“ムラ”現象が生じることがある。

40

【0007】

上述の問題に加え、実効電圧が一つの電界から次の電界に変わる時の過度の C_{GD} により、LCD のちらつきが生じることがある。

【0008】

ゲート - ドレイン寄生容量が増加された時、ゲートラインの時定数は、それに伴って増加される。結果、駆動側からもう 1 つの離れた側に向けて高電圧から低電圧に動かした時、ゲート電圧の遅延が生じ、離れた側の隣接領域は、「再書き込み（rewriting）」が生じる。再書き込みの意味は、既定の水平周期に隣接する水平周期のデータ（すなわち、ドレイン電位）が既定周期で書き込まれ、既定画素の電位がシフトすることを意味

50

する。

【0009】

また、図2に示すように、ゲート電圧が高電圧から低電圧に切り換えられた時、TFTの寄生容量が、式(3)に表されたように、画素電極の電圧を ΔV_p に降下させる。そして、 ΔV_p の増加時、ソース電極とドレイン電極間の電圧差も増加する。よって、ゲート電圧が駆動側からもう1つの隔壁側に向けて高電圧から低電圧に切り換えられた時、ゲート電圧の遅延によってもたらされた再書き込みがより容易に生じる。式(3)に表されたように、 ΔV_p は、 C_{GD} と密接な関係を持つ。 C_{GD} の減少時、 ΔV_p もそれに伴って減少される。この理由により、再書き込みは、 C_{GD} の減少により抑制されうる。

【0010】

以上を鑑みて、ゲート・ドレイン寄生容量を減少し、ゲート・ドレイン寄生容量の偏差を抑制することができるLCDの構造を提供することが望ましい。

【特許文献1】米国特許第5097297号明細書

【特許文献2】米国特許第5414283号明細書

【特許文献3】米国特許第6011600号明細書

【特許文献4】米国特許出願公開第20040080681号明細書

【発明の開示】

【発明が解決しようとする課題】

【0011】

ゲート・ドレイン寄生容量の偏差を抑制することができるLCDを提供する。

【課題を解決するための手段】

【0012】

本発明は、以下のLCDを提供する。すなわち、当該LCDは、絶縁基板、この絶縁基板の上に形成されたゲートライン、このゲートラインの上に形成された活性層、上記絶縁基板の上に形成され、上記ゲートラインにほぼ垂直に延伸するソースラインと、画素電極に接続され、上記活性層と前記ゲートラインの重複領域を横切って延伸するドレインラインを含み、上記ゲートラインは、第1幅部分と第2幅部分を含み、第1幅部分は、第2幅部分より狭く、上記ドレインラインに重なるようにされている。

【0013】

本発明は、LCDを提供する。LCDは、絶縁基板、前記絶縁基板の上に形成されたゲートライン、前記ゲートラインの上に形成された活性層、前記絶縁基板の上に形成され、前記ゲートラインを横切って延伸し、延伸領域を有するソースラインと、画素電極に接続され、前記活性層と前記ゲートラインの重複領域を横切って延伸し、前記ソースラインの延伸領域の一方側の上に形成された少なくとも1つの延伸領域と前記活性層と前記ゲートラインの重複領域を有するドレインラインを含み、前記ゲートラインは、第1幅部分と第2幅部分を含み、前記第1幅部分の部分は、前記第2幅部分より狭く、前記ドレインラインに重なる。

【発明の効果】

【0014】

本発明は、機械の不正確な位置合わせによって生じたゲート・ドレイン寄生容量の偏差を抑制することができるLCDを提供することで異なるLCD領域の輝度の不均一な現象を防ぐことができる。また、LCDは、減少されたゲート・ドレイン寄生容量を有するため、画面のちらつきを防ぐことができる。

【発明を実施するための最良の形態】

【0015】

本発明についての目的、特徴、長所が一層明確に理解されるよう、以下に実施形態を例示し、図面を参照にしながら、詳細に説明する。

【実施例】

【0016】

図3は、本発明の実施例に基づいたLCDの平面図である。LCD30では、ゲートラ

10

20

30

40

50

イン 3 1 は、絶縁基板（不図示）の上に形成される。図に示すように、ゲートライン 3 1 は、第 1 幅部分及び第 2 幅部分を有し、第 1 幅部分は、第 2 幅部分より狭い。活性層 3 3 は、第 1 及び第 2 幅部分の上に形成される。ゲートライン 3 1 は、第 1 及び第 2 幅部分と活性層 3 3 との重複領域上のゲート電極を有する。ソースライン 3 4 は、絶縁基板の上に形成され、ゲートライン 3 1 に対して略垂直に延伸し、ゲートライン 3 1 を横切り、ソース電極 3 5 として機能する活性層 3 3 の上に延伸領域を有する。ドレインライン 3 6 は、ゲートライン 3 1 にほぼ垂直に延伸し、活性層 3 3 の重複領域とゲートライン 3 1 の第 1 幅部分とを横切る。ドレインライン 3 6 は、活性層 3 3 の上に位置されたドレイン電極 3 7 を有し、画素電極 3 8 に接続される。チャンネル領域 3 9 は、活性層 3 3 内のソース電極 3 5 とドレイン電極 3 7 の間に定められる。

10

【0017】

図 3 に示すように、ドレインライン 3 6 が活性層 3 3 とゲートライン 3 1 の重複領域の上方、若しくは重複領域の境界を越えて延伸することから、フォトリソグラフィのプロセスで照準ミスが生じた時でもゲートライン/ゲート電極 3 1 / 3 2 とドレインライン/ドレイン電極 3 6 / 3 7 の重複領域の領域は、変化しない。よって、 C_{GD} は変化せず、不均一な輝度が防げられる。また、ゲートライン 3 1 が比較的狭い幅の第 1 幅部分を有し、ドレインライン 3 6 が第 1 幅部分に重なり、ゲートライン/ゲート電極 3 1 / 3 2、活性層 3 3 と、ドレインライン/ドレイン電極 3 6 / 3 7 との重複領域の領域が減少されることで、 C_{GD} が減少し、画面のちらつきが抑制される。

20

【0018】

ここで注意すべきは、ゲートライン 3 1 の第 1 幅部分が、ドレインライン 3 6 と重なるだけでなく、ソースライン 3 4 に向けて延伸されることもできることが必要点である。

【0019】

また、ゲートライン 3 1 の比較的狭い幅の第 1 幅部分は、第 1 幅部分の両側の周囲に自由空間（フリースペース）を提供する。よって、本発明のもう 1 つの実施例では、ドレインライン 3 6 は、第 1 幅部分の一のサイドに形成され、活性層 3 3 とゲートライン 3 1 の重複領域の上方に位置された、若しくは重複領域の境界に位置された延伸領域を更に有することができる。よって、ドレインライン 3 6 とソースライン 3 4 との間のチャンネル領域が増加し、かつ伝導電流が増加する。

30

【0020】

図 4 は、本発明のもう 1 つの実施例に基づいた LCD 40 の平面図である。LCD 30 と異なるのは、ドレインライン 3 6' が、ソースライン 3 4 の延伸領域 3 5 の両側にそれぞれ形成され、活性層 3 3 とゲートライン 3 1 との重複領域に位置された 2 つの延伸領域を更に含むことである。よって、活性層 3 3 内のソース電極 3 5 とドレイン電極 3 7 との間に画定されたチャンネル領域は、チャンネル領域 3 9、3 9₁ と、及び 3 9₂ を含む。

【0021】

図示されているように、図 3 のチャンネル領域 3 9 に比べ、LCD 40 は、2 つの追加のチャンネル領域 3 9₁ と 3 9₂ を有する。また、活性層は、ソースラインに向けて延伸し、上下方向に拡張することができる。この場合、更に 2 つのチャンネル領域 3 9₄ と 3 9₅ とが存在することになる。

40

【0022】

以上、本発明の好適な実施例を例示したが、これは本発明を限定するものではなく、本発明の精神及び範囲を逸脱しない限りにおいては、当業者であれば行い得る少々の変更や修飾を付加することは可能である。従って、本発明が保護を請求する範囲は、特許請求の範囲を基準とする。

【図面の簡単な説明】**【0023】**

【図 1】従来の TFT-LCD の平面図である。

【図 2】LCD の輝度に対する C_{GD} の影響を説明する TFT-LCD の画素ユニットの等価回路を表している。

50

【図 3】本発明の実施例に基づいたLCDの平面図である。

【図 4】本発明の他の実施例に基づいたLCDの平面図である。

【符号の説明】

【0024】

10 従来のTFT-LCD

30、40 本発明のTFT-LCD

11、31 ゲートライン

12、32 ゲート電極

13、33 活性層

14、34 ソースライン

15、35 ソース電極

16、36 ドレインライン

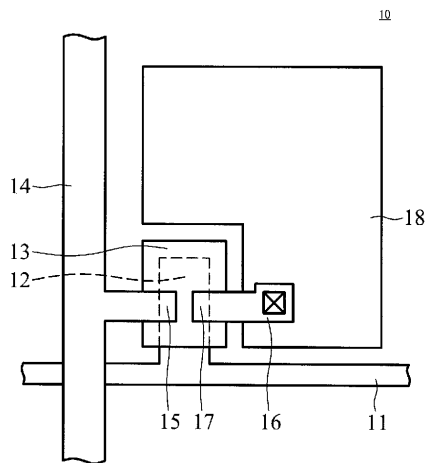
17、37 ドレイン電極

18、38 画素電極

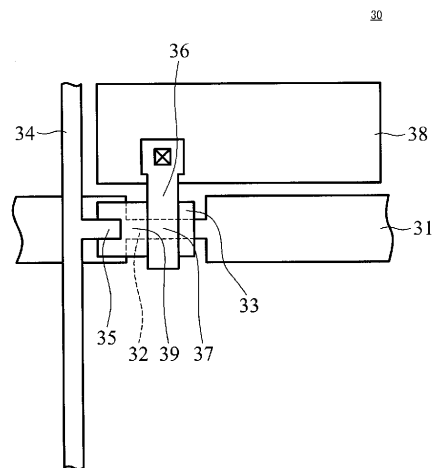
39、39₁、39₂、39₄、39₅ チャンネル領域

10

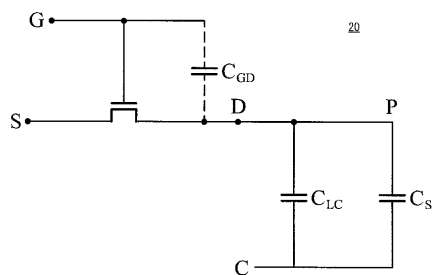
【図 1】



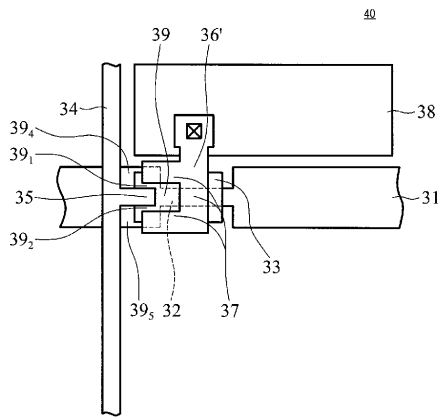
【図 3】



【図 2】



【 図 4 】



专利名称(译)	液晶显示器		
公开(公告)号	JP2007264608A	公开(公告)日	2007-10-11
申请号	JP2007036140	申请日	2007-02-16
[标]申请(专利权)人(译)	友达光电股份有限公司		
申请(专利权)人(译)	友达光电股▲ふん▼有限公司		
[标]发明人	黄添鈞		
发明人	黄 添鈞		
IPC分类号	G02F1/1368		
CPC分类号	G02F1/1368 G02F2001/13606 H01L27/124 H01L29/42384		
FI分类号	G02F1/1368 H01L29/78.612.C H01L29/78.617.K		
F-TERM分类号	2H092/JA24 2H092/JA38 2H092/JA40 2H092/JA42 2H092/JB26 2H092/NA23 2H092/JB23 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB52 2H192/CC04 2H192/CC17 2H192/CC42 2H192/DA12 2H192/DA73 5F110/AA30 5F110/BB01 5F110/DD01 5F110/EE24 5F110/HM12 5F110/NN72		
优先权	095110673 2006-03-28 TW		
其他公开文献	JP4553318B2		
外部链接	Espacenet		

摘要(译)

解决的问题：抑制TFT驱动型LCD的栅极和漏极之间的寄生电容偏差。
 本发明涉及绝缘基板，形成在绝缘基板上的栅极线，形成在栅极线上的有源层，形成在绝缘基板上并且基本上垂直于栅极线的绝缘层。栅极线包括延伸到像素电极的源极线和连接到像素电极并延伸跨过有源层和栅极线的重叠区域的漏极线。并且，第一宽度部分比第二宽度部分窄，并且TFT驱动液晶显示器设置成与漏极线重叠。[选择图]图3

