

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-248903

(P2007-248903A)

(43) 公開日 平成19年9月27日(2007.9.27)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1343 (2006.01)	G02F 1/1343	2H092
G02F 1/1345 (2006.01)	G02F 1/1345	

審査請求 未請求 請求項の数 7 O L (全 17 頁)

(21) 出願番号 特願2006-73305 (P2006-73305)
 (22) 出願日 平成18年3月16日 (2006.3.16)

(71) 出願人 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 松田 洋史
 東京都港区浜松町二丁目4番1号 三洋エ
 プソンイメージングデバイス株式会社内
 (72) 発明者 小田 信彦
 東京都港区浜松町二丁目4番1号 三洋エ
 プソンイメージングデバイス株式会社内

最終頁に続く

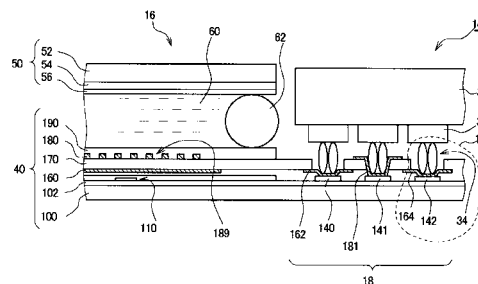
(54) 【発明の名称】 液晶表示装置及び液晶表示装置の製造方法

(57) 【要約】

【課題】横電界方式で駆動され、COG技術で他の電子部品が実装される液晶表示装置において、COG技術の高密度化を可能とすることである。

【解決手段】液晶表示装置の表示パネル14は、表示部16と、水平ドライバLSI30が接続される接続端子部18とを有する。表示部16の下側の透明パネル基板40は、下ガラス基板100の上に、パツファ層102、TFT形成層110、画素電極層160、中間絶縁層170、スリット189を有する共通電極層180等が順次積層される。接続端子部18においては、接続配線140、141、142が配置され、その上に中間導電体層が配置される。中間導電体層は、画素電極層160と同じ工程で形成される第1導電体層162、164と、共通電極層180と同じ工程で形成される第2導電体層181とが、隣接する接続配線の間で交互に配置される。

【選択図】図2



【特許請求の範囲】

【請求項 1】

下基板と上基板の間に液晶を封止し、前記下基板上に画素電極層と共通電極層とを中間絶縁層を挟んで配置し、前記画素電極層と前記共通電極層との間の電界で前記液晶を駆動して表示する表示部と、表示部の周辺において別の電子部品を接続するために整列配置された複数の端子部とを有する液晶表示装置であって、

前記端子部のそれぞれは、

前記表示部と接続され、導電体で形成された接続配線と、

前記接続配線を覆う配線保護膜層と、

前記端子部の部分に設けられた前記配線保護膜層の開口部と、

前記開口部において前記接続配線を覆う中間導電体層と、

を含み、

前記中間導電体層に、前記端子部の少なくとも 1 つは前記画素電極層と同じ工程で形成された第 1 導電体層を用い、他の端子部の少なくとも 1 つは前記共通電極層と同じ工程で形成された第 2 導電体層を用いることを特徴とする液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置において、

隣接する前記端子部の間では、前記第 1 導電体層と、前記第 2 導電体層とを交互に用いることを特徴とする液晶表示装置。

【請求項 3】

請求項 2 に記載の液晶表示装置において、

前記端子部の前記第 1 導電体層と、前記端子部の前記第 2 導電体層とは、前記中間絶縁層と同じ工程で形成された絶縁層で分離されていることを特徴とする液晶表示装置。

【請求項 4】

請求項 3 に記載の液晶表示装置において、

前記隣接する端子部の間では、前記第 1 導電体層と前記第 2 導電体層の平面配置における最小間隔は、同一導電体を平面的に配置するとき用いられる最小間隔よりも短いことを特徴とする液晶表示装置。

【請求項 5】

請求項 1 に記載の液晶表示装置において、

前記画素電極層及び前記共通電極層は、ITO 層であることを特徴とする液晶表示装置。

【請求項 6】

下基板と上基板の間に液晶を封止し、前記下基板上に画素電極層と共通電極層とを絶縁層を挟んで配置し、前記画素電極層と前記共通電極層との間の電界で前記液晶を駆動する表示部と、表示部の周辺において別の電子部品を接続するために整列配置された複数の端子部とを有する液晶表示装置の製造方法であって、

前記複数の端子部の一部の端子部において前記表示部と接続される接続配線上に積層して配置される第 1 導電体層と、前記表示部の前記画素電極層とを同一工程で形成する第 1 導電体形成工程と、

前記複数の端子部の他の一部の端子部において前記表示部と接続される接続配線上に積層して配置される第 2 導電体層と、前記表示部の前記共通電極層とを同一工程で形成する第 2 導電体形成工程と、

を含むことを特徴とする液晶表示装置の製造方法。

【請求項 7】

請求項 7 に記載の液晶表示装置において、

前記第 1 導電体層と、前記第 2 導電体層とを分離する絶縁層と、前記中間絶縁層とを同一工程で形成する絶縁層形成工程を含むことを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、液晶表示装置及び液晶表示装置の製造方法に係り、特に、互いに対向する一対の基板間に液晶が挟持される表示部において液晶が共通電極と画素電極とで発生する電界により駆動され、表示部の周辺において別の電子部品が接続される液晶表示装置及び液晶表示装置の製造方法に関する。

【 背景技術 】

【 0 0 0 2 】

一般に、テレビ、グラフィックディスプレイ等の表示装置を構成する液晶表示装置には、主としてアクティブマトリクス型で、縦電界により駆動される方式が用いられる。すなわち、この方式の液晶表示装置は、透明な一対のガラス基板と、このガラス基板の間に封入された液晶とから構成され、このガラス基板のうち、少なくとも一つのガラス基板には、薄膜トランジスタと画素電極が形成され、他方のガラス基板にはカラーフィルタと共通電極が形成される。そして、液晶は、駆動回路によって、一方側のガラス基板上の画素電極と、他方側のガラス基板上の共通電極との間に発生する電界、すなわち、ガラス基板の面内方向を横方向として、これに垂直な縦方向の電界によって駆動される。

【 0 0 0 3 】

液晶表示装置については、高精細化、小型化、そして広視野角化が要求される。これらの要求に対し、本発明は、2つの技術分野が融合して関係する。1つは、広視野角に関する横電界駆動方式であり、他の1つは小型化のためのCOG (Chip On Glass) 技術である。

【 0 0 0 4 】

最初に横電界駆動方式について説明する。近年、広視野角化を図る手段の1つとして、ガラス基板に対して面内方向の電界、すなわち横電界を発生させ、この横電界で液晶分子を基板に平行な面内で回転させることで透過率を変化させる光スイッチング機能を持たせる方式の技術が実用化されている。

【 0 0 0 5 】

例えば、特許文献1では、ガラス基板の面に平行な平行場を利用したIPSモード (In Plane Switching Mode) の液晶表示素子について述べられており、また、特許文献2では、IPS技術をさらに改良したFFS (Fringe-Field Switching) 技術を用いて開口率を向上させる液晶表示装置が述べられている。ここで、FFS技術では、共通電極の上に中間絶縁層を介して画素電極を配置し、画素電極にスリットを設け、そのスリットを利用することで、画素電極と共通電極との間の電界を発生させている。この電界は、横方向電界と共に電極の縁の近傍で基板に垂直な方向にも強い電界成分を有しており、このことで、電極上方に位置する液晶分子も駆動することができる。したがって、透明電極を用いれば、電極部分も表示に寄与させることができ、開口率が向上することになる。なお、画素電極と共通電極とを逆の配置にしてもよい。

【 0 0 0 6 】

次にCOG技術について説明する。アクティブマトリクス型の液晶表示装置では、外部から映像信号としてのデータ信号を受け入れ、これを各画素に供給する。このために液晶表示パネルの平面上において水平方向のゲートラインと垂直方向のデータラインを設け、データラインの映像信号を供給しつつ、対応するゲートラインによって該当する画素を選択して、各画素へのデータ信号の供給を制御する。したがってデータラインへのデータ信号の供給と、ゲートラインの選択とを制御する必要があり、そのために水平ドライバ及び垂直ドライバが設けられる。これらのドライバは、液晶表示パネル内に作り込むこともできるが、一般的に水平ドライバは1水平走査期間内においてデータ信号を各列のデータラインに供給する動作を制御する必要から、比較的高速の信号処理が要求され、液晶表示パネルとは別の集積回路を用いることも多い。ここで水平ドライバを液晶表示パネルのガラス基板上に実装する技術としてCOG技術が用いられる。

【 0 0 0 7 】

10

20

30

40

50

C O G 技術は、ガラス基板上に配置された接続配線と、電子部品の接続端子とを接続する技術である。例えば、異方性導電フィルム (A C F) を接続配線と接続端子との間に配置して押さえることで接続することができる。この場合に、接続配線を保護する絶縁膜にコンタクトホールを開け、そのコンタクトホールを含めて透明導電膜を形成し、この透明導電膜を中間導電体層として利用し、接続配線 - 透明導電膜 - A C F - 接続端子の構造で接続することが行われる。この透明導電膜は、画素電極や共通電極に用いられる I T O (I n d i u m T i n O x i d e) 等と同じものが用いられる。例えば特許文献 3 には端子部に透明導電膜を利用することが述べられている。

【 0 0 0 8 】

【特許文献 1】特開平 1 0 - 6 2 7 6 7 号公報

10

【特許文献 2】特開 2 0 0 2 - 2 9 6 6 1 1 号公報

【特許文献 3】特開平 6 - 1 8 0 4 6 0 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 9 】

上記のように、横電界方式を用いることは、液晶表示装置において広視野角化等を実現することができるので、有用である。このような横電界方式の液晶表示装置を実現する過程で、その特質を生かした新しい構造が可能であることが分かってきている。

【 0 0 1 0 】

例えば、C O G 技術において、隣接する端子部の間の間隔は、同一導体層を配置する際に短絡しないように最小寸法が定められる。したがって、従来技術では、端子部における隣接する接続配線パターンの間の間隔、あるいは隣接する透明導電膜パターンの間の間隔によって、C O G の端子部の間の最小寸法が定まっている。ところで、横電界方式では、中間絶縁膜を介して画素電極層と共通電極層とが配置され、これらはいずれも透明導電膜層である。したがって、従来技術に比べ、透明導電膜層の利用の自由度が増し、これによって C O G 技術の実装の高密度化が期待される。

20

【 0 0 1 1 】

本発明の目的は、横電界方式で駆動され、C O G 技術で他の電子部品が実装される液晶表示装置において、透明導電膜層の利用の自由度を増すことができる液晶表示装置及び液晶表示装置の製造方法を提供することである。他の目的は、横電界方式で駆動され、C O G 技術で他の電子部品が実装される液晶表示装置において、C O G 技術の実装の高密度化を可能とする液晶表示装置及び液晶表示装置の製造方法を提供することである。また、他の目的は、横電界方式で駆動され、C O G 技術で他の電子部品が実装される液晶表示装置において、小型化を図ることができる液晶表示装置及び液晶表示装置の製造方法を提供することである。以下の手段は、上記目的の少なくとも 1 つに貢献する。

30

【課題を解決するための手段】

【 0 0 1 2 】

本発明に係る液晶表示装置は、下基板と上基板の間に液晶を封止し、前記下基板上に画素電極層と共通電極層とを中間絶縁層を挟んで配置し、前記画素電極層と前記共通電極層との間の電界で前記液晶を駆動して表示する表示部と、表示部の周辺において別の電子部品を接続するために整列配置された複数の端子部とを有する液晶表示装置であって、前記端子部のそれぞれは、前記表示部と接続され、導電体で形成された接続配線と、前記接続配線を覆う配線保護膜層と、前記端子部の部分に設けられた前記配線保護膜層の開口部と、前記開口部において前記接続配線を覆う中間導電体層と、を含み、前記中間導電体層に、前記端子部の少なくとも 1 つは前記画素電極層と同じ工程で形成された第 1 導電体層を用い、他の端子部の少なくとも 1 つは前記共通電極層と同じ工程で形成された第 2 導電体層を用いることを特徴とする。

40

【 0 0 1 3 】

また、本発明に係る液晶表示装置において、隣接する前記端子部の間では、前記第 1 導電体層と、前記第 2 導電体層とを交互に用いることが好ましい。

50

【 0 0 1 4 】

また、本発明に係る液晶表示装置において、前記端子部の前記第 1 導電体層と、前記端子部の前記第 2 導電体層とは、前記中間絶縁層と同じ工程で形成された絶縁層で分離されていることが好ましい。

【 0 0 1 5 】

また、本発明に係る液晶表示装置において、前記隣接する端子部の間では、前記第 1 導電体層と前記第 2 導電体層の平面配置における最小間隔は、同一導電体を平面的に配置するときに用いられる最小間隔よりも短いことが好ましい。

【 0 0 1 6 】

また、本発明に係る液晶表示装置において、前記画素電極層及び前記共通電極層は、ITO 層であることが好ましい。 10

【 0 0 1 7 】

また、本発明に係る液晶表示装置の製造方法は、下基板と上基板の間に液晶を封止し、前記下基板上に画素電極層と共通電極層とを絶縁層を挟んで配置し、前記画素電極層と前記共通電極層との間の電界で前記液晶を駆動する表示部と、表示部の周辺において別の電子部品を接続するために整列配置された複数の端子部とを有する液晶表示装置の製造方法であって、前記複数の端子部の一部の端子部において前記表示部と接続される接続配線の上に積層して配置される第 1 導電体層と、前記表示部の前記画素電極層とを同一工程で形成する第 1 導電体形成工程と、前記複数の端子部の他の一部の端子部において前記表示部と接続される接続配線の上に積層して配置される第 2 導電体層と、前記表示部の前記共通電極層とを同一工程で形成する第 2 導電体形成工程と、を含むことを特徴とする。 20

【 0 0 1 8 】

また、本発明に係る液晶表示装置において、前記第 1 導電体層と、前記第 2 導電体層とを分離する絶縁層と、前記中間絶縁層とを同一工程で形成する絶縁層形成工程を含むことが好ましい。

【 発明の効果 】

【 0 0 1 9 】

上記構成により、液晶表示装置の端子部の少なくとも 1 つは、中間導電体層に画素電極層と同じ工程で形成された第 1 導電体層を用い、他の端子部の少なくとも 1 つは共通電極層と同じ工程で形成された第 2 導電体層を用いる。したがって、画素電極層及び表示電極層を透明導電膜層とすると、端子部における透明導電膜層の選択の自由度が増す。 30

【 0 0 2 0 】

また、隣接する前記端子部の間では、前記第 1 導電体層と、前記第 2 導電体層とを交互に用いる。第 1 導電体層と第 2 導電体層とは、異なる工程で形成されるので、その間に絶縁膜を配置でき、立体的に分離することができ、これにより端子部における中間導電体層の間の平面的な最小寸法の制限がなくなる。したがって、COG 技術における高密度化が可能となり、液晶表示装置の小型化を図ることができる。

【 0 0 2 1 】

また、前記端子部の前記第 1 導電体層と、前記端子部の前記第 2 導電体層とは、前記中間絶縁層と同じ工程で形成された絶縁層で分離されているので、工程が簡単になるうえ、端子部における中間導電体層の間を立体的に分離することで端子部における中間導電体層の間の平面的な最小寸法の制限がなくなる。したがって、COG 技術における高密度化が可能となり、液晶表示装置の小型化を図ることができる。 40

【 0 0 2 2 】

また、隣接する端子部の間では、前記第 1 導電体層と前記第 2 導電体層の平面配置における最小間隔は、同一導電体を平面的に配置するときに用いられる最小間隔よりも短い。したがって、COG 技術における高密度化が可能となり、液晶表示装置の小型化を図ることができる。

【 0 0 2 3 】

また、画素電極層及び共通電極層は、ITO 層である。透明導電膜層としては ITO 層 50

のほかにIZO層(Indium Zinc Oxide)等があるが、材料の違いにより、ITO層の方が実装性に優れていることが認められる。したがって、よりよい実装を行うことができる。

【発明を実施するための最良の形態】

【0024】

以下に図面を用いて、本発明に係る実施の形態につき、詳細に説明する。以下において、液晶表示装置は、TFT(Thin Film Transistor)を用いたアクティブマトリクス方式で、FFS技術を用いるとしてもものとして説明するが、液晶が第1電極と第2電極とで発生する駆動電界により駆動され、駆動電界の経路に絶縁層を有する液晶表示装置であれば、以下の実施形態を変形することで一般的に実施することができる。例えば、スイッチング素子として、TFT以外のスイッチング素子、例えばダイオード素子等を用いるのもであってもよい。また、以下で説明する寸法等は一例であって、それ以外の寸法等であってもよい。

10

【0025】

アクティブマトリクス方式の液晶表示パネルは、周知のように、液晶を挟む2枚の透明パネル基板の一方側の基板上に、複数本のゲートラインと複数本のデータラインとが縦横に配置され、これらのラインで区画される格子のそれぞれに各画素が配置される。そして各画素のTFT素子のゲート端子はいずれかのゲートラインに、ドレイン端子はいずれかのデータラインに、ソース端子は、各画素に設けられる画素電極に、それぞれ接続される。FFS方式においてもこの構造は同じであるが、さらに共通電位を各画素に供給するためにコモンラインが配置される。

20

【0026】

図1は、FFS方式液晶表示装置10の構成模式図である。液晶表示装置10は、表示制御部12と、表示パネル14等から構成される。表示制御部12は、表示パネル14に所望の表示をさせるための制御を行う機能を有する回路である。表示パネル14は、一対の透明パネル基板の間に液晶を挟みこんで封止した表示部16と、その周辺の要素とからなる。表示部16の周辺要素としては、水平ドライバLSI30が実装される接続端子部18と、垂直ドライバ回路20等がある。

【0027】

表示部16は、垂直ドライバ回路20によって選択され、図1において水平方向に配置される複数のゲートライン22と、水平ドライバLSI30によってデータ信号が供給され、図1において垂直方向に配置される複数のデータライン24と、各ゲートラインと各データラインとによって特定されてデータ信号が供給されるマトリクス状に配置される複数の画素23を含んで構成される。

30

【0028】

各ゲートライン22は垂直ドライバ回路20にそれぞれ接続され、各データライン24は接続端子部18を介して水平ドライバLSI30に接続される。表示制御部12は、水平ドライバLSI30と、垂直ドライバ回路20に接続され、また、コモンライン26を介し表示パネル14に共通電位を供給する。

【0029】

このような構造において、特定のゲートライン22と特定のデータライン24とを選択し、そのゲートライン22にTFTのオン信号を、そのデータライン24に画像データ信号を与えることで、そのゲートライン22とそのデータライン24との交点にある画素23のTFTがオンし、データライン24が接続されるドレイン端子と、画素電極に接続されるソース端子とが導通して、画素電極に画像信号であるデータ信号が与えられる。コモンライン26は、全画素を覆うように配置され、スリットを有する共通電極層に接続されるので、このスリットを利用して共通電極層と各画素電極とのあいだに生成される横電界によって、液晶が駆動されることになる。

40

【0030】

図2は、表示部16と接続端子部18とを示す表示パネル14の概略断面図である。こ

50

こで表示部 16 には、1 画素に相当する断面図が示され、また接続端子部 18 には、水平ドライバ LSI 30 の各端子 32 と、表示パネル 14 側の各データラインの接続配線 140, 141, 142 とを接続する端子部 19 の断面図が示されている。

【0031】

図 2 に示されるように、下側の透明パネル基板 40 の表示部 16 においては、下ガラス基板 100 の上に、バッファ層 102、TFT 形成層 110、画素電極層 160、中間絶縁層 170、スリット 189 を有する共通電極層 180、配向膜 190 等が順次積層される。また、上側の透明パネル基板 50 には、上ガラス基板 52 の上に、カラーフィルタ 54、配向膜 56 等が積層される。そして、下側の透明パネル基板 40 と上側の透明パネル基板 50 とがシール部材 62 を介して積層される。液晶 60 は、シール部材 62 によってシールされた空間の中に、対向する配向膜 190, 56 の間に封止されて配置される。この積層形態は、一例であって、それ以外の積層要素を含んでもよく、また積層順序を液晶表示の方式あるいは用途に応じ変更してもよい。

10

【0032】

図 2 に示されるように、下側の透明パネル基板 40 は上側の透明パネル基板 50 よりも大きく、その張出部に接続端子部 18 が配置される。接続端子部 18 は、表示部 16 の複数のデータラインがそれぞれ延ばされて配置された接続配線 140, 141, 142 等と、接続配線 140, 141, 142 等の上に積層して配置される中間導電体層と、ACF 34 とを含んで構成される。図 2 では、3 つの隣接する接続配線 140, 141, 142 に、それぞれ、第 1 導電体層 162、第 2 導電体層 181、第 1 導電体層 164 が積層される様子が示される。後述するように、第 1 導電体層 162, 164 は、画素電極層 160 と同一の工程で形成され、第 2 導電体層 181 は、共通電極層 180 と同一の工程で形成される。このようにして、水平ドライバ LSI 30 の各端子 32 - ACF 34 - 中間導電体層 - 各データラインの接続端子の構造によって、水平ドライバ LSI 30 の各端子 32 と各データラインとが COG 技術により接続され、水平ドライバ LSI 30 から各データラインに画像信号であるデータ信号が供給される。

20

【0033】

図 3 は、下側の透明パネル基板 40 について、表示部 16 と接続端子部 18 についての詳細断面図である。ここでは、代表的に 1 つの画素についての断面図と、2 つの隣接する端子部についての詳細断面図を示してある。積層される絶縁膜等の段差は省略し、いずれの絶縁膜も、表面は平坦として図示してある。

30

【0034】

図 3 の下側の透明パネル基板 40 において、下ガラス基板 100 は、液晶パネル用に適した成分と温度特性等を有するガラス板である。下ガラス基板 100 と TFT 形成層 110 との間のバッファ層 102 は、下ガラス基板 100 上に半導体層 112 を含む TFT 形成層 110 を密着性よく形成し、不純物の拡散を防止する等のために設けられる。バッファ層 102 としては、酸化膜 (SiO_2) と窒化膜 (SiN_x) とを積層した複合絶縁膜を用いることができる。

【0035】

バッファ層 102 の上に形成される TFT 形成層 110 は、画素ごとに TFT 素子を作りこむための半導体層 112 及びゲート絶縁膜層 114 等からなる。半導体層 112 は、プラズマ CVD 技術等でアモルファスシリコン膜を成膜し、これをレーザ技術等で結晶化させていわゆる低温ポリシリコンとし、適当な形状にパターン化してポリシリコンアイランドとし、これに適当なマスクを用いて、TFT のソース・ドレインに適当な不純物がドーピングされたものを用いることができる。半導体層 112 としては、低温ポリシリコン層の他に、高温ポリシリコン層、あるいはアモルファスシリコン層を用いてもよい。

40

【0036】

ゲート絶縁膜層 114 は、半導体層 112 の上に成膜される絶縁膜で、特に TFT 素子においては、ゲート電極 - ゲート絶縁膜 - キャリア領域の MIS 構造を構成する要素でもある。ゲート絶縁膜層 114 は下ガラス基板 100 の全面に渡って成膜されるので、接続

50

端子部 18 のバッファ層 102 の上にも形成される。かかるゲート絶縁膜層 114 は、CVD 法等による酸化膜、窒化膜あるいはそれらを組み合わせた複合絶縁膜等を用いることができる。

【0037】

ゲート絶縁膜層 114 の上のモリブデン (Mo) 層は、所定のパターンにエッチングされ、ゲートライン 22、コモンライン 26、そして接続端子部 18 における下部接続配線 126、127 として形成される。ゲートライン 22 は、半導体層 112 の上ではゲート電極として機能する。かかるモリブデン層は、スパッタ法によって成膜したものを用いることができる。

【0038】

層間絶縁層 128 は、モリブデン層と、次の配線層との間を絶縁する機能を有する絶縁膜である。かかる層間絶縁層 128 としては、プラズマ CVD 法による酸化膜、窒化膜、あるいはそれらを組み合わせた複合絶縁膜を用いることができる。層間絶縁層 128 も、下ガラス基板 100 の全面に渡って成膜される。

【0039】

層間絶縁層 128 にはコンタクトホールが開けられる。すなわち、TFT 素子のソース及びドレインに対応する箇所、コモンラインに対応する箇所、接続端子部 18 における下部接続配線 126、127 に対応する箇所にコンタクトホールが開けられる。図 3 では、TFT 素子のドレインに対応する箇所のコンタクトホール 129 にのみ符号を付した。

【0040】

その後成膜される配線層は、層間絶縁層 128 上にソース端子 130、データライン 24、コモン端子 134、接続端子部 18 における上部接続配線 136、137 を形成するための導電体層である。この配線層は、層間絶縁層 128 に開けられたコンタクトホールを通して、TFT 素子のソース及びドレインに対応する箇所、コモンラインに対応する箇所、接続端子部 18 における下部接続配線 126、127 に対応する箇所にそれぞれ接続される。その後所定のパターンに形成され、上記のように、ソース端子 130、データライン 24、コモン端子 134、接続端子部 18 における上部接続配線 136、137 に分離される。ここでドレインをデータライン 24 に接続されるものとしたが、TFT 素子においてドレインとソースは互換性があるので、データライン 24 に接続される方をソースと呼ぶことにしてもよい。

【0041】

ただし、上部接続配線 136、137 は、それぞれ対応するデータライン 24 の延長であるので、その限りにおいては、各データライン 24 が、その延長された端部においてそれぞれ上部接続配線 136、137 となる。そして、接続端子部 18 においては、下部接続配線 126、127 とこの上部接続配線 136、137 とが積層されて、2 層構造の接続配線 140、141 となる。

【0042】

かかる配線層にはスパッタ法によって積層された、モリブデン (Mo) / アルミニウム - ネオジウム (Al - Nd) / モリブデン (Mo) 層を用いることができる。この他に、チタン (Ti) / アルミニウム (Al) / チタン (Ti) 層を用いてもよく、また、これらの積層膜を構成する材料の単層、あるいは二層、四層の導電体膜を用いてもよい。

【0043】

配線層の上に成膜される保護膜層 150 は、ソース端子 130、データライン 24、コモン端子 134、接続端子部 18 における上部接続配線 136、137 を保護するための絶縁膜で、配線保護層としての機能を有する。特に接続端子部 18 においては次の平坦化膜 152 が除去されるので、この保護膜層 150 が、接続配線 140、141 を覆う配線保護層となる。したがって、後の工程で接続配線 140 の上に第 1 導電体層 162 が、そして接続配線 141 の上に第 2 導電体層 181 がそれぞれ形成されるに先立って、保護膜層 150 が開口される。かかる保護膜層 150 としては、窒化膜 (SiN_x) 等を用いることができる。

10

20

30

40

50

【 0 0 4 4 】

平坦化膜 1 5 2 は、これまでの工程で凹凸ができた表面を平坦にするために保護膜層 1 5 0 の上に成膜される絶縁膜である。かかる平坦化膜 1 5 2 としては、スピンコート法を用いて成膜される有機膜、例えばアクリル樹脂膜を用いることができる。平坦化膜 1 5 2 は、有機膜であるので、酸化膜や窒化膜、それらの複合絶縁膜等の無機膜に比較すると軟らかく、また耐熱温度が低い。平坦化膜 1 5 2 は、ソース端子 1 3 0 に対応するところにコンタクトホール 1 5 3 が開けられる。また接続端子部 1 8 においては、平坦化膜 1 5 2 は除去される。

【 0 0 4 5 】

平坦化膜 1 5 2 の上に成膜される I T O 層は、適当なパターン化によって、表示部 1 6 における各画素において画素電極層 1 6 0 として機能し、接続端子部 1 8 においては、接続配線 1 4 0 の上にあらかじめ開けられた開口を覆って積層される第 1 導電体層 1 6 2 として機能する。画素電極層 1 6 0 は、平坦化膜 1 5 2 に開けられたコンタクトホールを覆って、ソース端子と接続されるので、画素電極層 1 6 0 には、T F T 素子がオンしたときに、データライン 2 4 に接続されるドレインとつながり、画像信号であるデータ信号が供給されることになる。なお、この I T O 層は、コモン端子 1 3 4 の上に対応する箇所に開口が設けられる。この開口は、後述するように、中間絶縁層 1 7 0 の上に形成される共通電極層 1 8 0 とコモン端子とを接続する際に、画素電極層 1 6 0 と短絡しないようにするためである。かかる I T O 層としては、スパッタ法によって成膜されたものを用いることができる。

【 0 0 4 6 】

この平坦化膜 1 5 2 の上に形成された I T O 層は、接続端子部 1 8 において、隣接する端子部の間で、1 つ置きに接続配線の上に形成されて、第 1 導電体層となる。つまり、整列配置されている複数の端子部は、隣接する端子部について 1 つおきに 2 つの群に分けられ、第 1 群に属する複数の端子部のそれぞれには、この平坦化膜 1 5 2 の上に形成された I T O 層を利用して、第 1 導電体層が形成され、接続配線と A C F との間の中間導電体層となる。一方、第 2 群に属する複数の端子部のそれぞれには、後述する中間絶縁層 1 7 0 の上に形成された I T O 層を利用して、第 2 導電体層が形成され、接続配線と A C F との間の中間導電体層となる。したがって、整列配置された複数の端子部において、隣接する端子部の間では、交互に第 1 導電体層と第 2 導電体層が形成されることになる。例えば、図 2 においては、整列配置される接続配線 1 4 0 , 1 4 1 , 1 4 2 の順に、第 1 導電体層 1 6 2 、第 2 導電体層 1 8 1 、第 1 導電体層 1 6 4 が形成されている。

【 0 0 4 7 】

中間絶縁層 1 7 0 は、次の工程で形成される共通電極層 1 8 0 と画素電極層 1 6 0 との間に設けられる絶縁膜である。中間絶縁層 1 7 0 は、コモン端子 1 3 4 に対応するところにコンタクトホール 1 7 1 が開けられる。また、接続端子部 1 8 においては、第 1 導電体層 1 6 2 が積層されていない接続配線 1 4 1 の上に対応する部分が開口される。かかる中間絶縁層 1 7 0 としては、低温 C V D 法によって成膜された酸化膜、窒化膜、あるいはそれらを組み合わせた複合絶縁膜を用いることができる。

【 0 0 4 8 】

中間絶縁層 1 7 0 の上に成膜される I T O 層は、適当なパターン化によって、表示部 1 6 においてスリット 1 8 9 を有する共通電極層 1 8 0 として機能し、接続端子部 1 8 においては、接続配線 1 4 1 の上にあらかじめ開けられた開口を覆って積層される第 2 導電体層 1 8 1 として機能する。共通電極層 1 8 0 は、中間絶縁層 1 7 0 に開けられたコンタクトホール等を覆って、コモン端子と接続されるので、共通電極層 1 8 0 には、コモンライン 2 6 からの共通電位が供給される。かかる I T O 層としては、スパッタ法によって成膜されたものを用いることができる。

【 0 0 4 9 】

この中間絶縁層 1 7 0 の上に形成された I T O 層は、接続端子部 1 8 において、隣接する端子部の間で、1 つ置きに接続配線の上に形成されて、第 2 導電体層となる。上記で説

10

20

30

40

50

明したように、整列配置されている複数の端子部は、１つおきに２つの群に分けられるが、第２群に属する複数の端子部のそれぞれには、この中間絶縁層１７０の上に形成されたＩＴＯ層を利用して、第２導電体層が形成され、接続配線とＡＣＦとの間の中間導電体層となる。このようにして、整列配置された複数の端子部において、隣接する端子部の間では、交互に第１導電体層と第２導電体層が形成されることになる。

【００５０】

そして、接続端子部１８においては、第１導電体層１６２と第２導電体層１８１とは、中間絶縁層１７０を介して立体的に分離されているので、同一導電体層をパターンニングするときの隣接する導電体層の間隔の最小寸法の設計ルールを適用しなくてもすむ。例えば図３において、第１導電体層１６２の一方端部ａと、第２導電体層１８１の他方端部 10
ｂとは、平面状では同じ位置、つまり平面状の間隔はゼロである。この場合でも、中間絶縁層１７０によって第１導電体層１６２と第２導電体層１８１とは十分に電氣的に分離されている。場合によっては、第１導電体層１６２の一方端部ａと、第２導電体層１８１の他方端部ｂとは、平面配置上において重なっていてもよい。このようにして、隣接する端子部において、第１導電体層１６２と第２導電体層１８１とを近接して配置できるので、隣接する接続配線１４０と接続配線１４１との間隔を詰めることができ、ＣＯＧ技術において高密度配置を行うことが可能となる。

【００５１】

配向膜１９０は、共通電極層１８０の上に成膜され、ラビング等で所定の配向が施される絶縁膜である。接続端子部１８においては、配向膜１９０は除去され、第１導電体層 20
１６２、第２導電体層１８１の部分が接続のために開口される。

【００５２】

このようにして、下側の透明パネル基板４０が形成されると、配向処理された上側透明パネル基板５０との間に液晶６０が封止されて表示パネル１４ができ上がる。表示部１６においては、上記のように、中間絶縁層１７０の下には上記のようにスリット１８９が設けられる共通電極層１８０が形成されているので、このスリット１８９を利用することで、表示制御部１２によって画素電極層１６０と共通電極層１８０との間で電界を発生させ、ＦＦＳ技術によって液晶６０を駆動することができる。なお、中間絶縁層１７０を介して配置される画素電極層と共通電極層の上下関係を逆にしてもよい。

【００５３】

図４は、下側の透明パネル基板４０の表示部１６の一部平面図で、およそ１画素分の部分が示されている。図５は、そのうちの画素電極層１６０と共通電極層１８０の部分の拡大図である。なお、以下の説明において、図１から図３で説明した符号を用いる。また、平面図では画素電極層１６０と共通電極層１８０とが重なるので、それらの領域を示すため、図４では画素電極層１６０の領域のみに斜線を付し、図５では共通電極層１８０のみに図４とは異なる方向の斜線を付してある。図４で示されるように、ゲートライン２２が紙面上で水平方向に配列され、紙面上に垂直方向にデータライン２４が配列されている。また、コモンライン２６が紙面上で水平方向に配列されている。そして、ゲートライン２２はＴＦＴ素子を形成する半導体層１１２を横切るように配置され、その重なる部分がチャンネル領域となり、チャンネル領域の両側においてドレインがコンタクトホール１２９を介 40
しデータライン２４に接続され、ソースがコンタクトホール１５３を介して画素電極層１６０に接続される。共通電極層１８０は全面に配置されており、コンタクトホール１７１を介しコモンライン２６と接続されている。また、共通電極層１８０には、画素電極層１６０に対応する部分に、複数のスリット１８９、すなわち開口部が設けられる。

【００５４】

図６は、下側の透明パネル基板４０を製造するときの手順を示すフローチャートである。ここでは、表示部１６のどの部分と接続端子部１８のどの部分が同一工程において形成されるかを中心に、図７から図１０の断面図を用いつつ説明する。以下においては、図１から図３で説明した要素と同様の要素には同一の符号を付し、詳細な説明を省略する。

【００５５】

10

20

30

40

50

最初に、液晶パネル用に適した下ガラス基板 100 が準備され、その上に、バッファ層 102 が成膜される (S10)。バッファ層 102 は下ガラス基板 100 の全面に渡って成膜される。そして、その上に半導体層 112 が形成される (S12)。半導体層 112 は、表示部 16 に形成され、接続端子部 18 には形成されない。なお、図 2 で説明したように、垂直ドライバ回路 20 が下ガラス基板 100 の上に作りこまれるので、その部分にも半導体層 112 が形成される。その後、ゲート絶縁膜層 114 が成膜される (S14)。ゲート絶縁膜層 114 も、下ガラス基板 100 の全面に渡って成膜される。

【0056】

次に、ゲート絶縁膜層 114 の上にモリブデン (Mo) 層が成膜される。モリブデン層も、下ガラス基板 100 の全面に渡って成膜されるが、その後、所定のパターンにエッチングされ、ゲートライン 22、コモンライン 26、そして接続端子部 18 における下部接続配線 126, 127 が形成される (S16)。

10

【0057】

その様子を図 7 に示す。ここでは、表示部 16 において、ゲートライン 22、コモンライン 26 が形成され、接続端子部 18 において下部接続配線 126, 127 が形成される様子が示されている。上記のように、ゲートライン 22 が半導体層 112 を横切る部分は、TFT 素子のゲート電極として機能する。なお、液晶表示装置 10 が完成したとき、コモンライン 26 は、その延長の先で、適当な接続方法により、表示制御部 12 の共通電位出力端子に接続されることになる。

【0058】

次に層間絶縁層 128 が成膜される (S18)。層間絶縁層 128 も下ガラス基板 100 の全面に渡って成膜される。そして、TFT 素子のソース及びドレインに対応する箇所、コモンラインに対応する箇所、接続端子部 18 における下部接続配線 126, 127 に対応する箇所に、それぞれコンタクトホールが開けられる (S20)。その後、配線層が形成される。具体的には、配線層の材料として上記のようにモリブデン (Mo) / アルミニウム - ネオジウム (Al - Nd) / モリブデン (Mo) 層が、下ガラス基板 100 の全面に渡って、コンタクトホールを覆って成膜される。そして所定のパターンにエッチングされて、層間絶縁層 128 上にソース端子 130、データライン 24、コモン端子 134、接続端子部 18 における上部接続配線 136, 137 が形成される (S22)。

20

【0059】

その様子を図 8 に示す。ここでは、層間絶縁層 128 に開けられたコンタクトホールを覆って、表示部 16 において、ソース端子 130、データライン 24、コモン端子 134 が形成され、接続端子部 18 において上部接続配線 136, 137 が形成される様子が示されている。図 8 では、データライン 24 のためのコンタクトホール 129 のみに符号が付されている。なお、上部接続配線 136, 137 は、それぞれ表示部 16 における各データライン 24 が接続端子部 18 に延ばされた端部に相当する。図 8 ではデータライン 24 と上部接続配線 136, 137 とが分離しているように見えるが、実際には各データライン 24 と、上部接続配線 136, 137 等とはつながっている。

30

【0060】

次に保護膜層 150 が形成される (S24)。保護膜層 150 も下ガラス基板 100 の全面に渡って成膜される。その後、平坦化膜 152 が形成される (S26)。平坦化膜 152 も下ガラス基板 100 の全面に渡って成膜される。そして、これらの膜にコンタクトホールが形成される (S28)。表示部 16 においては、ソース端子 130 に対応するところにコンタクトホール 153 が開けられる。また接続端子部 18 においては、平坦化膜 152 が全面的に除去され、その後、保護膜層 150 において接続配線 140 に対応する部分が開口される。

40

【0061】

そしてITO層が下ガラス基板 100 の全面に渡って成膜される。そして所定のパターンにエッチングされる。これにより、表示部 16 において、平坦化膜 152 及び保護膜層 150 に開けられたコンタクトホール 153 を覆いながら、平坦化膜 152 の上に画素電

50

極層 160 が形成される。また、接続端子部 18 においては、保護膜層 150 に開けられた開口を覆い、一部保護膜層 150 に掛かって、接続配線 140 上に第 1 導電体層 162 が形成される (S30)。なお、この ITO 層は、表示部 16 の画素電極層 160 において、コモン端子 134 の上に対応する箇所に開口が設けられる。その様子が図 9 に示される。

【0062】

そして、中間絶縁層 170 が下ガラス基板 100 の全面に渡って成膜される (S32)。その後、表示部 16 においてコモン端子 134 に対応するところにコンタクトホール 171 が開けられる。また、接続端子部 18 においては、第 1 導電体層 162 が積層されていない接続配線 141 の上に対応する部分が開口される (S34)。

10

【0063】

次に、ITO 層が下ガラス基板 100 の全面に渡って成膜される。そして所定のパターンにエッチングされる。これにより、表示部 16 において、中間絶縁層 170、平坦化膜 152 及び保護膜層 150 に開けられたコンタクトホール 171 を覆いながら、中間絶縁層 170 の上に、スリット 189 を有する共通電極層 180 が形成される。また、接続端子部 18 においては、中間絶縁層 170 及び保護膜層 150 に開けられた開口を覆い、一部中間絶縁層 170 に掛かって、接続配線 141 上に第 2 導電体層 181 が形成される (S36)。その後、第 1 導電体層 162 に対応して中間絶縁層 170 が開口される。その様子が図 10 に示される。その後、配向膜 190 が表示部 16 の部分に形成され (S38)、ラビング等で所定の配向処理が施され、下側の透明パネル基板 40 が得られる。

20

【0064】

上記構成の液晶表示装置 10 の動作等に付き、図 11 を用いて表示部 16 の横電界駆動の様子を、図 12 を用いて接続端子部 18 の COG 高密度化の様子を説明する。

【0065】

液晶 60 の透過率の相違によって表示を行おうとするときは、表示制御部 12 が所望の画素についてゲートライン 22 とデータライン 24 とを選択し、その画素のスイッチング素子である TFT 素子をオンにする。それによって、共通電極層 180 と、その画素の画素電極層 160 との間に所定の駆動信号が印加される。

【0066】

その様子を図 11 の FFS 技術模式図に示す。なお図 11 では配向膜の図示が省略されている。ここでは、画素電極層 160 にマイナスの電位が印加され、共通電極層 180 にプラスの電位が印加される場合が示されている。画素電極層 160 と共通電極層 180 との間で発生する電界 198 は、ガラス基板の面に平行な横方向の電界成分とともに、共通電極層 180 の縁部、つまり電極開口部であるスリット 189 の縁部においてガラス基板面に垂直の方向にも強い電界成分を有する。これによって液晶分子 61 は、共通電極層 180 の間に位置するもののみならず、共通電極層 180 の上方に位置するものも、この電界 198 によって、ガラス基板の面内で回転駆動され、電極の部分の液晶分子 61 も表示に寄与させることができる。

30

【0067】

このように、中間絶縁層 170 を挟んで配置される 2 つの透明導電体層である画素電極層 160 と、スリット 189 を有する共通電極層 180 とによって横電界を発生することができ、これによって液晶分子を駆動して、液晶表示装置 10 の広視野角化を図ることができる。

40

【0068】

図 12 は、接続端子部 18 において、中間絶縁層 170 を挟んで配置されるこの 2 種類の透明導電体層を中間導電体層として利用することで、隣接する接続配線を狭ピッチ化できることを説明する模式図である。ここで、2 種類とは、立体的配置が異なることを指している。図 12 (a) は、1 種類の間導電体層のみを用いる場合の隣接する端子部の様子を示す。ここでは、第 2 導電体層を中間導電体層として用いる場合が示されている。もちろん、第 1 導電体層を用いてもよい。図 12 (b) は、隣接する端子部の間において、

50

第1導電体層と第2導電体層とを交互に用いる場合の様子を示す。

【0069】

図12(a)においては、隣接する接続配線140, 141の上にそれぞれ第2導電体層182, 181が配置される。第2導電体層182, 181は共に共通電極層を形成するのと同じ工程で同時に作りこまれる。したがって、同一工程において、同一導電体をパターンニングするので、隣接する導電体パターンが相互に短絡しないようにする必要がある。したがって、図12(a)に示されるように、第2導電体層182の一方側端部aと、第2導電体層181の他方側端部bとの間の間隔sを十分に取る必要がある。間隔sの大きさは、パターンニングの工程能力等で定められ、例えば数 μm から10 μm 程度が必要なことがある。

10

【0070】

図12(b)においては、隣接する接続配線140, 141の上にそれぞれ異なる種類の間導電体層が配置される。すなわち、接続配線140の上に第1導電体層162が用いられると、これに隣接する接続配線141の上には第2導電体層181が配置される。図12(a)には図示されていないが、接続配線141のさらに隣に接続配線があるときは、その上に用いられるのは第1導電体層である。上記のように、第1導電体層162は、画素電極層160を形成するのと同じ工程で作りこまれるのに対し、第2導電体層181は、画素電極形成工程の後中間絶縁層170の形成工程を経て、共通電極層を形成する工程において同時に作りこまれる。したがって、第1導電体層162と第2導電体層181とは、材質が同じITOであるが、中間絶縁層170を介し、立体的に分離されている。そこで、図12(b)に示されるように、第1導電体層162の一方側端部aと、第2導電体層181の他方側端部bとの間の平面的な間隔がゼロであっても、電氣的に十分絶縁分離され、短絡する恐れがない。さらに進んで、第1導電体層162の一方側端部aが、平面的配置において、第2導電体層181の他方側端部bと重なることがあっても、電氣的に十分絶縁分離され、短絡する恐れがない。

20

【0071】

このように、中間絶縁層170を介して立体的に分離されている2種類の透明導電体層を有効に使いこなすことで、隣接する接続配線140, 141の間の平面的な間隔をより狭くすることができる。すなわち、接続配線の平面的配置について狭ピッチ化することができ、COG技術において高密度化を実現できる。

30

【図面の簡単な説明】

【0072】

【図1】本発明に係る実施の形態におけるFFS方式液晶表示装置の構成模式図である。

【図2】本発明に係る実施の形態において、表示部と接続端子部とを示す表示パネルの概略断面図である。

【図3】本発明に係る実施の形態において、下側の透明パネル基板について、表示部と接続端子部の詳細断面図である。

【図4】本発明に係る実施の形態において、下側の透明パネル基板の表示部の一部平面図である。

【図5】図4の一部拡大図である。

40

【図6】本発明に係る実施の形態において、下側の透明パネル基板を製造するときの手順を示すフローチャートである。

【図7】本発明に係る実施の形態において、下側の透明パネル基板を製造する途中工程の様子を示す図である。

【図8】本発明に係る実施の形態において、下側の透明パネル基板を製造する途中工程の様子を示す図である。

【図9】本発明に係る実施の形態において、下側の透明パネル基板を製造する途中工程の様子を示す図である。

【図10】本発明に係る実施の形態において、下側の透明パネル基板を製造する途中工程の様子を示す図である。

50

【図 1 1】 F F S 技術模式図である。

【図 1 2】 本発明に係る実施の形態において、 C O G 技術の高密度化が図られる様子を示す模式図である。

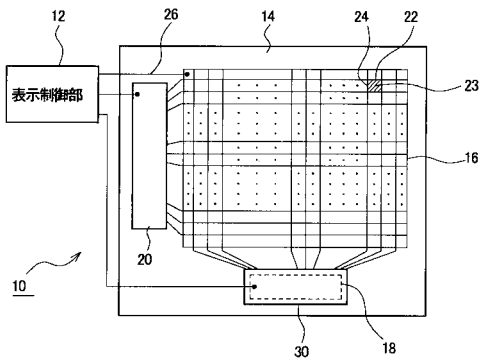
【符号の説明】

【 0 0 7 3 】

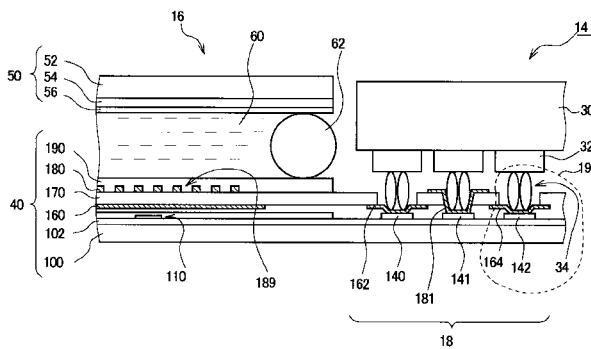
10 液晶表示装置、12 表示制御部、14 表示パネル、16 表示部、18 接続端子部、19 端子部、20 垂直ドライバ回路、22 ゲートライン、23 画素、24 データライン、26 コモンライン、30 水平ドライバ L S I、32 端子、34 A C F、40 下側の透明パネル基板、50 上側の透明パネル基板、52 上ガラス基板、54 カラーフィルタ、56, 190 配向膜、60 液晶、61 液晶分子、62 シール部材、100 下ガラス基板、102 パツファ層、110 T F T 形成層、112 半導体層、114 ゲート絶縁膜層、126, 127 下部接続配線、128 層間絶縁層、129, 153, 171 コンタクトホール、130 ソース端子、134 コモン端子、136, 137 上部接続配線、140, 141, 142 接続配線、150 保護膜層、152 平坦化膜、160 画素電極層、162, 164 第 1 導電体層、170 中間絶縁層、180 共通電極層、182, 181 第 2 導電体層、189 スリット、198 電界。

10

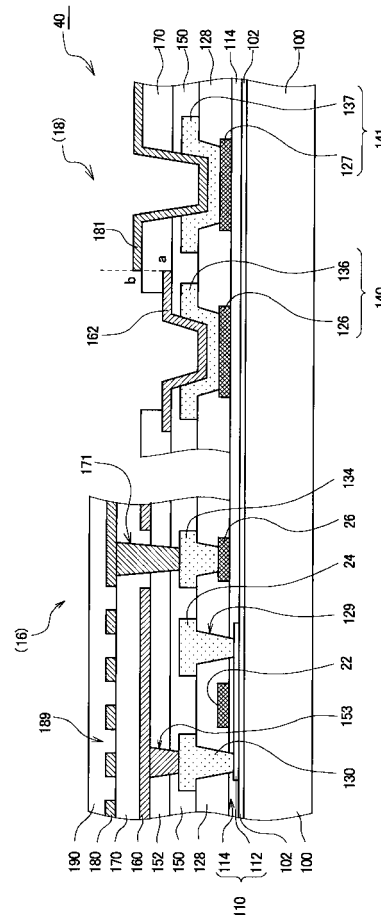
【 図 1 】



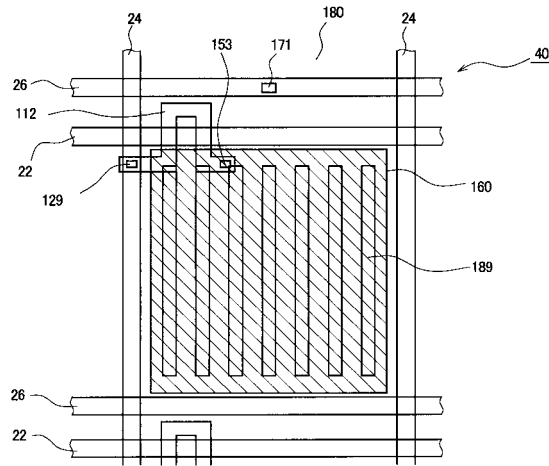
【 図 2 】



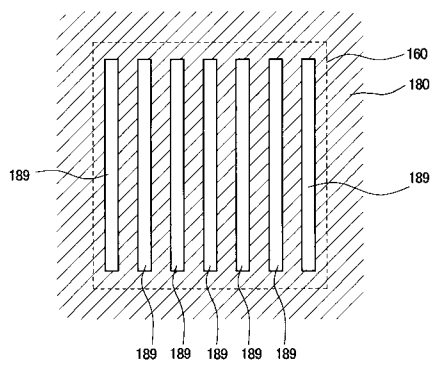
【 図 3 】



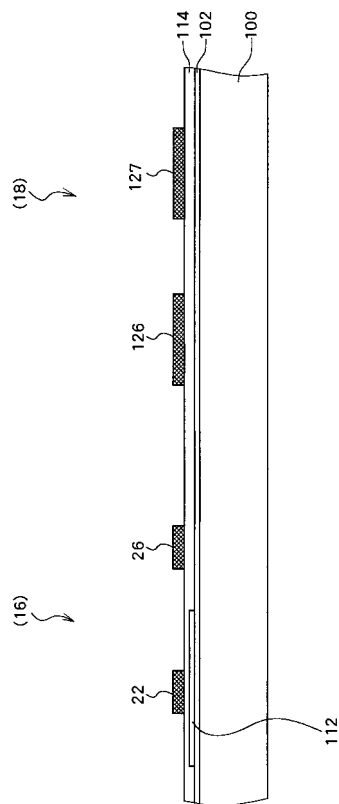
【図 4】



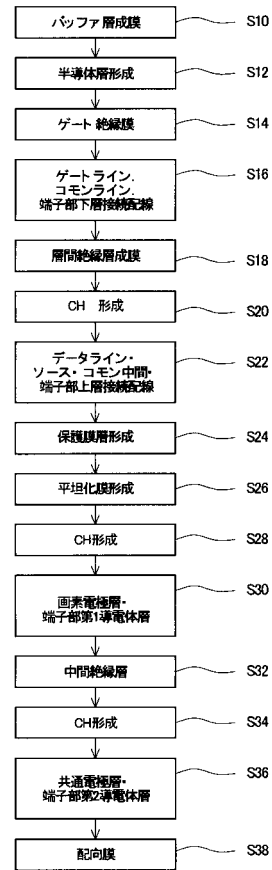
【図 5】



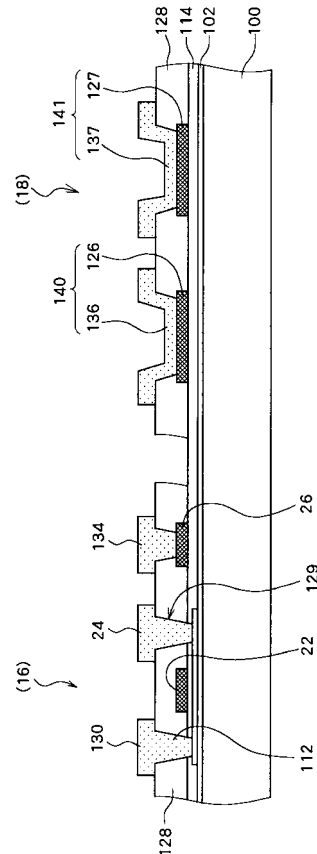
【図 7】



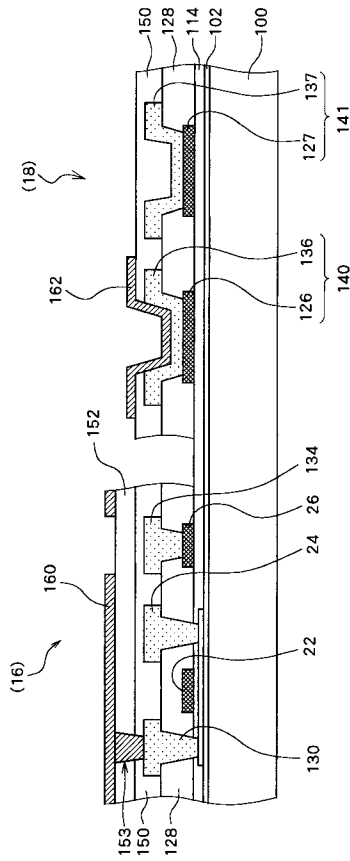
【図 6】



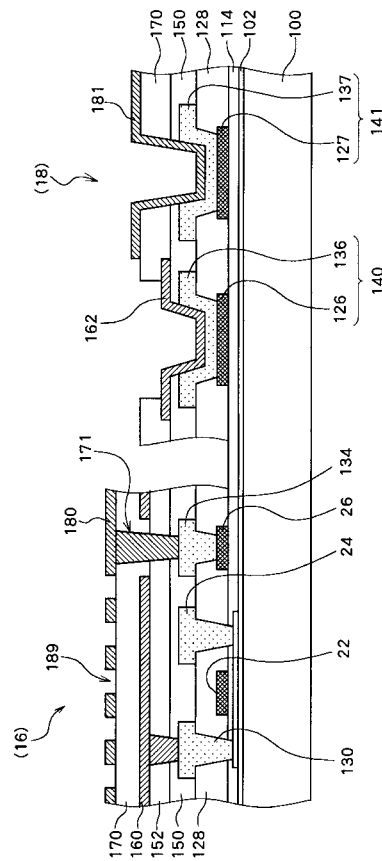
【図 8】



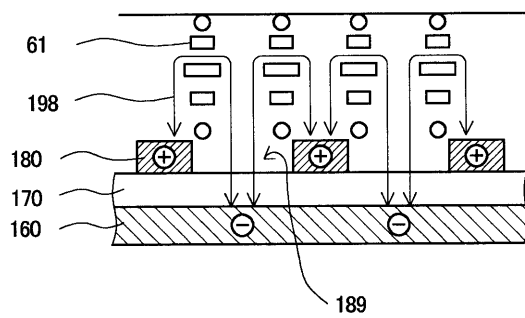
【 図 9 】



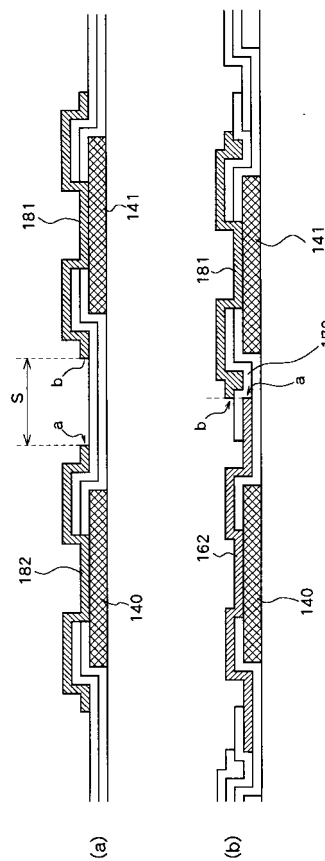
【 図 1 0 】



【 図 1 1 】



【 図 1 2 】



フロントページの続き

(72)発明者 今尾 和博

東京都港区浜松町二丁目4番1号 三洋エプソンイメージングデバイス株式会社内

(72)発明者 瀬川 泰生

東京都港区浜松町二丁目4番1号 三洋エプソンイメージングデバイス株式会社内

(72)発明者 青田 雅明

東京都港区浜松町二丁目4番1号 三洋エプソンイメージングデバイス株式会社内

Fターム(参考) 2H092 GA14 GA29 GA32 GA34 GA40 GA50 GA60 JA26 JA46 JB13

JB22 JB31 JB56 JB57 MA05 NA01 NA25 PA02

专利名称(译)	液晶显示装置和液晶显示装置的制造方法		
公开(公告)号	JP2007248903A	公开(公告)日	2007-09-27
申请号	JP2006073305	申请日	2006-03-16
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	松田洋史 小田信彦 今尾和博 瀬川泰生 青田雅明		
发明人	松田 洋史 小田 信彦 今尾 和博 瀬川 泰生 青田 雅明		
IPC分类号	G02F1/1343 G02F1/1345		
FI分类号	G02F1/1343 G02F1/1345		
F-TERM分类号	2H092/GA14 2H092/GA29 2H092/GA32 2H092/GA34 2H092/GA40 2H092/GA50 2H092/GA60 2H092/JA26 2H092/JA46 2H092/JB13 2H092/JB22 2H092/JB31 2H092/JB56 2H092/JB57 2H092/MA05 2H092/NA01 2H092/NA25 2H092/PA02		
代理人(译)	吉田健治 石田 纯		
外部链接	Espacenet		

摘要(译)

要解决的问题：为了能够提高由横向电场法驱动的液晶显示装置中的COG技术的密度，并通过COG技术安装其他电子元件。液晶显示装置的显示面板包括显示部分和连接水平驱动器LSI的连接端子部分。在显示部分16下侧的透明面板基板40中，在下玻璃基板100上形成缓冲层102，TFT形成层110，像素电极层160，中间绝缘层170，具有狭缝189的公共电极层180等。他们依次层叠。在连接端子部分18中，布置连接配线140,141,142，并且在其上设置中间导体层。形成中间导体层，使得在与像素电极层160和第二导体层181相同的工艺中形成的第一导体层162和164形成在与公共电极层180相同的工艺中。如图1所示。The

