

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-199723**(P2007-199723A)**

(43) 公開日 平成19年8月9日(2007.8.9)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 624A	5C080
	G09G 3/20 623D	
	G09G 3/20 622D	
審査請求 未請求 請求項の数 33 O L (全 28 頁) 最終頁に続く		

(21) 出願番号 特願2007-16238 (P2007-16238)
 (22) 出願日 平成19年1月26日 (2007.1.26)
 (31) 優先権主張番号 10-2006-0008148
 (32) 優先日 平成18年1月26日 (2006.1.26)
 (33) 優先権主張国 韓国 (KR)

(71) 出願人 390019839
 三星電子株式会社
 Samsung Electronics
 Co., Ltd.
 大韓民国京畿道水原市八達区梅灘洞416
 番地
 (74) 代理人 110000051
 特許業務法人共生国際特許事務所
 (72) 発明者 全 珍
 大韓民国 京畿道 水原市 長安区 泉川
 洞 三星レミアンアパート 107棟 2
 04号
 Fターム(参考) 2H093 NA16 NA43 NC03 NC10 NC12
 NC34 NC35 NC36 ND39 NE01
 NH12 NH18
 最終頁に続く

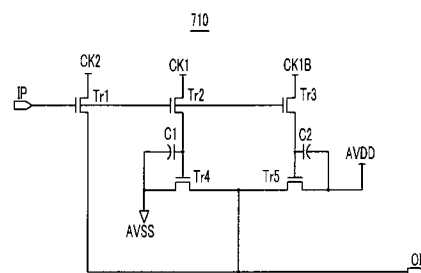
(54) 【発明の名称】 表示装置

(57) 【要約】

【課題】消費電力を減少させることのできる表示装置を提供する。

【解決手段】ゲート線、データ線、維持信号を伝達する維持電極線、スイッチング素子、スイッチング素子共通電圧間に接続する液晶キャパシタ、スイッチング素子維持電極線間に接続するストレージキャパシタとを含む行列状の画素、ゲート信号に基づき維持信号を生成する信号生成回路を有し、維持信号は、液晶キャパシタ及びストレージキャパシタにデータ電圧充電終了直後に電圧レベルが変化し、信号生成回路は、第1制御信号が印加され、ゲート線に印加される($k+1$)番目(k は自然数)ゲート信号により動作状態が変化し、第1又は第2電圧レベルを有する維持信号を k 番目維持電極線に印加する維持信号印加部、第2及び第3制御信号が印加され、($k+1$)番目ゲート信号により動作状態が変化する制御部、制御部動作により維持信号印加部出力の維持信号を所定時間維持する信号維持部を含む。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

ゲート信号を伝達する複数のゲート線と、
データ電圧を伝達する複数のデータ線と、
維持信号を伝達する複数の維持電極線と、
前記ゲート線及び前記データ線に接続されるスイッチング素子と、該スイッチング素子と共通電圧との間に接続される液晶キャパシタと、前記スイッチング素子と前記維持電極線との間に接続されるストレージキャパシタとを各々含み、行列状に配列される複数の画素と、

前記ゲート信号に基づいて前記維持信号を生成する複数の信号生成回路とを有し、 10

前記各画素に印加される維持信号は、前記液晶キャパシタ及び前記ストレージキャパシタにデータ電圧の充電が終了した直後に電圧レベルが変化し、

前記各信号生成回路は、第 1 制御信号が印加され、($k + 1$) 番目 (k は自然数) ゲート線に印加される ($k + 1$) 番目ゲート信号によって動作状態が変化して、第 1 電圧レベルまたは第 2 電圧レベルを有する維持信号を k 番目維持電極線に印加する維持信号印加部と、

第 2 及び第 3 制御信号が印加され、前記 ($k + 1$) 番目ゲート信号によって動作状態が変化する制御部と、

前記制御部の動作によって前記維持信号印加部から出力される前記維持信号を所定時間維持する信号維持部とを含むことを特徴とする表示装置。 20

【請求項 2】

隣接した前記維持電極線に印加される維持信号の電圧レベルは、互いに異なることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

同一の前記維持電極線に印加される維持信号の電圧レベルは、フレームごとに反転することを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記共通電圧は、一定の値を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

前記第 1 制御信号は、前記第 3 制御信号と同一の位相を有することを特徴とする請求項 1 に記載の表示装置。 30

【請求項 6】

前記 2 制御信号は、前記第 3 制御信号と反対の位相を有することを特徴とする請求項 5 に記載の表示装置。

【請求項 7】

前記第 1 乃至第 3 制御信号は、同一の周期を有することを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記第 1 乃至第 3 制御信号の周期は 1 H (1 水平周期) であることを特徴とする請求項 7 に記載の表示装置。 40

【請求項 9】

前記第 1 乃至第 3 制御信号のデューティ比は同一であることを特徴とする請求項 7 に記載の表示装置。

【請求項 10】

前記第 1 乃至第 3 制御信号のデューティ比は 50 % であることを特徴とする請求項 9 に記載の表示装置。

【請求項 11】

前記複数の信号生成回路のうちの一つにゲート信号を伝達する付加ゲート線をさらに含むことを特徴とする請求項 1 に記載の表示装置。

【請求項 12】

前記付加ゲート線は、最後の信号生成回路に接続されることを特徴とする請求項 1 1 に記載の表示装置。

【請求項 1 3】

前記ゲート信号はゲートオン電圧とゲートオフ電圧とを備え、隣接した二つのゲート信号のゲートオン電圧は、所定期間重畳することを特徴とする請求項 1 に記載の表示装置。

【請求項 1 4】

隣接した二つのゲート信号のゲートオン電圧は、1 H の間に重畳することを特徴とする請求項 1 3 に記載の表示装置。

【請求項 1 5】

前記維持信号印加部は、(k + 1) 番目ゲート線に印加される (k + 1) 番目ゲート信号に制御端子が接続され、前記第 1 制御信号に入力端子が接続され、前記 k 番目維持電極線に出力端子が接続される第 1 トランジスタを含むことを特徴とする請求項 1 に記載の表示装置。 10

【請求項 1 6】

前記制御部は、前記 (k + 1) 番目ゲート信号に制御端子が接続され、前記第 2 制御信号に入力端子が接続される第 2 トランジスタと、

前記 (k + 1) 番目ゲート信号に制御端子が接続され、前記第 3 制御信号に入力端子が接続される第 3 トランジスタとを含むことを特徴とする請求項 1 5 に記載の表示装置。

【請求項 1 7】

前記電圧維持部は、前記第 3 トランジスタの出力端子に制御端子が接続され、第 1 駆動電圧に入力端子が接続され、前記 k 番目維持電極線に出力端子が接続される第 4 トランジスタと、 20

前記第 2 トランジスタの出力端子に制御端子が接続され、前記 k 番目維持電極線に入力端子が接続され、第 2 駆動電圧に出力端子が接続される第 5 トランジスタと、

前記第 4 トランジスタの入力端子と制御端子との間に接続される第 1 キャパシタと、

前記第 5 トランジスタの制御端子と出力端子との間に接続される第 2 キャパシタとを含むことを特徴とする請求項 1 6 に記載の表示装置。

【請求項 1 8】

ゲート信号を伝達する複数のゲート線と、

データ電圧を伝達する複数のデータ線と、 30

維持信号を伝達する複数の維持電極線と、

前記ゲート線及び前記データ線に接続されるスイッチング素子と、該スイッチング素子と共通電圧との間に接続される液晶キャパシタと、前記スイッチング素子と前記維持電極線との間に接続されるストレージキャパシタとを各々含み、行列状に配列される複数の画素と、

前記維持信号を生成する複数の信号生成回路とを有し、

前記各画素に印加される維持信号は、前記液晶キャパシタ及び前記ストレージキャパシタにデータ電圧の充電が終了した直後に電圧レベルが変化し、

k 番目 (k は自然数) 維持電極線に接続された信号生成回路は、第 1 制御信号が印加され、k 番目ゲート線に印加される k 番目ゲート信号によって動作状態が変化して、前記 k 番目ゲート信号にゲートオン電圧が印加される間に第 1 電圧レベルまたは第 2 電圧レベルの維持信号を前記 k 番目維持電極線に印加する第 1 維持信号印加部と、 40

前記第 1 制御信号が印加され、(k + 1) 番目ゲート線に印加される (k + 1) 番目ゲート信号によって動作状態が変化して、前記第 2 電圧レベル又は前記第 1 電圧レベルの維持信号を前記 k 番目維持電極線に印加する第 2 維持信号印加部と、

第 2 及び第 3 制御信号が印加され、前記 (k + 1) 番目ゲート信号によって動作状態が変化する制御部と、

前記制御部の動作によって前記第 1 又は第 2 維持信号印加部から出力される前記維持信号を所定時間維持する電圧維持部とを含むことを特徴とする表示装置。

【請求項 1 9】

隣接した前記維持電極線に印加される維持信号の電圧レベルは、互いに異なることを特徴する請求項 18 に記載の表示装置。

【請求項 20】

同一の前記維持電極線に印加される維持信号の電圧レベルは、フレームごとに反転することを特徴とする請求項 18 に記載の表示装置。

【請求項 21】

前記共通電圧は、一定の値を有することを特徴とする請求項 18 に記載の表示装置。

【請求項 22】

前記第 1 制御信号は、前記第 3 制御信号と同一の位相を有することを特徴とする請求項 18 に記載の表示装置。

10

【請求項 23】

前記 2 制御信号は、前記第 3 制御信号と反対の位相を有することを特徴とする請求項 22 に記載の表示装置。

【請求項 24】

前記第 1 乃至第 3 制御信号は、同一の周期を有することを特徴とする請求項 23 に記載の表示装置。

【請求項 25】

前記第 1 乃至第 3 制御信号の周期は 1 H (1 水平周期) であることを特徴とする請求項 24 に記載の表示装置。

【請求項 26】

20

前記第 1 乃至第 3 制御信号のデューティ比は同一であることを特徴とする請求項 24 に記載の表示装置。

【請求項 27】

前記第 1 乃至第 3 制御信号のデューティ比は 50 % であることを特徴とする請求項 26 に記載の表示装置。

【請求項 28】

前記複数の信号生成回路のうちの一つにゲート信号を伝達する付加ゲート線をさらに含むことを特徴とする請求項 18 に記載の表示装置。

【請求項 29】

前記付加ゲート線は、最後の信号生成回路に接続されることを特徴とする請求項 28 に記載の表示装置。

30

【請求項 30】

前記第 2 維持信号印加部は、($k + 1$) 番目ゲート線に印加される ($k + 1$) 番目ゲート信号に制御端子が接続され、前記第 1 制御信号に入力端子が接続され、前記 k 番目維持電極線に出力端子が接続される第 1 トランジスタを含むことを特徴とする請求項 18 に記載の表示装置。

【請求項 31】

前記制御部は、前記 ($k + 1$) 番目ゲート信号に制御端子が接続され、前記第 2 制御信号に入力端子が接続される第 2 トランジスタと、

前記 ($k + 1$) 番目ゲート信号に制御端子が接続され、前記第 3 制御信号に入力端子が接続される第 3 トランジスタとを含むことを特徴とする請求項 30 に記載の表示装置。

40

【請求項 32】

前記電圧維持部は、前記第 3 トランジスタの出力端子に制御端子が接続され、第 1 駆動電圧に入力端子が接続され、前記 k 番目維持電極線に出力端子が接続される第 4 トランジスタと、

前記第 2 トランジスタの出力端子に制御端子が接続され、前記 k 番目維持電極線に出力端子が接続され、第 2 駆動電圧に出力端子が接続される第 5 トランジスタと、

前記第 4 トランジスタの入力端子と制御端子との間に接続される第 1 キャパシタと、

前記第 5 トランジスタの制御端子と出力端子との間に接続される第 2 キャパシタとを含むことを特徴とする請求項 31 に記載の表示装置。

50

【請求項 33】

前記第 1 維持電圧印加部は、前記第 1 制御信号に入力端子が接続され、k 番目ゲート信号に制御端子が接続され、前記 k 番目維持電極線に出力端子が接続される第 6 トランジスタを含むことを特徴とする請求項 32 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に関し、特に、表示装置の消費電力を減少させることのできる表示装置に関する。

【背景技術】

【0002】

一般的な液晶表示装置 (liquid crystal display、LCD) は、画素電極及び共通電極が具備された二つの表示板と、その間に入っている誘電率異方性 (dielectric anisotropy) を有する液晶層とを有する。画素電極は、行列状に配列されており、薄膜トランジスタ (TFT) などスイッチング素子に接続されて一つの行ずつ順次にデータ電圧の印加を受ける。共通電極は、表示板の全面にわたって形成されており、共通電圧の印加を受ける。画素電極と共通電極及びその間の液晶層は、回路的に見れば液晶キャパシタをなし、液晶キャパシタはこれに接続されたスイッチング素子と共に画素を構成する基本単位となる。

【0003】

このような液晶表示装置においては、二つの電極に電圧を印加して液晶層に電界を生成し、この電界の強さを調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。この時、液晶層に一方向の電界が長期印加されることによって発生する劣化現象を防止するために、フレーム毎に、行毎に、または画素毎に共通電圧に対するデータ電圧の極性を反転させる。

【0004】

しかし、液晶分子の応答速度が遅いため、液晶キャパシタに充電される電圧 (以下、“画素電圧” という) が目標電圧、つまり、所望の輝度を得ることができる電圧まで到達するには所定の時間がかかり、この時間は液晶キャパシタに以前に充電されていた電圧との差によって変わる。したがって、例えば、目標電圧と以前電圧との差が大きい場合、最初から目標電圧だけを印加すれば、スイッチング素子が導通している時間の間に目標電圧に到達できないことがある。

【0005】

そのため、これを補償するための DCC (Dynamic Capacitance Compensation) 方式が提案された。つまり、DCC 方式は、液晶キャパシタ両端にかかった電圧が大きいほど充電速度が速くなるという点を利用したものであって、該当画素に印加するデータ電圧 (実際には、データ電圧と共通電圧との差であるが、便宜上、共通電圧を 0 と仮定する) を目標電圧より高くすることで、画素電圧が目標電圧まで到達することにかかる時間を短縮する。

【0006】

しかし、このような DCC 方式を実施する場合、フレームメモリ (frame memory) と DCC 演算のための駆動回路などが必要であるため、回路設計の難しさと製造費用が増加する。

また、液晶表示装置のうち、携帯電話などに使用される中小型表示装置の場合、消費電力などを節約するために、行毎に共通電圧に対するデータ電圧の極性を反転させる行反転 (row inversion) を実施しているが、中小型表示装置においても解像度が次第に増加して消費電力が問題となる。特に、DCC 演算を実施する場合、追加された演算や回路などのための電力消費はさらに大きくなるという問題があった。

【0007】

10

20

30

40

50

さらに、行反転の場合、画素毎に共通電圧に対するデータ電圧の極性を反転させる点反転 (dot inversion) の場合より、画像表示のためのデータ電圧の範囲が小さい。したがって、VA (Vertical Alignment) モード液晶表示装置などのように、液晶駆動のためのしきい電圧 (threshold voltage) が高い場合、実際の画像表示のための階調を表現することに利用されるデータ電圧の範囲がしきい電圧ほど小さくなり、これによって輝度表示に難しさが発生するという問題があった。

【発明の開示】

【発明が解決しようとする課題】

【0008】

10

そこで、本発明は上記従来表示装置における問題点に鑑みてなされたものであって、本発明の目的は、表示装置の消費電力を減少させることのできる表示装置を提供することにある。

【0009】

また、本発明の他の目的は、表示装置の液晶の応答速度を向上させることのできる表示装置を提供することにある。さらに、本発明の他の技術的課題は、表示装置の消費電力の増加を招くことなく、画質を向上させることのできる表示装置を提供することにある。

【課題を解決するための手段】

【0010】

20

上記目的を達成するためになされた本発明による表示装置は、ゲート信号を伝達する複数のゲート線と、データ電圧を伝達する複数のデータ線と、維持信号を伝達する複数の維持電極線と、前記ゲート線及び前記データ線に接続されるスイッチング素子と、該スイッチング素子と共通電圧との間に接続され画素電極と共通電極及びその間に介在する液晶層で構成される液晶キャパシタと、前記スイッチング素子と前記維持電極線との間に接続され画素電極と維持電極線及びその間に介在する絶縁体で構成されるストレージキャパシタとを各々含み、行列状に配列される複数の画素と、前記ゲート信号に基づいて前記維持信号を生成する複数の信号生成回路とを有し、前記各画素に印加される維持信号は、前記液晶キャパシタ及び前記ストレージキャパシタにデータ電圧の充電が終了した直後に電圧レベルが変化し、前記各信号生成回路は、第1制御信号が印加され、 $(k+1)$ 番目 (k は自然数)ゲート線に印加される $(k+1)$ 番目ゲート信号によって動作状態が変化して、第1電圧レベルまたは第2電圧レベルを有する維持信号を k 番目維持電極線に印加する維持信号印加部と、第2及び第3制御信号が印加され、前記 $(k+1)$ 番目ゲート信号によって動作状態が変化する制御部と、前記制御部の動作によって前記維持信号印加部から出力される前記維持信号を所定時間維持する信号維持部とを含む。

30

【0011】

隣接した前記維持電極線に印加される維持信号の電圧レベルは、互いに異なることが好ましい。

同一の前記維持電極線に印加される維持信号の電圧レベルは、フレームごとに反転することが好ましい。

40

前記共通電圧は一定の値を有することが好ましい。

前記第1制御信号は、前記第3制御信号と同一の位相を有することが好ましい。

前記第2制御信号は、前記第3制御信号と反対の位相を有することが好ましい。

前記第1乃至第3制御信号は、同一の周期を有することが好ましい。

前記第1乃至第3制御信号の周期は1H (1水平周期) であることが好ましい。

前記第1乃至第3制御信号のデューティ比は同一であることが好ましい。

前記第1乃至第3制御信号のデューティ比は50%であることが好ましい。

前記複数の信号生成回路のうちの一つにゲート信号を伝達する付加ゲート線をさらに含むことが好ましい。

前記付加ゲート線は、最後の信号生成回路に接続されることが好ましい。

前記ゲート信号はゲートオン電圧とゲートオフ電圧を備え、隣接した二つのゲート信号

50

のゲートオン電圧は所定期間の間に重畳することが好ましい。

隣接した二つのゲート信号のゲートオン電圧は、1 Hの間に重畳することが好ましい。

前記維持電圧印加部は、(k + 1) 番目ゲート線に印加される(k + 1) 番目ゲート信号に制御端子が接続され、前記第1制御信号に入力端子が接続され、前記k番目維持電極線に出力端子が接続される第1トランジスタを含むことが好ましい。

前記制御部は、前記(k + 1) 番目ゲート信号に制御端子が接続され、前記第2制御信号に入力端子が接続される第2トランジスタと、前記(k + 1) 番目ゲート信号に制御端子が接続され、前記第3制御信号に入力端子が接続される第3トランジスタとを含むことが好ましい。

前記電圧維持部は、前記第3トランジスタの出力端子に制御端子が接続され、第1駆動電圧に出力端子が接続され、前記k番目維持電極線に出力端子が接続される第4トランジスタと、前記第2トランジスタの出力端子に制御端子が接続され、前記k番目維持電極線に出力端子が接続され、第2駆動電圧に出力端子が接続される第5トランジスタと、前記第4トランジスタの入力端子と制御端子との間に接続される第1キャパシタと、前記第5トランジスタの制御端子と出力端子との間に接続される第2キャパシタとを含むことが好ましい。

【0012】

また、上記目的を達成するためになされた本発明による表示装置は、ゲート信号を伝達する複数のゲート線と、データ電圧を伝達する複数のデータ線と、維持信号を伝達する複数の維持電極線と、前記ゲート線及び前記データ線に接続されるスイッチング素子と、該スイッチング素子と共通電圧との間に接続される液晶キャパシタと、前記スイッチング素子と前記維持電極線との間に接続されるストレージキャパシタとを各々含み、行列状に配列される複数の画素と、前記維持信号を生成する複数の信号生成回路とを有し、前記各画素に印加される維持信号は、前記液晶キャパシタ及び前記ストレージキャパシタにデータ電圧の充電が終了した直後に電圧レベルが変化し、k番目(kは自然数)維持電極線に接続された信号生成回路は、第1制御信号が印加され、k番目ゲート線に印加されるk番目ゲート信号によって動作状態が変化して、前記k番目ゲート信号にゲートオン電圧が印加される間に第1電圧レベルまたは第2電圧レベルの維持信号を前記k番目維持電極線に印加する第1維持信号印加部と、前記第1制御信号が印加され、(k + 1) 番目ゲート線に印加される(k + 1) 番目ゲート信号によって動作状態が変化して、前記第2電圧レベル又は前記第1電圧レベルの維持信号を前記k番目維持電極線に印加する第2維持信号印加部と、第2及び第3制御信号が印加され、前記(k + 1) 番目ゲート信号によって動作状態が変化する制御部と、前記制御部の動作によって前記第1又は第2維持信号印加部から出力される前記維持信号を所定時間維持する電圧維持部とを含むことを特徴とする。

【0013】

隣接した前記維持電極線に印加される維持信号の電圧レベルは、互いに異なることが好ましい。

同一の前記維持電極線に印加される維持信号の電圧レベルは、フレームごとに反転することが好ましい。

前記共通電圧は、一定の値を有することが好ましい。

前記第1制御信号は、前記第3制御信号と同一の位相を有することが好ましい。

前記第2制御信号は、前記第3制御信号と反対の位相を有することが好ましい。

前記第1乃至第3制御信号は、同一の周期を有することが好ましい。

前記第1乃至第3制御信号の周期は1 H(1水平周期)であることが好ましい。

前記第1乃至第3制御信号のデューティ比は同一であることが好ましい。

前記第1乃至第3制御信号のデューティ比は50%であることが好ましい。

前記複数の信号生成回路のうちの一つにゲート信号を伝達する付加ゲート線をさらに含むことが好ましい。

前記付加ゲート線は、最後の信号生成回路に接続されることが好ましい。

前記第2維持信号印加部は、(k + 1) 番目ゲート線に印加される(k + 1) 番目ゲ

10

20

30

40

50

ト信号に制御端子が接続され、前記第1制御信号に入力端子が接続され、前記k番目維持電極線に出力端子が接続される第1トランジスタを含むことが好ましい。

前記制御部は、前記(k+1)番目ゲート信号に制御端子が接続され、前記第2制御信号に入力端子が接続される第2トランジスタと、前記(k+1)番目ゲート信号に制御端子が接続され、前記第3制御信号に入力端子が接続される第3トランジスタとを含むことが好ましい。

前記電圧維持部は、前記第3トランジスタの出力端子に制御端子が接続され、第1駆動電圧に出力端子が接続され、前記k番目維持電極線に出力端子が接続される第4トランジスタと、前記第2トランジスタの出力端子に制御端子が接続され、前記k番目維持電極線に出力端子が接続され、第2駆動電圧に出力端子が接続される第5トランジスタと、前記第4トランジスタの入力端子と制御端子との間に接続される第1キャパシタと、前記第5トランジスタの制御端子と出力端子との間に接続される第2キャパシタとを含むことが好ましい。

前記第1維持電圧印加部は、前記第1制御信号に出力端子が接続され、k番目ゲート信号に制御端子が接続され、前記k番目維持電極線に出力端子が接続される第6トランジスタを含むことが好ましい。

【発明の効果】

【0014】

本発明に係る表示装置によれば、共通電圧を所定電圧に固定させた後、所定の周期でレベルが変化する維持電圧を維持電極線に印加する。この時、隣接した維持電極線に印加される維持電圧を互いに異なるように印加する。これによって、画素電極電圧の範囲が増加して画素電圧の範囲も広がるので、階調を表現するための電圧の範囲が広くなり、これによって画質が向上するという効果がある。

【0015】

同一の範囲のデータ電圧が印加される場合、一定の電圧の維持電圧が印加される時より広い範囲の画素電圧が生成されるので、消費電力が減少し、これに加えて共通電圧が一定の値に固定されるので、消費電力はさらに減少するという効果がある。

また、液晶の充電動作が完了する前の画素電極電圧の範囲が、液晶の充電動作が完了した後の画素電極電圧の範囲より広いので、目標電圧より高いかまたは低い電圧が液晶駆動の初期に印加されることによって、液晶の応答速度が向上するという効果がある。

【発明を実施するための最良の形態】

【0016】

次に、本発明に係る表示装置を実施するための最良の形態の具体例を図面を参照しながら説明する。

【0017】

図面において、いろいろな層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似の部分については同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“すぐ上”にある場合だけでなく、その中間に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上”にあるとする時には、中間に他の部分がないことを意味する。

【0018】

以下、本発明の表示装置の一実施形態である液晶表示装置について、図面を参照して詳細に説明する。

まず、図1及び図2を参照して、本発明の一実施形態による液晶表示装置について詳細に説明する。図1は本発明の一実施形態による液晶表示装置のブロック図であり、図2は本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【0019】

図1を参照すれば、本発明の一実施形態による液晶表示装置は、液晶表示板組立体(liquid crystal panel assembly)300、ゲート駆動部(gate driver)400、データ駆動部(data driver)500、デ

10

20

30

40

50

ータ駆動部 500 に接続された階調電圧生成部 (gray voltage generator) 800、維持信号生成部 (storage signal generator) 700、及び信号制御部 (signal controller) 600 を含む。
 液晶表示板組立体 300 は、等価回路から見れば、複数の信号線 ($G_1 \sim G_{2n}$ 、 G_d 、 $D_1 \sim D_m$ 、 $S_1 \sim S_{2n}$) と、複数の画素 PX とを含む。反面、図 2 に示す構造から見れば、液晶表示板組立体 300 は、互いに対向する下部及び上部表示板 100、200 と、その間に入っている液晶層 3 とを含む。

【0020】

信号線 ($G_1 \sim G_{2n}$ 、 G_d 、 $D_1 \sim D_m$ 、 $S_1 \sim S_{2n}$) は、複数のゲート線 $G_1 \sim G_{2n}$ 、 G_d 、複数のデータ線 $D_1 \sim D_m$ 、及び複数の維持電極線 $S_1 \sim S_{2n}$ を含む。ゲート線 $G_1 \sim G_{2n}$ 、 G_d はゲート信号 (“走査信号”とも言う) を伝達し、一般ゲート線 $G_1 \sim G_{2n}$ と付加ゲート線 G_d とを含む。維持電極線 $S_1 \sim S_{2n}$ は、一般ゲート線 $G_1 \sim G_{2n}$ と交互に配置されており、維持信号 (storage signal) を伝達する。データ線 $D_1 \sim D_m$ はデータ電圧を伝達する。

ゲート線 $G_1 \sim G_{2n}$ 、 G_d と維持電極線 $S_1 \sim S_{2n}$ は、ほぼ行方向にのびて互いに平行であり、データ線 $D_1 \sim D_m$ は、ほぼ列方向にのびて互いにほとんど平行である。

【0021】

図 1 に示すように、画素 PX は、一般ゲート線 $G_1 \sim G_{2n}$ 、データ線 $D_1 \sim D_m$ 、及び維持電極線 $S_1 \sim S_{2n}$ と接続されており、行列状に配列されている。各画素 PX 、例えば、 i 番目 ($i = 1, 2, \dots, 2n$) 行、 j 番目 ($j = 1, 2, \dots, m$) 列の画素 PX は、図 2 に示すように、 i 番目一般ゲート線 G_i と j 番目データ線 D_j に接続されたスイッチング素子 Q 、スイッチング素子 Q に接続された液晶キャパシタ (liquid crystal capacitor) C_{lc} 、及びスイッチング素子 Q と i 番目の維持電極線 S_i に接続されたストレージキャパシタ (storage capacitor) C_{st} を含む。

【0022】

スイッチング素子 Q は、下部表示板 100 に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子は一般ゲート線 G_i と接続されており、入力端子はデータ線 D_j と接続されており、出力端子は液晶キャパシタ C_{lc} 及びストレージキャパシタ C_{st} と接続されている。

【0023】

液晶キャパシタ C_{lc} は、下部表示板 100 の画素電極 191 と上部表示板 200 の共通電極 270 とを二つの端子とし、二つの電極 (191、270) の間の液晶層 3 は誘電体として機能する。画素電極 191 はスイッチング素子 Q と接続され、共通電極 270 は上部表示板 200 の全面に形成されており、共通電圧 V_{com} の印加を受ける。共通電圧は一定の大きさを有する直流 (DC) 電圧である。図 2 とは異なって、共通電極 270 が下部表示板 100 に備えられる場合もあり、この場合には二つの電極 (191、270) のうちの少なくとも一つが線状または棒状に作られることができる。

液晶キャパシタ C_{lc} の補助的な役割を果たすストレージキャパシタ C_{st} は、画素電極 191 と維持電極線 S_i とが絶縁体を介在して重畳してなる。

【0024】

一方、色表示を実現するためには、各画素 PX が基本色 (primary color) のうちの一つを固有に表示したり (空間分割)、各画素 PX が時間によって交互に基本色を表示するように (時間分割) して、これら基本色の空間的、時間的合計によって所望の色相が認識されるようにする。基本色の例としては、赤色、緑色、青色など三原色がある。図 2 は空間分割の一例として、各画素 PX が画素電極 191 に対応する上部表示板 200 の領域に基本色のうちの一つを示すカラーフィルタ 230 を備えることを示している。図 2 とは異なって、カラーフィルタ 230 は下部表示板 100 の画素電極 191 上のまたは下に備えることもできる。液晶表示板組立体 300 には、少なくとも一つの偏光子 (図示せず) が備えられている。

10

20

30

40

50

【0025】

再び図1を参照すれば、階調電圧生成部800は、画素PXの透過率と関する全体階調電圧または限定された数の階調電圧（以下、“基準階調電圧”と言う）を生成する。（基準）階調電圧は、共通電圧Vcomに対して正の値を有するものと、負の値を有するものを含むことができる。

ゲート駆動部400は、液晶表示板組立体300の両側面、例えば、左側端と右側端に配置されている第1及び第2ゲート駆動回路400a、400bを含む。

【0026】

第1ゲート駆動回路400aは、奇数番目の一般ゲート線 G_1 、 G_3 、...、 G_{2n-1} 及び付加ゲート線 G_d と一端で接続され、第2ゲート駆動回路400bは、偶数番目の一般ゲート線 G_2 、 G_4 、...、 G_{2n} と一端で接続される。しかし、これに限定されるわけではなく、反対に、奇数番目のゲート線 G_1 、 G_3 、...、 G_{2n-1} 及び付加ゲート線 G_d が第2ゲート駆動回路400bに接続され、偶数番目のゲート線 G_2 、 G_4 、...、 G_{2n} は第1ゲート駆動回路400aに接続されることができる。

第1及び第2ゲート駆動回路400a、400bは、ゲートオン電圧Vonとゲートオフ電圧Voffとの組み合わせからなるゲート信号を、接続されたゲート線 $G_1 \sim G_{2n}$ 、 G_d に印加する。

【0027】

ゲート駆動部400は、信号線 $G_1 \sim G_{2n}$ 、 G_d 、 $D_1 \sim D_m$ 、 $S_1 \sim S_{2n}$ 及び薄膜トランジスタスイッチング素子Qなどと共に液晶表示板組立体300に集積される。しかし、ゲート駆動部400は、少なくとも一つの集積回路チップの形態で液晶表示板組立体300上に直接装着したり、可撓性印刷回路フィルム（flexible printed circuit film）（図示せず）上に装着されてTCP（tape carrier package）の形態で液晶表示板組立体300に付着させたり、別途の印刷回路基板（printed circuit board）（図示せず）上に装着することもできる。

【0028】

維持信号生成部700は、液晶表示板組立体300の両側面、例えば、第1及び第2ゲート駆動回路400a、400bと各々隣接するように配置される第1及び第2維持信号生成回路700a、700bを備える。

第1維持信号生成回路700aは奇数番目の維持電極線 S_1 、 S_3 、...、 S_{2n-1} 及び偶数番目の一般ゲート線 G_2 、 G_4 、...、 G_{2n} に接続されており、奇数番目の維持電極線 S_1 、 S_3 、...、 S_{2n-1} に高レベル電圧と低レベル電圧からなる維持信号を印加する。

【0029】

第2維持電極線駆動部700bは、偶数番目の維持電極線 S_2 、 S_4 、...、 S_{2n} 及び第1一般ゲート線 G_1 を除いた奇数番目の一般ゲート線 G_3 、 G_5 、...、 G_{2n-1} と付加ゲート線 G_d に接続されており、偶数番目の維持電極線 S_2 、 S_4 、...、 S_{2n} に維持信号を印加する。

これとは異なって、維持信号生成部700は、ゲート駆動部400に接続された別途の付加ゲート線 G_d を通じて必要な信号の供給を受けず、別途の信号発生部や信号制御部600などのような別途の装置から必要な信号の供給を受けることもできる。この場合、ゲート駆動部400に接続された付加ゲート線 G_d は液晶表示板組立体300に形成される必要がない。

【0030】

維持信号生成部700は、信号線 $G_1 \sim G_{2n}$ 、 G_d 、 $D_1 \sim D_m$ 、 $S_1 \sim S_{2n}$ 及び薄膜トランジスタスイッチング素子Qなどと共に液晶表示板組立体300に集積される。しかし、維持信号生成部700は、少なくとも一つの集積回路チップの形態で液晶表示板組立体300上に直接装着したり、可撓性印刷回路フィルム（flexible printed circuit film）（図示せず）上に装着されてTCP（tape

10

20

30

40

50

carrier package) の形態で液晶表示板組立体 300 に付着させたり、別途の印刷回路基板 (printed circuit board) (図示せず) 上に装着することもできる。

【0031】

データ駆動部 500 は、液晶表示板組立体 300 のデータ線 $D_1 \sim D_m$ と接続されており、階調電圧生成部 800 からの階調電圧を選択し、これをデータ電圧としてデータ線 $D_1 \sim D_m$ に印加する。しかし、階調電圧生成部 800 が階調電圧を全て提供することではなく、限定された数の基準階調電圧のみを提供する場合に、データ駆動部 500 は基準階調電圧を分圧して所望のデータ電圧を生成する。

信号制御部 600 は、ゲート駆動部 400、データ駆動部 500 及び維持信号生成部 700 などを制御する。 10

【0032】

このような駆動装置 (500、600、800) 各々は、少なくとも一つの集積回路チップの形態で液晶表示板組立体 300 上に直接装着したり、可撓性印刷回路フィルム (図示せず) 上に装着されて T C P の形態で液晶表示板組立体 300 に付着させたり、別途の印刷回路基板 (図示せず) 上に装着することもできる。これとは異なって、これら駆動装置 (500、600、800) が信号線 $G_1 \sim G_{2n}$ 、 $D_1 \sim D_m$ 、 $S_1 \sim S_{2n}$ 及び薄膜トランジスタスイッチング素子 Q などと共に液晶表示板組立体 300 に直接集積することもできる。また、駆動装置 (500、600、800) は単一チップで集積でき、この場合、これらのうちの少なくとも一つまたはこれらをなす少なくとも一つの回路素子が単一チップの外側にあり得る。 20

【0033】

次に、このような液晶表示装置の動作について詳細に説明する。

信号制御部 600 は、外部のグラフィック制御器 (図示せず) から入力画像信号 R、G、B 及びその表示を制御する入力制御信号を受信する。入力画像信号 R、G、B は各画素 P X の輝度 (luminance) 情報を含んでおり、輝度は決められた数、例えば、1024 ($= 2^{10}$)、256 ($= 2^8$) または 64 ($= 2^6$) 個の階調 (gray) を有している。入力制御信号の例としては、垂直同期信号 Vsync、水平同期信号 Hsync、メインクロック信号 MCLK、及びデータイネーブル信号 DE などがある。

【0034】

信号制御部 600 は、入力画像信号 R、G、B と入力制御信号に基づいて入力画像信号 R、G、B を液晶表示板組立体 300 の動作条件に合うように適切に処理し、ゲート制御信号 CONT1、データ制御信号 CONT2 及び維持制御信号 CONT3 を生成した後、ゲート制御信号 CONT1 をゲート駆動部 400 に送出し、データ制御信号 CONT2 と処理したデジタル画像信号 DAT をデータ駆動部 500 に送出し、維持制御信号 CONT3 を維持信号生成部 700 に送出する。 30

【0035】

ゲート制御信号 CONT1 は、走査開始を指示する走査開始信号 STV1、STV2 と、ゲートオン電圧 Von の出力周期を制御する少なくとも一つのクロック信号とを含む。ゲート制御信号 CONT1 は、また、ゲートオン電圧 Von の持続時間を限定する出力イネーブル信号 OE をさらに含むことができる。 40

【0036】

データ制御信号 CONT2 は、一つの行の画素 P X に対するデジタル画像信号 DAT の伝送開始を知らせる水平同期開始信号 STH と、データ線 $D_1 \sim D_m$ にアナログデータ電圧の印加を指示するロード信号 LOAD、及びデータクロック信号 HCLK を含む。データ制御信号 CONT2 は、また、共通電圧 Vcom に対するデータ電圧極性 (以下、“共通電圧に対するデータ電圧の極性”を略して“データ電圧の極性”と言う) を反転させる反転信号 RVS をさらに含むことができる。

【0037】

信号制御部 600 からのデータ制御信号 CONT2 によって、データ駆動部 500 は一 50

つの行、例えば、 i 番目行の画素 PX に対するデジタル画像信号 DAT を受信し、各デジタル画像信号 DAT に対応する階調電圧を選択することによってデジタル画像信号 DAT をアナログデータ電圧に変換した後に、これを該当データ線 $D_1 \sim D_m$ に印加する。

【0038】

ゲート駆動部 400 は、信号制御部 600 からのゲート制御信号 $CONT1$ によってゲート線 $G_1 \sim G_{2n}$ のうちの一つ、例えば、 i 番目ゲート線 G_i に印加されるゲート信号をゲートオン電圧 V_{on} に変えて、このゲート線 G_i に接続されたスイッチング素子 Q を導通させる（但し、付加ゲート線 G_d にはスイッチング素子 Q が接続されていないため除外）。そうすると、データ線 $D_1 \sim D_m$ に印加されたデータ電圧が導通したスイッチング素子 Q を通じて i 番目行の画素 PX に印加され、これにより画素 PX 内の液晶キャパシタ C_{lc} とストレージキャパシタ C_{st} が充電される。

10

【0039】

液晶キャパシタ C_{lc} の充電電圧、つまり、画素電圧は画素 PX に印加されたデータ電圧と共通電圧 V_{com} との差とほとんど同一である。液晶分子は画素電圧の大きさによってその配列を異ならせ、そのため液晶層 3 を通過する光の偏光が変化する。このような偏光の変化は偏光子によって光の透過率変化として現れ、これによって画素 PX はデジタル画像信号 DAT の階調が示す輝度を表示する。

【0040】

一つの水平周期（“1H”とも記し、水平同期信号 $Hsync$ 及びデータイネーブル信号 DE の一周期と同一である）が経過し、データ駆動部 500 が $(i+1)$ 番目行の画素 PX に対するデータ電圧をデータ線 $D_1 \sim D_m$ に印加すれば、ゲート駆動部 400 は i 番目ゲート線 G_i に印加されるゲート信号をゲートオフ電圧 V_{off} に変え、その後、ゲート線 (G_{i+1}) に印加されるゲート信号をゲートオン電圧 V_{on} に変える。

20

そうすると、 i 番目画素行のスイッチング素子 Q が遮断され、そのため画素電極 191 が孤立状態（ $floating$ ）となる。

【0041】

維持信号生成部 700 は、信号制御部 600 からの維持制御信号 $CONT3$ と、 $(i+1)$ 番目ゲート線 G_{i+1} に印加されるゲート信号の電圧上昇によって、 i 番目維持電極線 S_i に印加される維持信号の電圧レベルを変える。以下、 i 番目画素行のストレージキャパシタ C_{st} の一側端子である画素電極 191 が、他側端子である維持電極線 S_i の電圧変化によってその電圧を変える。

30

このような過程を全ての画素行に対して繰り返すことによって、液晶表示装置は 1 フレーム（ $frame$ ）の画像を表示する。

【0042】

1 フレームが終了すれば、次のフレームが開始し、各画素 PX に印加されるデータ電圧の極性が直前フレームでの極性と反対になるように、データ駆動部 500 に印加される反転信号 RVS の状態が制御される（“フレーム反転”）。また、一つの行の画素 PX に印加されるデータ電圧の極性は全て同一であり、隣接した二つの行の画素 PX に印加されるデータ電圧の極性は反対である（“行反転”）。

【0043】

40

このように本実施形態による液晶表示装置がフレーム反転及び行反転を行うので、いずれか一つの行の画素 PX に印加されるデータ電圧は全て正極性であるかまたは負極性であり、フレーム単位で極性が変わる。この時、維持電極線 $S_1 \sim S_{2n}$ に印加される維持信号は、画素電極 191 に正極性のデータ電圧が充電された場合には低レベル電圧から高レベル電圧に変化し、反対に、画素電極 191 に負極性のデータ電圧が充電された場合には高レベル電圧から低レベル電圧に変化する。したがって、画素電極 191 の電圧は、正極性データ電圧で充電された場合にはさらに上がり、負極性データ電圧で充電された場合にはさらに下がる。したがって、画素電極 191 の電圧範囲は、データ電圧の基礎である階調電圧の範囲より広く、これにより低い基本電圧にても広い範囲の輝度を実現することができる。

50

【 0 0 4 4 】

一方、第 1 及び第 2 維持信号生成回路 7 0 0 a、7 0 0 b は各々、維持電極線 $S_1 \sim S_{2n}$ に各々接続された複数の信号生成回路 (signal generating circuit) 7 1 0 を含むことができ、このような信号生成回路 7 1 0 の一例について、図 3 及び図 4 を参照して詳細に説明する。

図 3 は本発明の一実施形態による信号生成回路の回路図であり、図 4 は図 3 に示した信号生成回路を含む液晶表示装置に用いられる信号のタイミング図である。

【 0 0 4 5 】

図 3 に示すように、信号生成回路 7 1 0 は、入力端 IP と出力端 OP を有する。i 番目信号生成回路の場合、入力端 IP は (i + 1) 番目ゲート線 G_{i+1} と接続されて、(i + 1) 番目ゲート信号 g_{i+1} (以下、“入力信号”と言う) を受け、出力端 OP は i 番目維持電極線 S_i と接続され、i 番目維持信号 V_{s_i} を出力する。これと同様に、(i + 1) 番目信号生成回路の場合、入力端 IP は (i + 2) 番目ゲート線 G_{i+2} と接続され、(i + 2) 番目ゲート信号 g_{i+2} を入力信号として受け、出力端 OP は (i + 1) 番目維持電極線 S_{i+1} と接続され、(i + 1) 番目維持信号 $V_{s_{i+1}}$ を出力する。

10

【 0 0 4 6 】

信号生成回路 7 1 0 は、信号制御部 6 0 0 から維持制御信号 CONT 3 の一種である第 1、第 2 及び第 3 クロック信号 CK 1、CK 1 B、CK 2 を受け、信号制御部 6 0 0 または外部から高電圧 AVDD と低電圧 AVSS を受ける。

【 0 0 4 7 】

図 4 に示すように、第 1 乃至第 3 クロック信号 CK 1、CK 1 B、CK 2 は 2 H の周期を有し、デューティ比は約 5 0 % であり得る。第 1 クロック信号 CK 1 と第 2 クロック信号 CK 1 B とは約 1 8 0 ° の位相差を有する互いに反転した信号であり、第 2 クロック信号 CK 1 B と第 3 クロック信号 CK 2 の位相は互いに同一である。また、第 1 乃至第 3 クロック信号 CK 1、CK 1 B、CK 2 の波形はフレーム単位で反転する。

20

【 0 0 4 8 】

第 1 及び第 2 クロック信号 CK 1、CK 1 B の高レベル電圧 V_{h1} は約 1 5 V であり、低レベル電圧 V_{l1} は約 0 V であり得、第 3 クロック信号 CK 2 の高レベル電圧 V_{h2} は約 5 V であり、低レベル電圧 V_{l2} は約 0 V であり得る。高電圧 AVDD は第 3 クロック信号 CK 2 の高レベル電圧 V_{h2} と同一に約 5 V であり、低電圧 AVSS は第 3 クロック信号 CK 2 の低レベル電圧 V_{l2} と同一に約 0 V であり得る。

30

【 0 0 4 9 】

信号生成回路 7 1 0 は、制御端子、入力端子及び出力端子を各々有する五個のトランジスタ Tr 1、Tr 2、Tr 3、Tr 4、Tr 5 と、二つのキャパシタ C 1、C 2 とを含む。

トランジスタ Tr 1 の制御端子は入力端 IP と接続されており、入力端子は第 3 クロック信号 CK 2 と接続されており、出力端子は出力端 OP と接続されている。

【 0 0 5 0 】

トランジスタ Tr 2、トランジスタ Tr 3 の各々の制御端子は入力端 IP と接続されており、各々の入力端子は第 1 クロック信号 CK 1、第 2 クロック信号 CK 1 B と接続されている。

40

トランジスタ Tr 4、トランジスタ Tr 5 の各々の制御端子はトランジスタ Tr 2、トランジスタ Tr 3 の出力端子と接続されており、各々の入力端子は低電圧 AVSS、高電圧 AVDD に接続されており、各々の出力端子は出力端 OP と接続されている。

【 0 0 5 1 】

キャパシタ C 1、キャパシタ C 2 は、各々、トランジスタ Tr 4 の制御端子と低電圧 AVSS との間、トランジスタ Tr 5 の制御端子と高電圧 AVDD との間に接続されている。トランジスタ Tr 1 ~ Tr 5 は、非晶質シリコン (amorphous silicon) または多結晶シリコン (polycrystalline silicon) 薄膜トランジスタからなることができる。

50

【 0 0 5 2 】

このような信号生成回路の動作について詳細に説明する。

図 4 に示すように、隣接した二つのゲート線に印加されるゲートオン電圧 V_{on} の印加時間が一部重畳しており、この時、ゲートオン電圧 V_{on} の重畳時間は約 1 H であり得る。これにより、全行の画素 P_X は直前行の画素 P_X に印加されるデータ電圧によって約 1 H 間に充電されるが、残りの約 1 H 間には自身のデータ電圧によって充電が行われ、正常に画像の表示動作が行われる。

【 0 0 5 3 】

まず、 i 番目信号生成回路について説明する。

入力信号、つまり、 $(i+1)$ 番目ゲート線 G_{i+1} に印加されるゲート信号 g_{i+1} がゲートオン電圧 V_{on} になれば、第 1 乃至第 3 トランジスタ $Tr1 \sim Tr3$ が導通する。導通したトランジスタ $Tr1$ は第 3 クロック信号 $CK2$ を出力端 OP に伝達し、第 3 クロック信号 $CK2$ の低レベル電圧 V_{L2} によって維持信号 V_{s_i} の電圧レベルは低レベル電圧 (V_-) になる。一方、導通したトランジスタ $Tr2$ は第 1 クロック信号 $CK1$ をトランジスタ $Tr4$ の制御端子に伝達し、導通したトランジスタ $Tr3$ は第 2 クロック信号 $CK1B$ をトランジスタ $Tr5$ の制御端子に伝達する。

【 0 0 5 4 】

第 1 クロック信号 $CK1$ と第 2 クロック信号 $CK1B$ とは互いに反転した信号であるので、トランジスタ $Tr4$ とトランジスタ $Tr5$ とは互いに反対に動作する。つまり、トランジスタ $Tr4$ が導通すれば、トランジスタ $Tr5$ が遮断され、反対に、トランジスタ $Tr4$ が遮断されれば、トランジスタ $Tr5$ が導通する。トランジスタ $Tr4$ が導通し、トランジスタ $Tr5$ が遮断されれば、低電圧 $AVSS$ が出力端 OP に伝達され、トランジスタ $Tr4$ が遮断され、トランジスタ $Tr5$ が導通すれば、高電圧 $AVDD$ が出力端 OP に伝達される。

【 0 0 5 5 】

ゲート信号 g_{i+1} のゲートオン電圧 V_{on} の状態は、例えば、2 H 間維持され、前半 1 H 間を前半区間 $T1$ 、後半 1 H 間を後半区間 $T2$ とする。

前半区間 $T1$ の間に、第 1 クロック信号 $CK1$ は高レベル電圧 V_{h1} であり、第 2 及び第 3 クロック信号 $CK1B$ 、 $CK2$ は低レベル電圧 V_{L1} 、 V_{L2} であるので、トランジスタ $Tr1$ が伝達する第 3 クロック信号 $CK2$ の低レベル電圧 V_{L2} がかかっている出力端 OP には、トランジスタ $Tr4$ が伝達する低電圧 $AVSS$ がかかる。したがって、維持信号 V_{s_i} は低レベル電圧 V_{L2} 及び低電圧 $AVSS$ と同一の大きさの低レベル電圧 (V_-) になる。一方、前半区間 $T1$ の間に、キャパシタ $C1$ には第 1 クロック信号 $CK1$ の高レベル電圧 V_{h1} と低電圧 $AVSS$ との差ほどの電圧が充電され、キャパシタ $C2$ には第 2 クロック信号 $CK1B$ の低レベル電圧 V_{L1} と高電圧 $AVDD$ との差ほどの電圧が充電される。

【 0 0 5 6 】

後半区間 $T2$ の間に、第 1 クロック信号 $CK1$ は低レベル電圧 V_{L1} であり、第 2 及び第 3 クロック信号 $CK1B$ 、 $CK2$ は高レベル電圧 V_{h1} 、 V_{h2} であるので、前半区間 $T1$ とは反対にトランジスタ $Tr5$ は導通し、トランジスタ $Tr4$ は遮断される。

これにより、出力端 OP には導通したトランジスタ $Tr1$ を通じて伝えられる第 3 クロック信号 $CK2$ の高レベル電圧 V_{h2} がかかるようになって、維持信号 V_{s_i} は低レベル電圧 (V_-) から高レベル電圧 V_{h2} と同一レベルの高レベル電圧 (V_+) に変化ようになる。また、出力端 OP には導通したトランジスタ $Tr5$ を通じて高レベル電圧 (V_+) と同一レベルの高電圧 $AVDD$ が印加される。

【 0 0 5 7 】

一方、キャパシタ $C1$ の充電電圧は、第 1 クロック信号 $CK1$ の低レベル電圧 V_{L1} と低電圧 $AVSS$ の差と同一であるので、これら二つの電圧が同一であればキャパシタ $C1$ は放電される。キャパシタ $C2$ の充電電圧は、第 2 クロック信号 $CK1B$ の高レベル電圧 V_{L1} と高電圧 $AVDD$ の差と同一であるので、これら二つの電圧が互いに異なればキャ

10

20

30

40

50

パシタC2の充電電圧は0でない。前述で例に挙げたように、第2クロック信号CK1Bの高レベル電圧Vh1が約15Vであり、高電圧AVDDが約5Vである場合には、約10Vの電圧がキャパシタC2に充電される。

【0058】

後半区間T2が終了して、ゲート信号 g_{i+1} がゲートオン電圧Vonからゲートオフ電圧Voffに変化すれば、トランジスタTr1~Tr3は遮断状態に変わる。したがって、トランジスタTr1の出力端子が孤立状態になってトランジスタTr1と出力端OPの電氣的な接続が孤立状態となり、また、トランジスタTr2、Tr3の出力端子が孤立状態となる。これによりトランジスタTr4、Tr5の制御端子も孤立状態となる。

【0059】

キャパシタC1には電圧が充電されていないので、トランジスタTr4は遮断状態を維持する。しかし、キャパシタC2には第2クロック信号CK1Bの高レベル電圧Vh1と高電圧AVDDの差によって電圧が充電されているので、その電圧がトランジスタTr5のしきい電圧以上である場合に、トランジスタTr5は導通状態を維持する。したがって、出力端OPには高電圧AVDDが伝えられて維持信号Vsiとして出力される。これによって維持信号Vsiは高レベル電圧(V+)を維持する。

10

【0060】

次に、(i+1)番目信号生成回路の動作について説明する。

(i+1)番目信号生成回路(図示せず)に(i+2)番目ゲート信号 g_{i+2} のゲートオン電圧Vonが印加されれば、(i+1)番目信号生成回路が動作する。

20

【0061】

図4に示すように、(i+2)番目ゲート信号 g_{i+2} がゲートオン電圧Vonになれば、この時の第1乃至第3クロック信号CK1、CK1B、CK2の状態は、(i+1)番目ゲート信号 g_{i+1} がゲートオン電圧Vonになる時の状態と反対になる。

【0062】

これによって、(i+2)番目ゲート信号 g_{i+2} の前半ゲートオン電圧Vonの区間T1である時の動作は、(i+1)番目ゲート信号 g_{i+1} の後半ゲートオン電圧Vonの区間T2である時の動作と同一であるので、トランジスタTr1、Tr3、Tr5のターンオン動作によって第3クロック信号CK2の高レベル電圧Vh2と高電圧AVDDが出力端OPにかかるようになって、維持信号Vsi+1は高レベル電圧(V+)になる。

30

【0063】

しかし(i+2)番目ゲート信号 g_{i+2} の後半ゲートオン電圧Vonの区間T2である時の動作は、(i+1)番目ゲート信号 g_{i+1} の前半ゲートオン電圧Vonの区間T1である時の動作と同一であるので、トランジスタTr1、Tr2、Tr4のターンオン動作によって第3クロック信号CK2の低レベル電圧Vl2と低電圧AVSSが出力端OPにかかるようになって、維持信号Vsi+1は高レベル電圧(V+)から低レベル電圧(V-)に変化する。

【0064】

上述したように、トランジスタTr1は、入力信号の電圧状態がゲートオン電圧Vonを維持する間に、第3クロック信号CK2を維持信号として印加するためのトランジスタであり、残りのトランジスタTr2~Tr5は、入力信号がゲートオフ電圧Voffであって、出力端OPがトランジスタTr1の出力端子と孤立状態である時に、キャパシタC1、C2を利用して該当維持電極線に印加される維持信号の電圧状態を次のフレームまで維持するためのトランジスタである。つまり、トランジスタTr1は該当維持電極線に維持信号を初期に印加するためのものであり、残りのトランジスタTr2~Tr5は出力されている維持信号を一定に維持するためのものである。トランジスタTr2~Tr5の大きさは第1トランジスタTr1の大きさよりはるかに小さいことが良い。

40

【0065】

このような維持信号Vsの電圧変化によって、画素電極電圧Vpが増減する。次に、このような維持信号Vsの電圧変化による画素電極電圧Vpの変化について説明する。以下

50

、キャパシタとこれらキャパシタの静電容量は、同一の図面符号で表示する。

【 0 0 6 6 】

まず、画素電極電圧 V_p は以下の数式 1 によって求められる。数式 1 において、 C_{lc} と C_{st} は各々液晶キャパシタ及びストレージキャパシタとこれらの静電容量を示し、 $(V+)$ は維持信号 V_s の高レベル電圧であり、 $(V-)$ は維持信号 V_s の低レベル電圧である。数式 1 から分かるように、画素電極電圧 V_p は、キャパシタの静電容量 C_{lc} 、 C_{st} 、及び維持信号 V_s の電圧変化によって決められる変化量が、データ電圧 V_D に加減された値である。

【 0 0 6 7 】

【 数 1 】

10

$$V_p = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_{lc}} \{ (V+) - (V-) \}$$

データ電圧 V_D の範囲は約 $0V \sim 5V$ であり、 C_{st} と C_{lc} の値が互いに同一になるように画素を設計して、 $(V+) - (V-) = 5V$ である場合、数式 1 は $V_p = V_D \pm 2.5$ となる。

【 0 0 6 8 】

結局、維持信号 V_s の電圧が変わる時、画素電極電圧 V_p は、データ電圧 V_D の極性によって、該当データ線 $D_1 \sim D_m$ を通じて印加されるデータ電圧 V_D より約 $\pm 2.5V$ ほど増減される。つまり、 $(+)$ 極性の時に約 $+2.5V$ 増加し、 $(-)$ 極性の時に約 $-2.5V$ 減少する。このような画素電極電圧 V_p の変化によって画素電圧の範囲も増加する。

20

【 0 0 6 9 】

例えば、共通電圧 V_{com} が約 $2.5V$ に固定されている時、画素に印加される約 $0V \sim 5V$ のデータ電圧 V_D による画素電圧の範囲は約 $-2.5V \sim +2.5V$ であるが、維持信号 V_s が高レベル電圧 $(V+)$ または低レベル電圧 $(V-)$ に変化する時、画素電圧の範囲は約 $-5V \sim +5V$ に広がる。

このように、維持信号 V_s の電圧変化 $\{ (V+) - (V-) \}$ によって増加した画素電極電圧 V_p の変化量ほど画素電圧の範囲が広がるので、階調表現のための電圧範囲が増加して輝度が向上する。

30

【 0 0 7 0 】

また、共通電圧が一定の電圧に固定されているので、低い電圧と高い電圧を交互に印加する時より消費電力が減少する。つまり、データ線と共通電極との間に発生する寄生キャパシタにおいて、共通電極に印加される共通電圧が約 0 または $5V$ である場合、この寄生キャパシタに印加される電圧は最大約 $\pm 5V$ である。しかし、共通電圧が約 $2.5V$ に固定される場合、データ線と共通電極との間に発生する寄生キャパシタに印加される電圧は最大約 $\pm 2.5V$ に減少する。したがって、データ線と共通電極との間で発生する寄生キャパシタで消費される電力が減少して、液晶表示装置の総消費電力が減少する。

40

【 0 0 7 1 】

しかし、液晶の応答速度が遅いため、画素電圧によって液晶分子が速かに反応しない。したがって、液晶キャパシタ C_{lc} の静電容量は、液晶キャパシタ C_{lc} の両端に印加される画素電圧に反応して、液晶分子の再整列が完了した安定化状態に到達したか否かによって変わる。この液晶分子が安定化状態に到達したか否かによって画素電極電圧 V_p が変化する。

【 0 0 7 2 】

次に、画素電圧に反応して液晶分子が安定化状態に到達した場合と、そうでない場合との、画素電極電圧 V_p の変化について説明する。

【 0 0 7 3 】

50

最大値の画素電圧、つまり、最大階調（ノーマリーブラックである場合、ホワイト階調）の画素電圧が液晶キャパシタC_{1c}に印加された後に液晶分子が安定化状態に到達する時、液晶キャパシタC_{1c}の静電容量が最小値の画素電圧、最少階調（ノーマリーブラックである場合、ブラック階調）の画素電圧が液晶キャパシタC_{1c}に印加された後に液晶分子が安定化状態に到達する時、液晶キャパシタC_{1c}の静電容量の約3倍であると仮定する。また、(V₊) - (V₋) = 5Vであり、C_{1c} = C_{st}とする。

【0074】

したがって、最大階調の画素電圧が液晶キャパシタC_{1c}に印加された後に液晶分子が安定化状態に到達する時、画素電極電圧V_pは上記数式1の通りであり、既に記述したように、(V₊) - (V₋) = 5Vであり、C_{1c} = C_{st}であるので、画素電極電圧V_pはV_p = V_D ± 2.5となる。

10

しかし、最大階調の画素電圧が液晶キャパシタC_{1c}に印加された後、液晶分子が安定化状態に到達できない場合には、画素電極電圧V_pは、以下の数式2の通りである。

【0075】

【数2】

$$V_p = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_k} \{ (V_+) - (V_-) \}$$

$$= V_D \pm \frac{C_{st}}{C_{st} + \frac{1}{3} C_{st}} \{ (V_+) - (V_-) \} = V_D \pm \frac{3}{4} \{ (V_+) - (V_-) \}$$

20

この時、(V₊) - (V₋) = 5Vであるので、V_p = V_D ± 3.75である。

【0076】

このように、最大階調の画素電圧が液晶キャパシタC_{1c}に印加された後、液晶分子が安定化状態に到達できない場合、画素電極電圧V_pは、最少階調の画素電圧が液晶キャパシタC_{1c}に印加された後、液晶分子が安定化状態に到達した時の画素電極電圧を維持する。つまり、直前フレームの状態を維持する。したがって、維持信号の電圧変化{(V₊) - (V₋)}による画素電極電圧V_pの変化量は、±2.5Vから±3.75Vに増加する。

30

【0077】

したがって、最少階調の画素電極電圧から他の階調の画素電極電圧に変化する場合、液晶分子が安定化状態に到達する前までは、数式2によって維持信号の電圧変化{(V₊) - (V₋)}による画素電極電圧V_pの変化量はさらに増加し、(V₊) - (V₋) = 5Vである場合、最大±3.75Vまで増加する。

【0078】

これによって、従来の技術においては、図6に示すように、毎フレームごとに目標画素電極電圧V_Tに相当する画素電極電圧V_pを該当画素電極に印加しても、画素電極に充電された画素電極電圧は充電動作が完了した後、隣接したデータ電圧などの影響によって減少し、結局、1フレーム内に目標画素電極電圧V_Tに到達できず、いくつかのフレームを経て目標画素電極電圧V_Tに到達するが、本実施形態においては、図5に示すように、該当画素電極に印加される画素電極電圧V_pが目標画素電極電圧V_Tよりはるかに高い電圧が印加されるので、1フレーム内に該当画素電極が目標画素電極電圧V_Tに到達して、従来の技術より液晶の応答速度RCが向上する。

40

【0079】

したがって、画素電極電圧V_pは、充電されているデータ電圧V_Dに維持信号V_sの電圧変化量が加減されて、画素PXが正極性データ電圧によって充電されている場合には、画素電極電圧V_pは変化量ほど増加し、反対に、画素PXが負極性データ電圧によって充電されている場合には、画素電極電圧V_pは変化量ほど減少する。これによって、画素電圧の変化は増減された画素電極電圧V_pによって階調電圧の範囲より広くなり、表現され

50

る輝度範囲も広くなる。

また、既に説明したように、共通電圧 V_{com} が一定の電圧に固定されているので、低い電圧と高い電圧を交互に印加する時より消費電力が減少する。

【0080】

次に、図7～図9を参照して、本発明の他の実施形態による液晶表示装置について説明する。

図7は本発明の他の実施形態による液晶表示装置のブロック図である。図8は本発明の他の実施形態による信号生成回路の回路図であり、図9は図8に示した信号生成回路を含む液晶表示装置に用いられる信号のタイミング図である。

【0081】

図7に示すように、本発明の他の実施形態による液晶表示装置は、全ての一般ゲート線 $G_1 \sim G_{2n}$ と付加ゲート線 G_{d1} に接続された一つのゲート駆動部401と、全ての維持電極線 $S_1 \sim S_{2n}$ に接続された一つの維持信号生成部701とを除けば、図1に示した液晶表示装置の構造と同一であるため、同じ図面符号を付けており、これらに対する詳細な説明は省略する。

【0082】

ゲート駆動部401と維持信号生成部701は、画素 P_X のスイッチング素子 Q と同一の工程により形成されて液晶表示板組立体301に集積されているが、これらは各々一つの集積回路チップの形態で液晶表示板組立体301上に直接装着したり、可撓性印刷回路フィルム（図示せず）上に装着されて TCP の形態で液晶表示板組立体301に付着させたり、別途の印刷回路基板（図示せず）上に装着することもできる。

ゲート駆動部401は、第1一般ゲート線 G_1 から付加ゲート線 G_{d1} に順次にゲートオン電圧 V_{on} を印加して、各一般ゲート線 $G_1 \sim G_{2n}$ に接続された該当画素行の充電動作と維持信号生成部701の動作を制御する。

【0083】

また、維持信号生成部701は、各維持電極線 $S_1 \sim S_{2n}$ に接続された複数の信号生成回路 $ST_1 \sim ST_{2n}$ を含んでおり、各信号生成回路は入力信号を除けば、全て同一の構造で形成されて同じ動作を行うので、図8を参照して、 i 番目と $(i+1)$ 番目維持電極線 S_i 、 S_{i+1} に維持信号 V_{Si} 、 V_{Si+1} を各々印加する、 i 番目と $(i+1)$ 番目信号生成回路 ST_i 、 ST_{i+1} の構造と動作についてのみ説明する。

【0084】

図8に示すように、各信号生成回路 $ST_1 \sim ST_{2n}$ は、第6トランジスタ Tr_6 をさらに含んでいることを除けば、図3に示した信号生成回路と同一であるため、これら $Tr_1 \sim Tr_5$ に対する構造の説明は省略する。

信号生成回路の第6トランジスタ Tr_6 は、第3クロック信号 CK_2 に入力端子が接続されており、直前の信号生成回路の入力端 IP に制御端子が接続されており、出力端 OP に出力端子が接続されている。

【0085】

第6トランジスタは、第1～第5トランジスタのように非晶質シリコンまたは多結晶シリコンの薄膜トランジスタからなることができる。

このように、任意の一つの画素行に形成された維持電極線に接続された信号生成回路は、該当画素行に印加されるゲート信号だけでなく、直前の画素行に印加されるゲート信号の印加を受けるので、最後の維持電極線 S_{2n} に接続された信号生成回路は、補助ゲート線 G_{d1} に接続されてゲート信号の印加を受ける。これとは異なって、最後の維持電極線 S_{2n} に接続された信号生成回路は、信号制御部600などのようにゲート駆動部401でない他の装置や外部から制御信号の印加を受けることができる。

【0086】

このような信号生成回路の動作について、図9を参照して説明する。

既に説明したように、液晶表示装置は行反転とフレーム反転を行う。また、図9に示すように、第1乃至第3クロック信号 CK_1 、 CK_{1B} 、 CK_2 は図4に示したクロック信

10

20

30

40

50

号 $CK1$ 、 $CK1B$ 、 $CK2$ と同一である。

図 9 に示すように、各ゲート線 $G_1 \sim G_{2n}$ 、 G_{d1} に順次に印加されるゲートオン電圧 V_{on} は、隣接したゲートオン電圧 V_{on} と所定時間重畳せず、第 1 一般ゲート線 G_1 から順次に補助ゲート線 G_{d1} に印加される。

【0087】

まず、 i 番目信号生成回路 ST_i の動作について説明する。

i 番目ゲート線 G_i に印加されるゲート信号 g_i がゲートオン電圧 V_{on} になれば、 i 番目信号生成回路 ST_i の第 6 トランジスタ $Tr6$ が導通して、第 3 クロック信号 $CK2$ の低レベル電圧 V_{l2} が維持信号 V_{s_i} として出力端 OP を通じて i 番目維持電極線 S_i に印加され、低レベル電圧 (V_-) を維持する。

10

【0088】

次に、1H 経過後、 $(i+1)$ 番目ゲート線 G_{i+1} にゲートオン電圧 V_{on} が印加されれば、第 1 乃至第 3 トランジスタ $Tr1 \sim Tr3$ が導通する。

したがって、図 9 に示すように、第 1 トランジスタ $Tr1$ が導通する間に、第 3 クロック信号 $CK2$ の高レベル電圧 V_{h2} が出力端 OP を通じて維持信号 V_{s_i} として維持電極線 S_i に印加されるので、維持信号 V_{s_i} は低レベル電圧 (V_-) から高レベル電圧 (V_+) に変化する。

【0089】

$(i+1)$ 番目ゲート信号 g_{i+1} がゲートオン電圧 V_{on} である時、第 1 クロック信号 $CK1$ は低レベル電圧 V_{l1} を維持し、第 2 クロック信号 $CK1B$ は高レベル電圧 V_{h1} を維持する。したがって、導通したトランジスタ $Tr2$ 、 $Tr3$ を通じて各々第 4 及び第 5 トランジスタ $Tr4$ 、 $Tr5$ の制御端子に低レベル電圧と高レベル電圧が印加されて、第 5 トランジスタ $Tr5$ は導通し、第 4 トランジスタ $Tr4$ は遮断され、キャパシタ $C2$ の充電動作が行われる。これによって、 $(i+1)$ 番目ゲートオン電圧 V_{on} が印加される間に、導通したトランジスタ $Tr1$ 、 $Tr5$ によって高レベル電圧 (V_+) の維持信号 V_{s_i} が出力端 OP に印加され、また、 $(i+1)$ 番目ゲート線 G_{i+1} に印加されるゲート信号 g_{i+1} がゲートオフ信号 V_{off} を維持する間、キャパシタ $C2$ の充電電圧によりトランジスタ $Tr5$ が導通して高電圧 $AVDD$ が出力端子 OP に印加され、維持信号 V_{s_i} は高レベル電圧 (V_+) を維持する。

20

【0090】

つまり、 i 番目ゲート信号 g_i がゲートオン電圧 V_{on} になって i 番目ゲート線 G_i に接続された画素行の充電動作が完了した後、維持信号 V_{s_i} が低レベル電圧 (V_-) から高レベル電圧 (V_+) に変換して、画素電極電圧 V_p は数式 1 または数式 2 によって決められた変化量ほど増加する。

30

このような i 番目信号生成回路 ST_i の動作と類似して、図 9 に示すように、 $(i+1)$ 番目ゲート信号 g_{i+1} がゲートオン電圧 V_{on} を維持する間にトランジスタ $Tr6$ が導通し、これによって導通したトランジスタ $Tr6$ を通じて伝えられる第 3 クロック信号 $CK2$ の高レベル電圧 V_{h2} によって、 $(i+1)$ 番目維持電極線 S_{i+1} から出力される維持信号 $V_{s_{i+1}}$ は電圧状態である高レベル電圧 (V_+) を維持する。

【0091】

40

次に、 $(i+2)$ 番目ゲート信号 g_{i+2} にゲートオン電圧 V_{on} が印加されれば、トランジスタ $Tr1$ 、 $Tr2$ 、 $Tr4$ が導通し、キャパシタ $C1$ が充電されて、維持信号 $V_{s_{i+1}}$ は導通したトランジスタ $Tr1$ 、 $Tr5$ を通じて伝えられる低レベル電圧 V_{l2} と低電圧 $AVSS$ によって、高レベル電圧 (V_+) から低レベル電圧 (V_-) に変化する。

また、 $(i+2)$ 番目ゲート線 G_{i+2} に印加されるゲート信号 g_{i+2} がゲートオフ信号 V_{off} を維持する間に、キャパシタ $C1$ の充電電圧によってトランジスタ $Tr4$ が導通し、低電圧 $AVSS$ が出力端 OP に印加されて、維持信号 $V_{s_{i+1}}$ は低レベル電圧 (V_-) を維持する。

【0092】

50

これによって、 $(i + 1)$ 番目ゲート信号 $g_{i + 1}$ がゲートオン電圧 V_{on} になって、 $(i + 1)$ 番目ゲート線 $G_{i + 1}$ に接続された画素行の充電動作が完了した後、維持信号 $V_{s_{i + 1}}$ が高レベル電圧 ($V +$) から低レベル電圧 ($V -$) に変換して、画素電極電圧 V_p は数式 1 または数式 2 によって決められた変化量ほど減少する。本実施形態において、第 6 トランジスタ $T_r 6$ は該当維持電極線に印加される維持信号の電圧状態を維持するためのトランジスタであるので、トランジスタ $T_r 6$ の大きさは第 1 トランジスタ $T_r 1$ の大きさよりはるかに小さいことが良い。

【0093】

次に、このような本発明の一実施形態による液晶表示装置の薄膜トランジスタ表示板の詳細構造について、図面を参照して詳細に説明する。

10

まず、図 10 及び図 11 (a) (b) を参照して、本発明の一実施形態による液晶表示装置の薄膜トランジスタ表示板の一例について説明する。

図 10 は本発明の一実施形態による液晶表示装置の薄膜トランジスタ表示板に対する配置図の一例であり、図 11 (a) 及び (b) は各々図 10 の薄膜トランジスタ表示板の $XI a - XI a$ 線及び $XI b - XI b$ 線に沿った断面図である。

【0094】

透明なガラスまたはプラスチックなどで作られた絶縁基板 110 上に、複数のゲート線 (gate line) 121 及び複数の維持電極線 (storage electrode line) 131 が形成されている。

ゲート線 121 はゲート信号を伝達し、主に横方向に延在している。各ゲート線 121 は、(図 10 で上に) 突出した複数のゲート電極 (gate electrode) 124 と、他の層または外部駆動回路との接続のために面積の広い端部 129 とを含む。

20

【0095】

ゲート信号を生成するゲート駆動回路 (図示せず) は、絶縁基板 110 上に付着される可撓性印刷回路フィルム (図示せず) 上に装着したり、絶縁基板 110 上に直接装着されたり、絶縁基板 110 に直接集積できる。ゲート駆動回路が絶縁基板 110 上に集積されている場合、ゲート線 121 が延長されてこれと直接接続することができる。

それぞれの維持電極線 131 は主に横方向に延在しており、(図 10 で幅が下に) 拡張された複数の拡張部 137 を含む。維持電極線 131 は、また、他の層または外部駆動回路との接続のために面積の広い端部を含むことができる。しかし、維持電極線 131 の形状及び配置は多様に変更できる。

30

【0096】

各維持電極線 131 には、約 5 V の高レベル電圧 ($V +$) と約 0 V の低レベル電圧 ($V -$) のような所定の電圧が、フレーム単位で交互に印加される。

維持電圧を生成する信号生成回路 (図示せず) は、絶縁基板 110 上に付着される可撓性印刷回路フィルム (図示せず) 上に装着したり、絶縁基板 110 上に直接装着したり、絶縁基板 110 に直接集積できる。信号生成回路が絶縁基板 110 上に集積される場合、維持電極線 131 が延長されて信号生成回路と直接接続することもできる。

【0097】

ゲート線 121 と維持電極線 131 は、アルミニウム (Al) やアルミニウム合金などアルミニウム系金属、銀 (Ag) や銀合金など銀系金属、銅 (Cu) や銅合金など銅系金属、モリブデン (Mo) やモリブデン合金などモリブデン系金属、クロム (Cr)、タンタル (Ta) 及びチタニウム (Ti) などで作ることができる。しかし、これらは物理的性質が異なる二つの導電膜 (図示せず) を含む多重膜構造を有することもできる。

40

【0098】

このうちの一つの導電膜は、信号遅延や電圧降下を減らすことができるように比抵抗 (resistivity) が低い金属、例えば、アルミニウム系金属、銀系金属、銅系金属などで作られる。これとは異なって、他の一方の導電膜は、他の物質、特に ITO (indium tin oxide) 及び IZO (indium zinc oxide) との物理的、化学的、電気的接合特性に優れた物質、例えば、モリブデン系金属、クロム

50

、タンタル、チタニウムなどで作られる。このような組み合わせの良い例としては、クロム下部膜とアルミニウム（合金）上部膜、及びアルミニウム（合金）下部膜とモリブデン（合金）上部膜がある。しかし、ゲート線 1 2 1 及び維持電極線 1 3 1 はその他にも多様な金属または導電体で作ることができる。

【0099】

ゲート線 1 2 1 及び維持電極線 1 3 1 の側面は絶縁基板 1 1 0 面に対して傾斜しており、その傾斜角は約 30° ~ 約 80° であることが好ましい。

ゲート線 1 2 1 及び維持電極線 1 3 1 上には、窒化ケイ素 (SiNx) または酸化ケイ素 (SiOx) などで作られたゲート絶縁膜 (gate insulating layer) 1 4 0 が形成されている。

10

【0100】

ゲート絶縁膜 1 4 0 上には、水素化非晶質シリコン (hydrogenated amorphous silicon) (非晶質シリコンは、略して a-Si と記す) または多結晶シリコン (polysilicon) などで作られた複数の線状半導体 1 5 1 が形成されている。線状半導体 1 5 1 は主に縦方向に延在しており、ゲート電極 1 2 4 に向かってのび出た複数の突出部 (projection) 1 5 4 を含む。線状半導体 1 5 1 はゲート線 1 2 1 及び維持電極線 1 3 1 の付近で幅が広がって、これらを幅広く覆っている。

【0101】

線状半導体 1 5 1 上には複数の線状及び島型オーミックコンタクト部材 (ohmic contact) 1 6 1、1 6 5 が形成されている。オーミックコンタクト部材 1 6 1、1 6 5 は、リンなどの n 型不純物が高濃度にドーピングされている n+ 水素化非晶質シリコンなどの物質、またはシリサイド (silicide) で作ることができる。線状オーミックコンタクト部材 1 6 1 は複数の突出部 1 6 3 を有しており、この突出部 1 6 3 と島型オーミックコンタクト部材 1 6 5 とは対をなして線状半導体 1 5 1 の突出部 1 5 4 上に配置されている。

20

【0102】

線状半導体 1 5 1 とオーミックコンタクト部材 1 6 1、1 6 5 の側面も絶縁基板 1 1 0 面に対して傾斜しており、その傾斜角は 30° ~ 80° 程度である。

線状及び島型オーミックコンタクト部材 1 6 1、1 6 5 及びゲート絶縁膜 1 4 0 上には、複数のデータ線 1 7 1 と複数のドレイン電極 1 7 5 とが形成されている。

30

【0103】

データ線 1 7 1 はデータ信号を伝達し、主に縦方向に延在してゲート線 1 2 1 及び維持電極線 1 3 1 と交差する。各データ線 1 7 1 は、ゲート電極 1 2 4 に向かって延在した複数のソース電極 1 7 3 と、他の層または外部駆動回路との接続のために面積の広い端部 1 7 9 とを含む。データ信号を生成するデータ駆動回路 (図示せず) は、絶縁基板 1 1 0 上に付着される可撓性印刷回路フィルム (図示せず) 上に装着したり、絶縁基板 1 1 0 上に直接装着したり、絶縁基板 1 1 0 に直接集積できる。データ駆動回路が絶縁基板 1 1 0 上に集積される場合、データ線 1 7 1 が延長されてこれと直接接続されることができる。

ドレイン電極 1 7 5 はデータ線 1 7 1 と分離されており、ゲート電極 1 2 4 を中心にソース電極 1 7 3 と対向する。各ドレイン電極 1 7 5 は、広い一側端部と、棒状の他側端部とを含む。広い端部は維持電極線 1 3 1 の拡張部 1 3 7 と重畳し、棒状の端部は曲がったソース電極 1 7 3 によって一部取り囲まれている。

40

【0104】

一つのゲート電極 1 2 4、一つのソース電極 1 7 3、及び一つのドレイン電極 1 7 5 は、線状半導体 1 5 1 の突出部 1 5 4 と共に一つの薄膜トランジスタ (thin film transistor、TFT) をなし、薄膜トランジスタのチャンネルはソース電極 1 7 3 とドレイン電極 1 7 5 との間の突出部 1 5 4 に形成される。

【0105】

データ線 1 7 1 及びドレイン電極 1 7 5 は、モリブデン、クロム、タンタル及びチタニ

50

ウムなど耐火性金属 (refractory metal) またはこれらの合金で作ることが好ましく、耐火性金属膜 (図示せず) と低抵抗導電膜 (図示せず) を含む多重膜構造を有することができる。多重膜構造の例としては、クロムまたはモリブデン (合金) 下部膜とアルミニウム (合金) 上部膜の二重膜、モリブデン (合金) 下部膜とアルミニウム (合金) 中間膜とモリブデン (合金) 上部膜の三重膜がある。しかし、データ線 171 及びドレイン電極 175 はその他にも多様な金属または導電体で作ることができる。

データ線 171 及びドレイン電極 175 もその側面が、絶縁基板 110 面に対して $30^{\circ} \sim 80^{\circ}$ 程度の傾斜角で傾斜していることが好ましい。

【0106】

線状及び島型オーミックコンタクト部材 161、165 は、その下の線状半導体 151 と、その上のデータ線 171 及びドレイン電極 175 との間にだけ存在し、これらの間の接触抵抗を低くする。大部分の所では線状半導体 151 がデータ線 171 より狭いが、上述したように、ゲート線 121 と合う部分で幅が広がって表面のプロファイルをスムーズにすることにより、データ線 171 が断線することを防止する。線状半導体 151 には、ソース電極 173 とドレイン電極 175 との間をはじめとして、データ線 171 及びドレイン電極 175 によって覆われずに露出した部分がある。

【0107】

データ線 171 及びドレイン電極 175 と、露出した線状半導体 151 部分上には、保護膜 (passivation layer) 180 が形成されている。保護膜 180 は、無機絶縁物または有機絶縁物などで作られ、表面が平坦であり得る。無機絶縁物の例としては、窒化ケイ素と酸化ケイ素がある。有機絶縁物としては、感光性 (photosensitivity) を有することができ、その誘電率 (dielectric constant) は、約 4.0 以下であることが好ましい。しかし、保護膜 180 は、有機膜の優れた絶縁特性を生かしながらも露出した線状半導体 151 の部分に損傷を与えないように、下部無機膜と上部有機膜の二重膜構造を有することもできる。

【0108】

保護膜 180 には、データ線 171 の端部 179 とドレイン電極 175 を各々露出する複数のコンタクトホール (contact hole) 182、185 が形成されており、保護膜 180 とゲート絶縁膜 140 には、ゲート線 121 の端部 129 を露出する複数のコンタクトホール 181 が形成されている。

保護膜 180 上には、複数の画素電極 (pixel electrode) 191 及び複数のコンタクト補助部材 (contact assistant) 81、82 が形成されている。これらは、ITO または IZO などの透明な導電物質や、アルミニウム、銀、クロムまたはその合金などの反射性金属で作ることができる。

【0109】

画素電極 191 は、コンタクトホール 185 を通じてドレイン電極 175 と物理的・電氣的に接続されており、ドレイン電極 175 からデータ電圧の印加を受ける。データ電圧が印加された画素電極 191 は、共通電圧 (common voltage) の印加を受ける他の表示板 (図示せず) の共通電極 (common electrode) (図示せず) と共に電場を生成することによって、二つの電極の間の液晶層 (図示せず) の液晶分子の方向を決定する。このように決定された液晶分子の方向によって液晶層を通過する光の偏光が変化する。画素電極 191 と共通電極は、キャパシタ [以下、“液晶キャパシタ (liquid crystal capacitor)” という] をなし、薄膜トランジスタが遮断された後にも印加された電圧を維持する。

【0110】

画素電極 191 及びこれと電氣的に接続されたドレイン電極 175 が、維持電極線 131 と重畳してなすキャパシタをストレージキャパシタ (storage capacitor) と言い、ストレージキャパシタは液晶キャパシタの電圧維持能力を強化する。維持電極線 131 の拡張部 137 により、重畳面積が増加してストレージキャパシタの静電容量が増加する。

10

20

30

40

50

コンタクト補助部材 8 1、8 2 は、各々コンタクトホール 1 8 1、1 8 2 を通じてゲート線 1 2 1 の端部 1 2 9 及びデータ線 1 7 1 の端部 1 7 9 と接続される。コンタクト補助部材 8 1、8 2 は、ゲート線 1 2 1 の端部 1 2 9 及びデータ線 1 7 1 の端部 1 7 9 と外部装置との接着性を補完し、これらを保護する。

【0 1 1 1】

次に、図 1 2 ~ 図 1 3 (a) (b) を参照して、本発明の一実施形態による薄膜トランジスタ表示板の他の例について詳細に説明する。

図 1 2 は本発明の一実施形態による液晶表示装置の薄膜トランジスタに対する他の例の配置図であり、図 1 3 (a) 及び (b) は各々図 1 2 の薄膜トランジスタ表示板の X I I a - X I I I a 線及び X I I I b - X I I I b 線に沿った断面図である。

10

本実施形態による薄膜トランジスタ表示板の他の例に対する構造は、図 1 0 ~ 図 1 1 (a)、(b) に示したものと同一である。

【0 1 1 2】

絶縁基板 1 1 0 上に、ゲート電極 1 2 4 及び端部 1 2 9 を有する複数のゲート線 1 2 1、及び複数の拡張部 1 3 7 を備えた複数の維持電極線 1 3 1 が形成されており、その上にゲート絶縁膜 1 4 0、突出部 1 5 4 を有する複数の線状半導体 1 5 1、突出部 1 6 3 を有する複数の線状オーミックコンタクト部材 1 6 1、及び複数の島型オーミックコンタクト部材 1 6 5 が順次に形成されている。オーミックコンタクト部材 (1 6 1、1 6 5) 上には、ソース電極 1 7 3 及び端部 1 7 9 を含む複数のデータ線 1 7 1、複数のドレイン電極 1 7 5 が形成されており、その上に保護膜 1 8 0 が形成されている。保護膜 1 8 0 及びゲート絶縁膜 1 4 0 には複数のコンタクトホール 1 8 1、1 8 2、1 8 5 が形成されており、その上には複数の画素電極 1 9 1、複数のコンタクト補助部材 8 1、8 2 が形成されている。

20

【0 1 1 3】

しかし、本実施形態による薄膜トランジスタ表示板は、図 1 0 ~ 図 1 1 (a)、(b) に示した薄膜トランジスタ表示板と異なって、線状半導体 1 5 1 が、薄膜トランジスタが位置する突出部 1 5 4 を除けば、データ線 1 7 1、ドレイン電極 1 7 5 及びその下部のオーミックコンタクト部材 (1 6 1、1 6 5) と実質的に同一の平面形態を有している。つまり、線状半導体 1 5 1 は、データ線 1 7 1 及びドレイン電極 1 7 5 と、その下部のオーミックコンタクト部材 (1 6 1、1 6 5) の下に露出していない部分と、ソース電極 1 7 3 とドレイン電極 1 7 5 の間にこれらによって覆われずに露出した部分を有している。

30

【0 1 1 4】

尚、本発明は、上述の実施形態に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【0 1 1 5】

【図 1】本発明の一実施形態による液晶表示装置のブロック図である。

【図 2】本発明の実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【図 3】本発明の一実施形態による信号生成回路の回路図である。

【図 4】図 3 に示した信号生成回路を含む液晶表示装置に用いられる信号のタイミング図である。

40

【図 5】本発明の実施形態による信号生成回路の動作による画素電極電圧と液晶の応答速度の変化を示すグラフである。

【図 6】従来の画素電極電圧と液晶の応答速度の変化を示すグラフである。

【図 7】本発明の他の実施形態による液晶表示装置のブロック図である。

【図 8】本発明の他の実施形態による信号生成回路の回路図である。

【図 9】図 8 に示した信号生成回路を含む液晶表示装置に用いられる信号のタイミング図である。

【図 1 0】本発明の実施形態による液晶表示装置の薄膜トランジスタ表示板に対する配置図の一例である。

50

【図 1 1】(a) は図 1 0 の薄膜トランジスタ表示板の X I a - X I a 線に沿った断面図であり、(b) は図 1 0 の薄膜トランジスタ表示板の X I b - X I b 線に沿った断面図である。

【図 1 2】本発明の実施形態による液晶表示装置の薄膜トランジスタ表示板に対する配置図の他の例である。

【図 1 3】(a) は図 1 2 の薄膜トランジスタ表示板の X I I I a - X I I I a 線に沿った断面図であり、(b) は図 1 2 の薄膜トランジスタ表示板の X I I I b - X I I I b 線に沿った断面図である。

【符号の説明】

【0 1 1 6】

10

3 液晶層

1 0 0、2 0 0 (下部及び上部)表示板

1 9 1 画素電極

2 3 0 カラーフィルタ

2 7 0 共通電極

3 0 0、3 0 1 液晶表示板組立体

4 0 0 ゲート駆動部

4 0 0 a、4 0 0 b 第 1 及び第 2 ゲート駆動回路

5 0 0 データ駆動部

6 0 0 信号制御部

20

7 0 0、7 0 1 維持信号生成部

7 0 0 a、7 0 0 b 第 1 及び第 2 維持信号生成回路

7 1 0 信号生成回路

8 0 0 階調電圧生成部

C l c 液晶キャパシタ

C s t ストレージキャパシタ

G₁ ~ G_{2n}、G_d、G_{d1} ゲート線

D₁ ~ D_m データ線

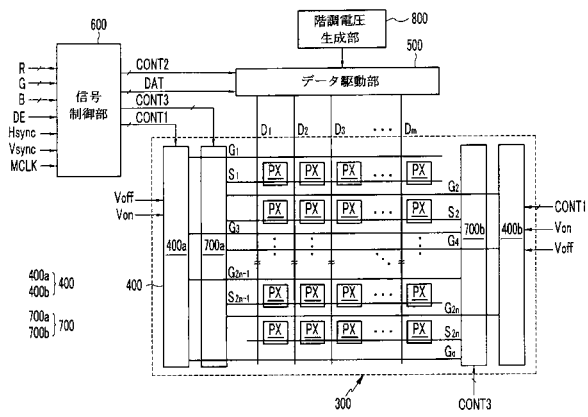
S₁ ~ S_{2n} 維持電極線

S T₁ ~ S T_{2n} 信号生成回路

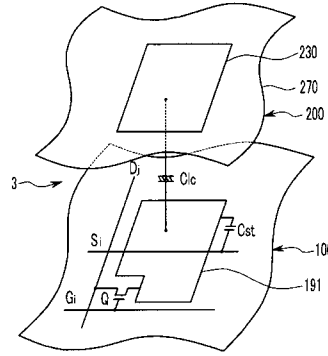
30

P X 画素

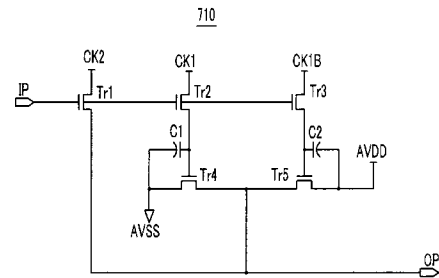
【図 1】



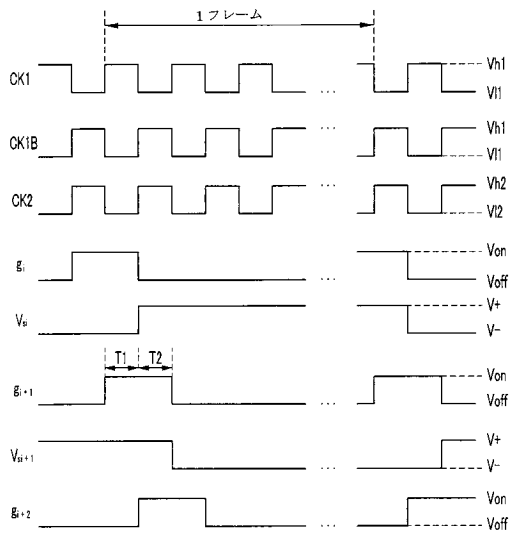
【図 2】



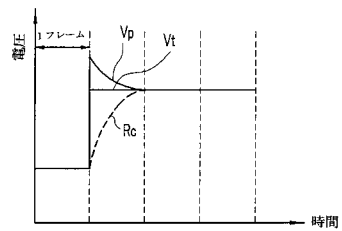
【図 3】



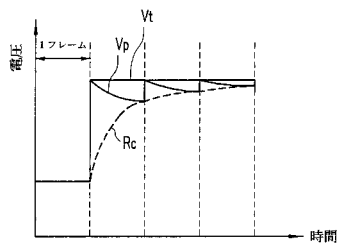
【図 4】



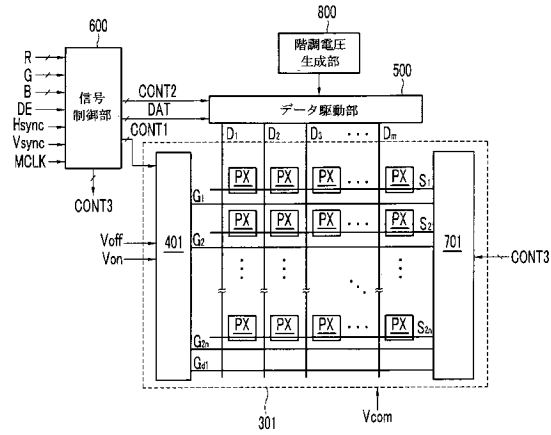
【図 5】



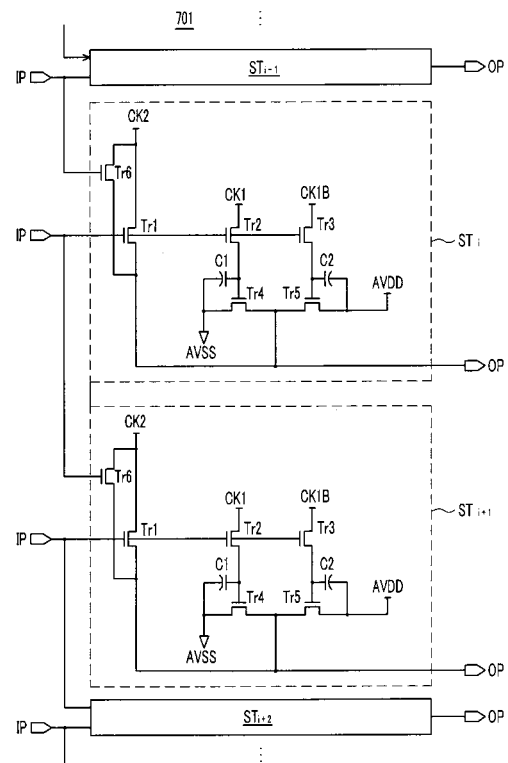
【図 6】



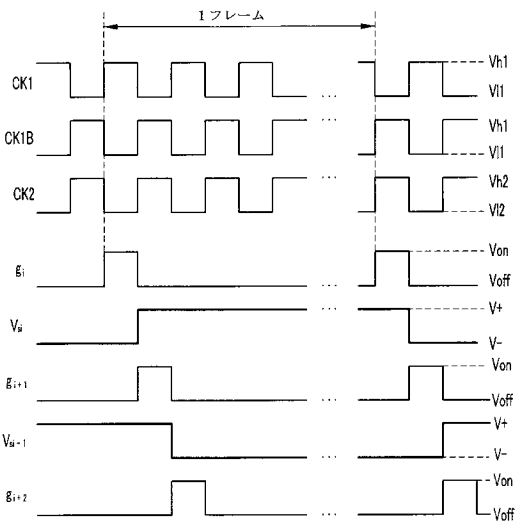
【図 7】



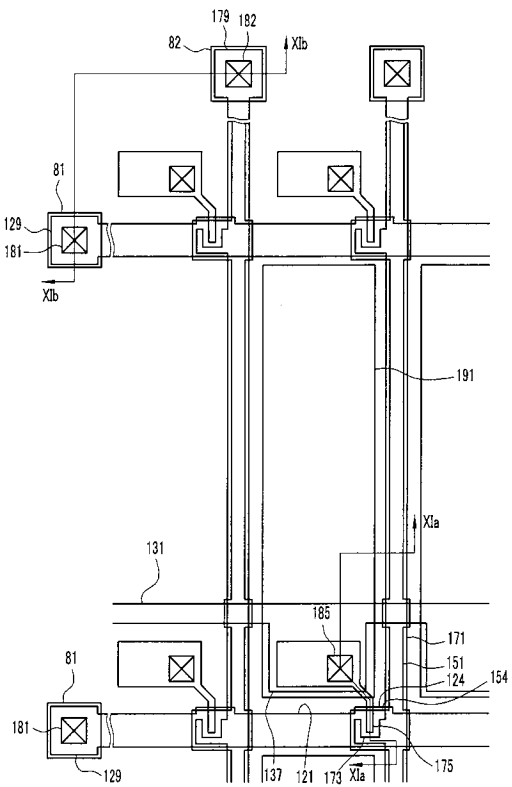
【図 8】



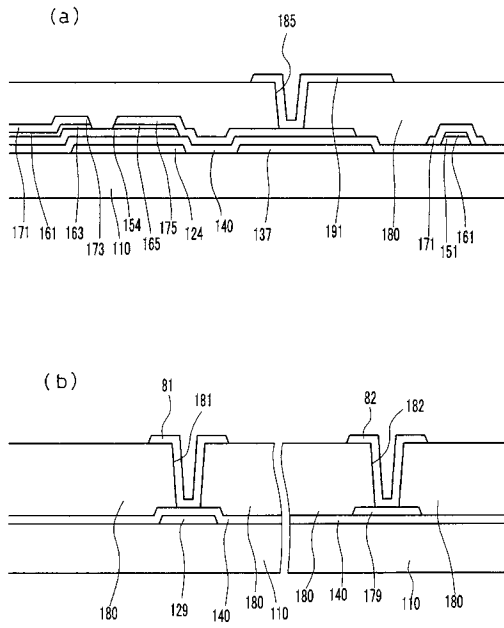
【図 9】



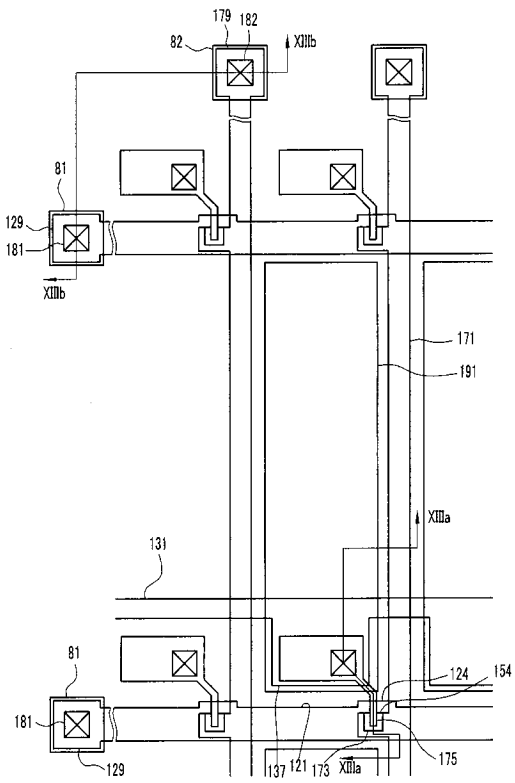
【図 10】



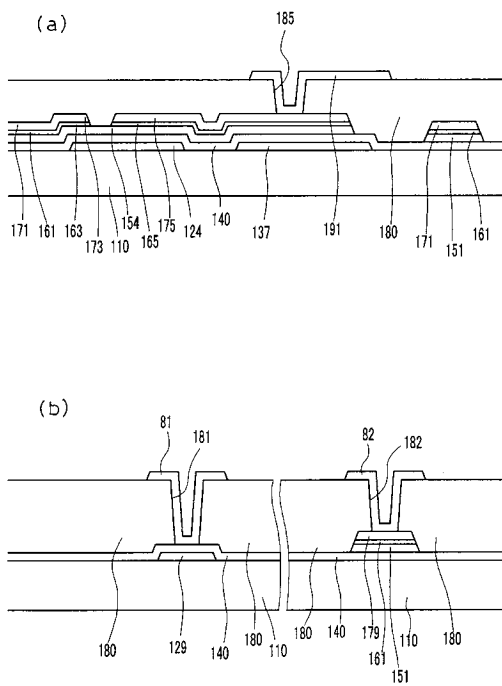
【図 1 1】



【図 1 2】



【図 1 3】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 4 E
G 0 9 G	3/20	6 2 4 D
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 2 4 Z
G 0 9 G	3/20	6 2 1 B
G 0 9 G	3/20	6 2 1 F
G 0 9 G	3/20	6 4 2 E

F ターム(参考) 5C006 AA16 AA22 AC11 AC23 AC25 AC27 AF42 AF71 AF83 BB16
BC02 BC03 BC12 BC20 BC22 BF34 BF37 BF43 EB05 FA14
FA18 FA41 FA46 FA47 FA51 FA54
5C080 AA10 BB06 CC03 DD03 DD08 DD24 DD25 DD26 DD28 EE29
FF11 FF13 JJ02 JJ03 JJ04 JJ06

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2007199723A5	公开(公告)日	2010-03-11
申请号	JP2007016238	申请日	2007-01-26
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	全珍		
发明人	全珍		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G02F1/136213 G09G3/3614 G09G2300/0426 G09G2310/08 G09G2320/0252 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.624.A G09G3/20.623.D G09G3/20.622.D G09G3/20.624.E G09G3/20.624.D G09G3/20.611.A G09G3/20.624.Z G09G3/20.621.B G09G3/20.621.F G09G3/20.642.E		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC34 2H093/NC35 2H093/NC36 2H093/ND39 2H093/NE01 2H093/NH12 2H093/NH18 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AC23 5C006/AC25 5C006/AC27 5C006/AF42 5C006/AF71 5C006/AF83 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC12 5C006/BC20 5C006/BC22 5C006/BF34 5C006/BF37 5C006/BF43 5C006/EB05 5C006/FA14 5C006/FA18 5C006/FA41 5C006/FA46 5C006/FA47 5C006/FA51 5C006/FA54 5C080/AA10 5C080/BB06 5C080/CC03 5C080/DD03 5C080/DD08 5C080/DD24 5C080/DD25 5C080/DD26 5C080/DD28 5C080/EE29 5C080/FF11 5C080/FF13 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZA08 2H193/ZF03 2H193/ZF22 2H193/ZF24 2H193/ZF36 2H193/ZP01		
优先权	1020060008148 2006-01-26 KR		
其他公开文献	JP2007199723A JP5364912B2		

摘要(译)

提供了一种能够降低功耗的显示装置。一种矩阵，包括栅极线，数据线，用于传输维持信号的维持电极线，开关元件，连接在开关元件公共电压之间的液晶电容器以及连接在开关元件维持电极线之间的存储电容器。像素具有信号产生电路，该信号产生电路基于选通信号产生维持信号，在数据电压充电到液晶电容器和存储电容器之后，维持信号的电压电平立即改变，并且信号控制电路输出第一控制信号。施加到栅极线的第 $(k+1)$ 个栅极信号(k 是自然数)改变操作状态，并且具有第一或第二电压电平的维持信号被施加到第 k 维持电极线。施加信号施加部分，第二和第三控制信号，通过第 $(k+1)$ 个门信号改变其操作状态的控制部分，以及通过控制部分的操作输出的维持信号施加部分。包括将维持信号维持预定时间的信号维持单元。[选择图]图3