

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2007-65657
(P2007-65657A)

(43) 公開日 平成19年3月15日(2007.3.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 621F	5C080
	G09G 3/20 660V	
	G09G 3/20 612U	
審査請求 未請求 請求項の数 21 O L (全 20 頁) 最終頁に続く		

(21) 出願番号 特願2006-229661 (P2006-229661)	(71) 出願人 390019839
(22) 出願日 平成18年8月25日 (2006.8.25)	三星電子株式会社
(31) 優先権主張番号 10-2005-0079412	S a m s u n g E l e c t r o n i c s
(32) 優先日 平成17年8月29日 (2005.8.29)	C o . , L t d .
(33) 優先権主張国 韓国 (KR)	大韓民国京畿道水原市靈通区梅灘洞416
	(74) 代理人 100094145
	弁理士 小野 由己男
	(74) 代理人 100106367
	弁理士 稲積 朋子
	(72) 発明者 李 白 雲
	大韓民国京畿道龍仁市新鳳洞新エルジー1
	次ビレッジ104棟902号
	Fターム(参考) 2H093 NA16 NB16 NC09 NC11 NC28
	最終頁に続く

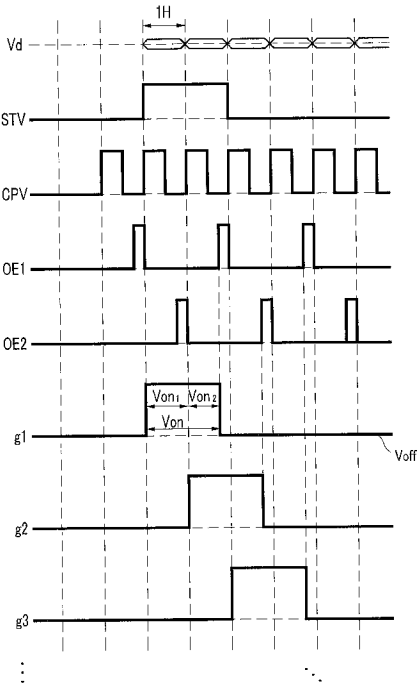
(54) 【発明の名称】 表示装置及びその駆動方法

(57) 【要約】

【課題】 液晶キャパシタの充電時間の不足による画質劣化を防止する。

【解決手段】 第1画素行に位置した複数の第1画素及び第1画素行のすぐ後の第2画素行に位置した複数の第2画素と、第1画素に第1ゲートオン電圧を伝達する第1ゲート線と、第2画素に第2ゲートオン電圧を伝達する第2ゲート線と、第1及び第2画素に接続され、一つの入力映像信号から得られたデータ電圧を伝達する複数のデータ線と、第1画素の第1入力映像信号及び第2画素の第2入力映像信号に基づいて第2画素の第2入力映像信号を補正して補正映像信号を生成する映像信号補正部、各第1及び第2ゲート線に第1ゲートオン電圧と第2ゲートオン電圧を印加するゲート駆動部と、補正映像信号を受信してデータ電圧に変換してデータ線に印加するデータ駆動部とを備える。この時、第1ゲートオン電圧と第2ゲートオン電圧は所定の時間重なる。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

第 1 画素行に位置した第 1 画素と、
 前記第 1 画素行の次段に位置する第 2 画素行に位置し、前記第 1 画素に列方向に隣接した第 2 画素と、
 第 1 ゲートオン電圧を前記第 1 画素に伝達する第 1 ゲート線と、
 第 2 ゲートオン電圧を前記第 2 画素に伝達する第 2 ゲート線と、
 第 1 及び第 2 データ電圧を前記第 1 及び第 2 画素にそれぞれ伝達するデータ線と、
 前記第 1 画素の第 1 入力映像信号及び前記第 2 画素の第 2 入力映像信号に基づいて第 2 入力映像信号を補正して補正映像信号を生成する映像信号補正部と、
 前記各第 1 及び第 2 ゲート線に前記第 1 ゲートオン電圧と前記第 2 ゲートオン電圧を印加するゲート駆動部と、
 前記第 1 入力映像信号及び前記補正映像信号を前記第 1 及び第 2 データ電圧にそれぞれ変換して前記データ線に印加するデータ駆動部とを備え、
 前記第 1 ゲートオン電圧及び前記第 2 ゲートオン電圧は所定の時間重なることを特徴とする表示装置。

10

【請求項 2】

前記映像信号補正部は画素行の番号を計数して計数値を出力するカウンタを有し、
 前記映像信号補正部は前記計数値に基づいて前記第 2 入力映像信号を補正することを特徴とする請求項 1 に記載の表示装置。

20

【請求項 3】

前記カウンタは外部から印加されるデータイネーブル信号に基づいて前記計数値を出力することを特徴とする請求項 2 に記載の表示装置。

【請求項 4】

前記映像信号補正部は次式により前記補正映像信号 (d_q') を算出することを特徴とする請求項 2 に記載の表示装置。

$d_q' = d_q + f(q, d_q, d_{q-1})$ (ここで、 d_q は前記第 2 入力映像信号であり、 q は前記計数値であり、 d_{q-1} は前記第 1 入力映像信号である。)

ここで、 $d_q - d_{q-1} > 0$ であれば $f(q, d_q, d_{q-1}) > 0$ であり、 $d_q - d_{q-1} < 0$ であれば $f(q, d_q, d_{q-1}) < 0$ であり、 $d_q - d_{q-1} = 0$ であれば $f(q, d_q, d_{q-1}) = 0$ であり、 $q = 0$ であれば $f(q, d_q, d_{q-1}) = 0$ であり、 $r > q$ であれば $|f(r, d_r, d_{r-1})| \leq |f(q, d_q, d_{q-1})|$ である。

30

【請求項 5】

前記映像信号補正部は前記第 1 入力映像信号と前記第 2 入力映像信号との差によって前記第 2 入力映像信号を補正することを特徴とする請求項 2 に記載の表示装置。

【請求項 6】

前記映像信号補正部は次式により前記補正映像信号 (d_q') を算出することを特徴とする請求項 5 に記載の表示装置。

$d_q' = d_q + \alpha(q)(d_q - d_{q-1})$ (ここで d_q は前記第 2 入力映像信号であり、 q は前記計数値であり、 d_{q-1} は前記第 1 入力映像信号である。)

40

ここで、 $\alpha(0) = 0$ であり、 $r > q$ であれば $\alpha(r) > \alpha(q)$ である。

【請求項 7】

前記第 1 及び第 2 ゲートオン電圧はそれぞれ予備充電用ゲートオン電圧と、前記予備充電用ゲートオン電圧に連続して生成される本充電用ゲートオン電圧を含み、

前記第 1 ゲートオン電圧の本充電用ゲートオン電圧と前記第 2 ゲートオン電圧の予備充電用ゲートオン電圧が重なることを特徴とする請求項 1 に記載の表示装置。

【請求項 8】

前記ゲート駆動部及び前記データ駆動部を制御する信号制御部をさらに備え、

前記信号制御部は、前記第 1 ゲートオン電圧と前記第 2 ゲートオン電圧の出力開始を指示する垂直同期開始信号と、前記第 1 及び第 2 ゲートオン電圧の持続時間を限定する出力

50

イネーブル信号を前記ゲート駆動部に印加することを特徴とする請求項 7 に記載の表示装置。

【請求項 9】

前記出力イネーブル信号のパルス出力周期は 1 Hであることを特徴とする請求項 8 に記載の表示装置。

【請求項 10】

前記出力イネーブル信号は、前記第 1 ゲート線に印加される前記第 1 ゲートオン電圧の持続時間を限定する第 1 出力イネーブル信号と、前記第 2 ゲート線に印加される前記第 2 ゲートオン電圧の持続時間を限定する第 2 出力イネーブル信号を含むことを特徴とする請求項 8 に記載の表示装置。

10

【請求項 11】

前記第 1 及び第 2 出力イネーブル信号のパルス出力の周期は 2 Hであることを特徴とする請求項 10 に記載の表示装置。

【請求項 12】

前記第 1 出力イネーブル信号と前記第 2 出力イネーブル信号は 1 H 間隔で交互にパルスを出力することを特徴とする請求項 11 に記載の表示装置。

【請求項 13】

前記映像信号補正部は一つの画素行の第 1 入力映像信号を記憶するラインメモリを有することを特徴とする請求項 1 に記載の表示装置。

【請求項 14】

前記映像信号補正部は前記補正映像信号を記憶するルックアップテーブルを含むことを特徴とする請求項 1 に記載の表示装置。

20

【請求項 15】

前記第 1 入力映像信号に対応する第 1 データ電圧と、前記第 2 入力映像信号に対応する第 2 データ電圧の極性が同一極性であることを特徴とする請求項 1 に記載の表示装置。

【請求項 16】

前記表示装置は列反転であることを特徴とする請求項 15 に記載の表示装置。

【請求項 17】

第 1 画素行に位置した第 1 画素及び前記第 1 画素行のすぐ後に位置する第 2 画素行に位置し、前記第 1 画素に列方向に隣接した第 2 画素と、第 1 ゲートオン電圧を前記第 1 画素に伝達する第 1 ゲート線と、第 2 ゲートオン電圧を前記第 2 画素に伝達する第 2 ゲート線と、第 1 及び第 2 データ電圧を前記第 1 及び第 2 画素にそれぞれ伝達するデータ線と、前記第 1 画素の第 1 入力映像信号及び前記第 2 画素の第 2 入力映像信号に基づいて前記第 2 入力映像信号を補正して補正映像信号を生成する映像信号補正部と、前記各第 1 及び第 2 ゲート線に前記第 1 ゲートオン電圧と前記第 2 ゲートオン電圧を印加するゲート駆動部と、前記第 1 入力映像信号と前記補正映像信号を前記第 1 及び第 2 データ電圧にそれぞれ変換して前記データ線に印加するデータ駆動部とを備える表示装置の駆動方法において、

30

前記第 1 ゲート線に前記第 1 ゲートオン電圧を印加する段階と、

前記第 1 画素に前記第 1 データ電圧を印加する段階と、

前記第 2 ゲート線に第 2 ゲートオン電圧を印加する段階と、

40

前記第 2 画素に前記第 1 データ電圧を印加する段階と、

前記第 1 ゲートオン電圧の印加を中止する段階と、

前記第 2 画素に前記第 2 データ電圧を印加する段階と、

前記第 2 ゲートオン電圧の印加を中止する段階とを含むことを特徴とする表示装置の駆動方法。

【請求項 18】

前記第 1 及び第 2 ゲートオン電圧はそれぞれ予備充電用パルスと本充電用パルスを含むことを特徴とする請求項 17 に記載の表示装置の駆動方法。

【請求項 19】

前記第 1 データ電圧は、前記第 1 ゲートオン電圧の本充電ゲートオン電圧と前記第 2 ゲー

50

トオン電圧の前記予備充電ゲートオン電圧の印加後に前記第 1 及び第 2 画素に印加され、前記第 2 データ電圧は、前記第 2 ゲートオン電圧の本充電ゲートオン電圧の印加後に前記第 2 画素に印加されることを特徴とする請求項 18 に記載の表示装置の駆動方法。

【請求項 20】

前記第 1 ゲートオン電圧の前記予備充電ゲートオン電圧と前記第 2 ゲートオン電圧の前記本充電ゲートオン電圧は、所定の時間重なることを特徴とする請求項 19 に記載の表示装置の駆動方法。

【請求項 21】

前記表示装置は列反転であることを特徴とする請求項 17 に記載の表示装置の駆動方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は表示装置及びその駆動方法に関する。

【背景技術】

【0002】

一般の液晶表示装置は、画素電極及び共通電極を具備した二つの表示板と、その間で挟持された誘電率異方性を有する液晶層とを備える。画素電極は行列状に配列されており、薄膜トランジスタ (TFT) などスイッチング素子に接続され、一行ずつ順次にデータ信号の印加を受ける。共通電極は表示板の全面に亘って形成され、共通電圧の印加を受ける。画素電極、共通電極及びその間の液晶層は、回路的には液晶キャパシタを構成し、液晶キャパシタは、これに接続されたスイッチング素子と共に画素を構成する基本単位になる。

20

【0003】

このような液晶表示装置は、二つの電極に電圧を印加して液晶層に電界を生成し、この電界の強さを調節して液晶層を通過する光の透過率を調節することによって所望の画像を得る。この時、液晶層に一方向の電界が長く印加されることによって発生する劣化現象を防止するためにフレーム毎に、行毎に、または画素毎に共通電圧に対するデータ信号の電圧極性を反転させる。

【0004】

このような液晶表示装置は、コンピュータの表示装置のみならず、テレビなどの表示画面にも広く使用されるようになり、動画表示に対応できることが要求されている。しかしながら、液晶表示装置は、液晶の応答速度が遅く、動画表示に適していない。また、液晶表示装置は、画像データを書き込んでから次の画像データを書き込むまで、表示を保持するホールドタイプ (hold type) の表示装置であるので、動画を表示するときにボケが生じ、解像度が低下するという、画像のブラーリング (blurring) 現象が発生する。

30

【0005】

このような問題を解消するために、液晶キャパシタに実質的に表示に係わる正常データ電圧が印加される前に、所定の時間予備充電 (pre-charging) 電圧を印加して、予め液晶分子をある程度配向させる。このようにすれば、液晶キャパシタの現在電圧と目標電圧との差が比較的になくなり、短時間内に目標電圧に達することができるようになる。

40

【0006】

しかしながら、同一画素行に存在する複数のキャパシタに同一の大きさの正常データ電圧が印加されても、予備充電した電圧が互いに異なる場合には、液晶キャパシタに充電された電圧が互いに異なるため輝度差が生じ、画像が二重になって見えるなど画質劣化が発生する。

【発明の開示】

【発明が解決しようとする課題】

【0007】

50

本発明は、前記のような従来の問題点を解決するためになされたものであって、その目的は、液晶キャパシタの充電時間の不足による画質劣化を防止することである。本発明の他の目的は、予備充電によって発生する表示装置の画質劣化を改善することである。

【課題を解決するための手段】

【0008】

前述した目的を達成するための本1発明の一実施形態に係る表示装置は、第1画素行に位置した第1画素及び前記第1画素行のすぐ後に位置する第2画素行に位置し、前記第1画素に列方向に隣接した第2画素と、第1ゲートオン電圧を前記第1画素に伝達する第1ゲート線と、第2ゲートオン電圧を前記第2画素に伝達する第2ゲート線と、第1及び第2データ電圧を前記第1及び第2画素に伝達するデータ線と、前記第1画素の第1入力映像信号及び前記第2画素の第2入力映像信号に基づいて前記第2入力映像信号を補正して補正映像信号を生成する映像信号補正部と、前記各第1及び第2ゲート線に前記第1ゲートオン電圧と前記第2ゲートオン電圧を印加するゲート駆動部と、前記第1入力映像信号と前記補正映像信号を前記第1及び第2データ電圧にそれぞれ変換して前記データ線に印加するデータ駆動部とを備え、前記第1ゲートオン電圧と前記第2ゲートオン電圧は所定の時間重なる。

【0009】

従来の表示装置であれば、第1ゲートオン電圧と第2ゲートオン電圧は重なることなく異なる期間で出力される。よって、例えば1H期間のあいだ第1ゲートオン電圧が印加されると、次の1H期間のあいだ第2ゲートオン電圧が印加されるというように、第1及び第2ゲートオン電圧は重畳しない。しかし、本発明によれば、直近に隣接したゲート線に伝達される二つのゲートオン電圧を所定の時間重畳する。例えば、1H期間を過ぎても第1ゲートオン電圧が印加されることで、次の1H期間では第1及び第2ゲートオン電圧がともに印加される。このようにゲートオン電圧の全体の印加時間を増加することで、各画素の充電時間が増加する。さらに、データ電圧差の小さい直近の隣接した画素のデータ電圧を用いて予備充電を行なうため、所望の大きさを有する電圧への充電が容易に行なわれる。

【0010】

また、映像信号補正部は、同一画素行において、予備充電されたデータ電圧を考慮して正常データ電圧の大きさを補正する。そして、この補正された正常データ電圧が画素に印加される。これにより、同一の正常データ電圧で本充電がなされる同一画素行の画素で互いに異なる電圧で予備充電されるによって発生する輝度差が減少し、画質が良くなる。

発明2は、発明1において、前記映像信号補正部は、画素行の番号を計数して計数値を出力するカウンタを有し、前記映像信号補正部は、前記計数値に基づいて前記第2入力映像信号を補正することが望ましい。

【0011】

正常データ電圧の大きさを補正するときに画素行の番号を考慮するので、データ線の配線抵抗や信号遅延などによる画質劣化が減少する。

発明3は、発明2において、前記カウンタは、外部から印加されるデータイネーブル信号に基づいて前記計数値を出力することを特徴とする。

データイネーブル信号に基づいて計数値を出力することで、正常データ電圧を補正する際に、該当する画素行との同期をとることができる。

【0012】

発明4は、発明2において、前記映像信号補正部は、 $d_q' = d_q + f(q, d_q, d_{q-1})$ (ここで、 d_q は前記第2入力映像信号であり、 q は前記計数値であり、 d_{q-1} は前記第1入力映像信号である。)により前記補正映像信号(d_q')を算出する。ここで、 $d_q - d_{q-1} > 0$ であれば $f(q, d_q, d_{q-1}) > 0$ であり、 $d_q - d_{q-1} < 0$ であれば $f(q, d_q, d_{q-1}) < 0$ であり、 $d_q - d_{q-1} = 0$ であれば $f(q, d_q, d_{q-1}) = 0$ であり、 $q = 0$ であれば $f(q, d_q, d_{q-1}) = 0$ であり、 $r > q$ であれば $|f(r, d_r, d_{r-1})| \leq |f(q, d_q, d_{q-1})|$ である。

10

20

30

40

50

【0013】

直前の第1入力映像信号(d_{q-1})が現在の第2入力映像信号(d_q)より大きい場合、関数(f)値は0より小さい値になり、補正映像信号(d_q')は現在の映像信号(d_q)より小さい値になる。逆に、直前の第1入力映像信号(d_{q-1})が現在の第2入力映像信号(d_q)より小さい場合、関数(f)値は0より大きい値になって補正映像信号(d_q')は現在の映像信号(d_q)より大きい値になる。つまり、予備充電に用いられる第1入力映像信号(d_{q-1})が、本来印加される第2入力映像信号(d_q)よりも小さい場合には、補正映像信号を大きくしてより急速に画素電圧を充電するようにする。

【0014】

発明5は、発明2において、前記映像信号補正部は、前記第1入力映像信号と前記第2入力映像信号の差によって前記第2入力映像信号を補正することを特徴とする。 10

発明6は、発明5において、前記映像信号補正部は $d_q' = d_q + \alpha(q)(d_q - d_{q-1})$ (ここで d_q は前記第2入力映像信号であり、 q は前記計数値であり、 d_{q-1} は前記第1入力映像信号である。)により前記補正映像信号(d_q')を算出する。ここで、 $\alpha(0) = 0$ であり、 $r > q$ であれば $\alpha(r) > \alpha(q)$ である。補正映像信号(d_q')は、上記式によっても算出することができる。

【0015】

発明7は、発明1において、前記第1及び第2ゲートオン電圧は、それぞれ予備充電用ゲートオン電圧と前記予備充電用ゲートオン電圧に連続して生成される本充電用ゲートオン電圧を含み、前記第1ゲートオン電圧の本充電用ゲートオン電圧と、前記第2ゲートオン電圧の予備充電用ゲートオン電圧が重なることが望ましい。 20

発明8は、発明7において、前記表示装置は、前記ゲート駆動部及び前記データ駆動部を制御する信号制御部をさらに備え、前記信号制御部は、前記第1ゲートオン電圧と前記第2ゲートオン電圧の出力開始を指示する垂直同期開始信号と、前記第1及び第2ゲートオン電圧の持続時間を限定する出力イネーブル信号を前記ゲート駆動部に印加することが望ましい。

【0016】

第1ゲート線(G_1)から順次にゲートオン電圧(V_{on})が順次に印加されれば、全画素(PX)はすぐ直前のゲート線に接続された画素電極に印加されるデータ電圧(V_d)で予備充電された後、補正映像信号に対応するデータ電圧で連続して本充電される。そのため、ゲートオン電圧の全体印加時間が増加し、これによって各画素の充電時間が増加する。さらに、データ電圧差の小さい直近の隣接した画素のデータ電圧で予備充電を行なうため、所望の大きさを有する電圧への充電が容易に行なわれる。 30

【0017】

発明9は、発明8において、前記出力イネーブル信号のパルス出力周期は1Hであることを特徴とする。

発明10は、発明8において、前記出力イネーブル信号は、前記第1ゲート線に印加される前記第1ゲートオン電圧の持続時間を限定する第1出力イネーブル信号及び前記第2ゲート線に印加される前記第2ゲートオン電圧の持続時間を限定する第2出力イネーブル信号を含むことを特徴とする。 40

【0018】

発明11は、発明10において、前記第1及び第2出力イネーブル信号のパルス出力周期は2Hであることを特徴とする。

発明12は、発明11において、前記第1出力イネーブル信号と前記第2出力イネーブル信号は、1H間隔で交互にパルスを出力することが望ましい。

発明13は、発明1において、前記映像信号補正部は一つの画素行の第1入力映像信号を記憶するラインメモリを有することを特徴とする。

【0019】

発明14は、発明1において、前記映像信号補正部は前記補正映像信号を記憶するルックアップテーブルを有することを特徴とする。 50

発明 15 は、発明 1 において、前記特徴による表示装置は、前記第 1 入力映像信号に対応する第 1 データ電圧と前記第 2 入力映像信号に対応する第 2 データ電圧との極性が同一であることが望ましい。

【0020】

第 1 及び第 2 データ電圧の極性が異なる場合には、第 1 及び第 2 データ電圧の電圧差が大きくなってしまいが、同一極性である場合には電圧差をある程度小さく抑えることができる。

発明 16 は、発明 1 において、前記特徴による表示装置は列反転であることが望ましい。

【0021】

本発明 17 の他の特徴による駆動方法は、第 1 画素行に位置した第 1 画素及び前記第 1 画素行のすぐ後に位置する第 2 画素行に位置し、前記第 1 画素に列方向に隣接した第 2 画素と、第 1 ゲートオン電圧を前記第 1 画素に伝達する第 1 ゲート線と、第 2 ゲートオン電圧を前記第 2 画素に伝達する第 2 ゲート線と、第 1 及び第 2 データ電圧を前記第 1 及び第 2 画素に伝達するデータ線と、前記第 1 画素の第 1 入力映像信号と前記第 2 画素の第 2 入力映像信号に基づいて前記第 2 入力映像信号を補正して補正映像信号を生成する映像信号補正部と、前記各第 1 及び第 2 ゲート線に前記第 1 ゲートオン電圧と前記第 2 ゲートオン電圧を印加するゲート駆動部と、前記第 1 入力映像信号と前記補正映像信号を前記第 1 及び第 2 データ電圧にそれぞれ変換して前記データ線に印加するデータ駆動部とを備える表示装置の駆動方法において、前記第 1 ゲート線に前記第 1 ゲートオン電圧を印加する段階と、前記第 1 画素に前記第 1 データ電圧を印加する段階と、前記第 2 ゲート線に第 2 ゲートオン電圧を印加する段階と、前記第 2 画素に前記第 1 データ電圧を印加する段階と、前記第 1 ゲートオン電圧の印加を中止する段階と、前記第 2 画素に前記第 2 データ電圧を印加する段階と、前記第 2 ゲートオン電圧の印加を中止する段階とを含む。

【0022】

発明 18 は、発明 17 において、前記第 1 及び第 2 ゲートオン電圧は、それぞれ予備充電用パルスと本充電用パルスを含むことを特徴とする。

発明 19 は、発明 18 において、前記第 1 データ電圧は、前記第 1 ゲートオン電圧の本充電ゲートオン電圧と前記第 2 ゲートオン電圧の前記予備充電ゲートオン電圧の印加後に前記第 1 及び第 2 画素に印加され、前記第 2 データ電圧は、前記第 2 ゲートオン電圧の本充電ゲートオン電圧の印加後に前記第 2 画素に印加されることが望ましい。

【0023】

発明 20 は、発明 19 において、前記第 1 ゲートオン電圧の前記予備充電ゲートオン電圧と前記第 2 ゲートオン電圧の前記本充電ゲートオン電圧は、所定の時間重なることが望ましい。

発明 21 は、発明 17 において、前記表示装置は列反転であることが望ましい。

【発明の効果】

【0024】

本発明によれば、すぐに隣接したゲート線に伝達される二つのゲートオン電圧を所定の時間重畳することによって、ゲートオン電圧の全体印加時間が増加し、これによって各画素の充電時間が増加する。さらに、データ電圧差の小さい直近の隣接した画素のデータ電圧で予備充電を行なうため、所望の大きさを有する電圧への充電が容易に行なわれる。

また、同一画素行において、予備充電されたデータ電圧を考慮して正常データ電圧の大きさを補正した後、画素に印加する。これにより、同一正常データ電圧で本充電がなされる同一画素行の画素で互いに異なる電圧で予備充電されるによって発生する輝度差が減少し、画質が良くなる。特に、正常データ電圧の大きさを補正するときに画素行の番号を考慮するので、データ線の配線抵抗や信号遅延などによる画質劣化が減少する。

【発明を実施するための最良の形態】

【0025】

添付した図面を参照して、本発明の実施形態を、本発明が属する技術分野における通常

10

20

30

40

50

の知識を有する者が容易に実施することができるように詳細に説明する。

図面は、各種層及び領域を明確に表現するために、厚さを拡大して示している。明細書全体を通じて類似した部分については同一な参照符号を付けている。層、膜、領域、板などの部分が、他の部分の“上に”あるとする時、これは他の部分の“すぐ上に”ある場合に限らず、その中間に更に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上に”あるとする時、これは中間に他の部分がない場合を意味する。

【0026】

以下、添付した図面を参照して本発明の表示装置及びその駆動方法に関する実施形態である液晶表示装置及びその駆動方法について説明する。

まず、図1及び図2を参照して本発明の一実施形態に係る液晶表示装置を詳細に説明する。 10

図1は、本発明の一実施形態に係る液晶表示装置のブロック図であり、図2は、本発明の一実施形態に係る液晶表示装置の一つの画素に対する等価回路図である。

【0027】

図1に示したように、本発明の一実施形態に係る液晶表示装置は、液晶表示板組立体300と、これに接続されたゲート駆動部400及びデータ駆動部500、データ駆動部500に接続された階調電圧生成部800、そしてこれらを制御する信号制御部600を備える。

液晶表示板組立体300は等価回路的には、複数の信号線(G_1-G_n 、 D_1-D_m)とこれに接続されほぼ行列状に配列された複数の画素(PX)を有する。反面、図2に示した構造によれば、液晶表示板組立体300は、互いに対向する下部及び上部表示板100、200とその間で挟持された液晶層3を有する。 20

【0028】

信号線(G_1-G_n 、 D_1-D_m)は、ゲート信号(走査信号とも言う)を伝達する複数のゲート線(G_1-G_n)とデータ信号を伝達する複数のデータ線(D_1-D_m)を有する。ゲート線(G_1-G_n)はほぼ行方向に延びて互いにほぼ平行であり、データ線(D_1-D_m)はほぼ列方向に延びて互いにほぼ平行である。

各画素(PX)、例えば*i*番目($i = 1, 2, \dots, n$)ゲート線(G_i)と*j*番目($j = 1, 2, \dots, m$)データ線(D_j)に接続された画素(PX)は、信号線($G_i D_j$)に接続されたスイッチング素子(Q)とこれに連結された液晶キャパシタ(C_{LC})及びストレージキャパシタ(C_{ST})を有する。ストレージキャパシタ(C_{ST})は必要によって省略してもよい。 30

【0029】

スイッチング素子(Q)は、下部表示板100に備えられている薄膜トランジスタなどの三端子素子であって、その制御端子はゲート線(G_i)に接続されており、入力端子はデータ線(D_j)に接続されており、出力端子は液晶キャパシタ(C_{LC})及びストレージキャパシタ(C_{ST})に接続されている。

液晶キャパシタ(C_{LC})は、下部表示板100の画素電極191と上部表示板200の共通電極270を二つの端子とし、二つの電極191、270の間の液晶層3は誘電体として機能する。画素電極191はスイッチング素子(Q)に接続され、共通電極270は上部表示板200の全面に形成され共通電圧(V_{com})の印加を受ける。図2と異なり、共通電極270が下部表示板100に具備されることもあり、この場合、二つの電極191、270のうちの少なくとも一つが互いに対向するように線形または棒形状に形成できる。 40

【0030】

液晶キャパシタ(C_{LC})の補助的な役割を果たすストレージキャパシタ(C_{ST})は、下部表示板100に具備された別個の信号線(図示せず)と画素電極191が絶縁体を介在して重畳されてなり、この別個の信号線には共通電圧(V_{com})などの定められた電圧が印加される。しかし、ストレージキャパシタ(C_{ST})は、画素電極191が絶縁体を媒介としてすぐ上の前段ゲート線と重畳されてなることができる。 50

【0031】

一方、色表示を実現するために各画素（ PX ）が基本色のうちの一つを固有に表示したり（空間分割）、各画素（ PX ）が時間によって交互に基本色を表示するように（時間分割）して、これら基本色の空間的、時間的作用で所望の色相が認識されるようにする。基本色の例としては赤色、緑色、青色などの三原色がある。図2は、空間分割の一例であり、各画素（ PX ）が画素電極191に対応する上部表示板200の領域に基本色のうちの一つを示すカラーフィルタ230を備える。図2とは異なり、カラーフィルタ230は、下部表示板100の画素電極191の上または下に形成することもできる。

【0032】

液晶表示板組立体300の外側面には光を偏光させる少なくとも一つの偏光子（図示せず）が付着されている。 10

再び図1を参照すれば、階調電圧生成部800は画素（ PX ）の透過率に関連する二組の階調電圧群（または基準階調電圧群）を生成する。二組のうちの一組は共通電圧（ V_{com} ）に対して正の値を有し、もう一組は負の値を有する。

【0033】

ゲート駆動部400は、液晶表示板組立体300のゲート線（ G_1-G_n ）に接続され、ゲートオン電圧（ V_{on} ）とゲートオフ電圧（ V_{off} ）の組み合わせからなるゲート信号をゲート線（ G_1-G_n ）に印加する。

データ駆動部500は、液晶表示板組立体300のデータ線（ D_1-D_m ）に接続されており、階調電圧生成部800からの階調電圧を選択し、これをデータ信号としてデータ線（ D_1-D_m ）に印加する。しかし、階調電圧生成部800が全階調に対する電圧を全て提供するのではなく、定められた数の基準階調電圧のみを提供する場合、データ駆動部500は、基準階調電圧を分圧して全階調に対する階調電圧を生成し、その中からデータ信号を選択する。 20

【0034】

信号制御部600は、ゲート駆動部400及びデータ駆動部500などを制御する。

このような駆動装置400、500、600、800のそれぞれは、少なくとも一つの集積回路チップの形態に液晶表示板組立体300上に直接装着されたり、フレキシブル印刷回路膜（図示せず）上に装着されてTCPの形態に液晶表示板組立体300に付着されたり、別途の印刷回路基板（図示せず）上に装着されることもできる。これとは異なり、これら駆動装置400、500、600、800が信号線（ G_1-G_n 、 D_1-D_m ）及び薄膜トランジスタスイッチング素子（ Q ）などと共に液晶表示板組立体300に集積されることもできる。また、駆動装置400、500、600、800は単一チップで集積でき、この場合、そのうちの少なくとも一つまたはそれらをなす少なくとも一つの回路素子が単一チップの外側に位置することができる。 30

【0035】

次に、このような液晶表示装置の動作について詳細に説明する。

信号制御部600は、外部のグラフィック制御部（図示せず）から入力映像信号（ R 、 G 、 B ）及びその表示を制御する入力制御信号を受信する。入力映像信号（ R 、 G 、 B ）は各画素（ PX ）の輝度情報を含み、輝度は決められた数、例えば、1024（ $=2^{10}$ ）、256（ $=2^8$ ）または64（ $=2^6$ ）個の階調（ $gray$ ）を有する。入力制御信号の例には、垂直同期信号（ $Vsync$ ）と水平同期信号（ $Hsync$ ）、メインクロック（ $MCLK$ ）、データイネーブル信号（ DE ）などがある。 40

【0036】

信号制御部600は、入力映像信号（ R 、 G 、 B ）と入力制御信号に基づいて入力映像信号（ R 、 G 、 B ）を液晶表示板組立体300の動作条件に合うように適切に処理し、ゲート制御信号（ $CONT1$ ）及びデータ制御信号（ $CONT2$ ）などを生成した後、ゲート制御信号（ $CONT1$ ）をゲート駆動部400に送出し、データ制御信号（ $CONT2$ ）と処理した映像信号（ DAT ）をデータ駆動部500に送出する。出力映像信号（ DAT ）はデジタル信号として定められた数の値（または階調）を有する。 50

【 0 0 3 7 】

ゲート制御信号 (CONT1) は、走査開始を指示する走査開始信号 (STV) とゲートオン電圧 (Von) の出力周期を制御する少なくとも一つのクロック信号を含む。ゲート制御信号 (CONT1) はまたゲートオン電圧 (Von) の持続時間を限定する出力イネーブル信号 (OE) と、ゲートオン電圧 (Von) の出力時期を制御するゲートクロック信号 (CPV) をさらに含むことができる。

【 0 0 3 8 】

データ制御信号 (CONT2) は、一つの行の画素 (PX) に対する映像データの伝送開始を知らせる水平同期開始信号 (STH) とデータ線 ($D_1 - D_m$) にデータ信号の印加を指示するロード信号 (LOAD) 及びデータクロック信号 (HCLK) を含む。データ制御信号 (CONT2) はまた、共通電圧 (Vcom) に対するデータ信号の電圧極性 (以下、共通電圧に対するデータ信号の電圧極性を略してデータ信号の極性という) を反転させる反転信号 (RVS) をさらに含むことができる。

10

【 0 0 3 9 】

信号制御部 600 からのデータ制御信号 (CONT2) に従って、データ駆動部 500 は一つの行の画素 (PX) に対するデジタル映像信号 (DAT) を受信し、各デジタル映像信号 (DAT) に対応する階調電圧を選択することによって、デジタル映像信号 (DAT) をアナログデータ信号に変換した後、これを当該データ線 ($D_1 - D_m$) に印加する。

ゲート駆動部 400 は、信号制御部 600 からのゲート制御信号 (CONT1) に従ってゲートオン電圧 (Von) をゲート線 ($G_1 - G_n$) に印加してこのゲート線 ($G_1 - G_n$) に接続されたスイッチング素子 (Q) を導通させる。するとデータ線 ($D_1 - D_m$) に印加されたデータ信号が導通したスイッチング素子 (Q) を介して当該画素 (PX) に印加される。

20

【 0 0 4 0 】

画素 (PX) に印加されたデータ信号の電圧と共通電圧 (Vcom) との差は液晶キャパシタ (C_{LC}) の充電電圧、つまり、画素電圧として現れる。液晶分子は画素電圧の大きさによってその配列が異なり、このため、液晶層 3 を通過する光の偏光が変化する。このような偏光の変化は、表示板組立体 300 に付着された偏光子によって光透過率の変化として現れ、これによって画素 (PX) は映像信号 (DAT) の階調が示す輝度を表示する。

30

【 0 0 4 1 】

1 水平周期 (1H ともいう。水平同期信号 Hsync 及びデータイネーブル信号 DE の一周期と同一である) を単位としてこの過程を繰り返すことによって、全ゲート線 ($G_1 - G_n$) に対して順次にゲートオン電圧 (Von) を印加して全画素 (PX) にデータ信号を印加することで 1 フレーム (frame) の映像を表示する。

1 フレームが終了すれば次のフレームが開始され、各画素 (PX) に印加されるデータ信号の極性が直前フレームでの極性と逆になるようにデータ駆動部 500 に印加される反転信号 (RVS) の状態が制御される (フレーム反転)。この時、1 フレーム期間内でも反転信号 (RVS) の特性によって一つのデータ線を介して流れるデータ極性は変わらず、互いに隣接したデータ線を介して流れるデータ極性は逆である (列反転)。

40

【 0 0 4 2 】

一方、液晶キャパシタ (C_{LC}) の両端に電圧を印加すれば、両端に印加される電圧差に基づいた大きさの画素電圧が液晶キャパシタ (C_{LC}) に充電される。

しかしながら、1 フレーム期間中に各画素 (PX) のスイッチング素子 (Q) を導通させてデータ電圧を印加する時間が制限されているため、液晶キャパシタ (C_{LC}) の充電時間を十分に与えることができず、さらに、液晶分子の遅い応答速度のため液晶キャパシタ (C_{LC}) の充電時間が不足してしまう。

【 0 0 4 3 】

この結果、所望の輝度に対応するデータ電圧を画素 (PX) に印加しても、液晶キャパシタ (C_{LC}) の充電時間の不足のため実際の画素電圧は目標画素電圧に達することができ

50

ず、所望の輝度を得ることができない。特に、データ電圧が伝達されるデータ線の長さが長くなることによって、配線抵抗と信号遅延時間などが増加する。これにより、データ電圧を出力するデータ駆動部 500 から遠くなるほど、画素 (PX) の画素電極 191 に印加される電圧である画素電極電圧が、データ駆動部 500 から出力されるデータ電圧より低くなり、このデータ電圧と画素電極電圧間の差は、実際の画素電圧と目標画素電圧との差を一層大きくする。

【0044】

このように、不足した充電時間を補うために、一つの画素行の画素は自身のデータ電圧 (以下、正常データ電圧という) の印加を受けて充電する本充電 (main charging) 以外に、前の画素行の画素に対応するデータ電圧を本充電前に予め充電する (以下、予備充電用電圧を予備充電データ電圧という) 予備充電を行なう。 10

次に、添付した図面を参照して本発明の実施形態に係る液晶表示装置の表示動作を説明する。

【0045】

本発明の実施形態に係る液晶表示装置は、同一の正常データ電圧が印加される画素間において、同一の画素行において予備充電データ電圧の差によって発生する画素電圧差を補正するための映像信号補正動作を行なう。

このような映像信号補正動作は信号制御部 600 内で行われるが、別途映像信号補正部で行われてもよく、任意の一つの画素行 (q) の画素 (PX) に対する映像信号 (以下、現在の映像信号 (d_q)) を、すぐ前の画素行 ($q-1$) の画素 (PX) に対する映像信号 (以下、直前の映像信号) (d_{q-1}) に基づいて補正し、補正された現在の映像信号 (以下、補正映像信号 (d_q')) を形成する。 20

【0046】

既に説明したように、データ電圧の反転方式は列反転である。

まず、図3を参照して本発明の一実施形態に係る液晶表示装置の映像信号補正部について説明する。

図3は、本発明の一実施形態に係る映像信号補正部のブロック図である。

図3に示すように、本発明の一実施形態に係る映像信号補正部 610 は、外部から印加されるデータライン信号 (DE) が印加されるカウンタ 601、任意の一つの画素行である q 番目の画素行に対応する現在の映像信号 (d_q) が印加されるラインメモリ 602、カウンタ 601 とラインメモリ 602 に接続されている補正部 603 を有する。 30

【0047】

カウンタ 601 は、入力されるデータライン信号 (DE) のパルス数を計数して、計数値 (q) を補正部 603 に出力する。即ち、計数値 (q) は現在の映像信号 (d_q) が何番目の画素行に該当するかを示す画素行の番号である。ここで $q = 0, 1, 2, \dots, n-1$ であり、 $q = 0$ が 1 番目の画素行である。

ラインメモリ 602 は、現在印加される q 番目の画素行に対応する現在の映像信号 (d_q) を記憶した後、直前に記憶されたすぐ前の画素行に対応する直前の映像信号 (d_{q-1}) を補正部 603 に出力する。映像信号補正部 610 は、図1に示した信号制御部 600 に含まれてもよく、別途の装置で実現されてもよい。 40

【0048】

補正部 603 は、カウンタ 601 とラインメモリ 602 から印加される計数値 (q)、直前の映像信号 (d_{q-1}) 及び現在の映像信号 (d_q) に基づいて現在の映像信号 (d_q) を補正した補正映像信号 (d_q') を生成する。

次に、映像信号補正部 610 の動作を詳細に説明する。

まず、外部から現在の画素行である q 番目の画素行に該当する現在の映像信号 (d_q) が印加されれば、ラインメモリ 602 は、記憶されたすぐ前の画素行である ($q-1$) 番目の画素行に該当する直前の映像信号 (d_{q-1}) を補正部 603 に出力し、直前の映像信号 (d_{q-1}) が記憶された番地に印加された現在の映像信号 (d_q) を記憶する。

【0049】

これにより、補正部 603 はカウンタ 601 からの計数值 (q)、ラインメモリ 602 の直前の映像信号 (d_{q-1}) 及び現在の映像信号 (d_q) に基づいて補正映像信号 (d_q') を生成する。以下、詳細に説明する。

補正部 603 は次式 (1) により補正映像信号 (d_q') を生成する。

[数 1]

$$d_q' = d_q + f(q, d_q, d_{q-1}) \cdot \dots \cdot (1)$$

前記式 (1) のように、補正映像信号 (d_q') は、現在の映像信号 (d_q)、つまり、 q 番目の画素行の映像信号に関数 (f) の値を加算して生成される。

【 0050 】

関数 (f) は次のような関係を有することを特徴とする。

10

(a) $d_q - d_{q-1} > 0$ であれば、 $f(q, d_q, d_{q-1}) > 0$

(b) $d_q - d_{q-1} < 0$ であれば、 $f(q, d_q, d_{q-1}) < 0$

(c) $d_q - d_{q-1} = 0$ であれば、 $f(q, d_q, d_{q-1}) = 0$

(d) $q = 0$ であれば、 $f(q, d_q, d_{q-1}) = 0$

(e) $r > q$ であれば、 $|f(r, d_r, d_{r-1})| \leq |f(q, d_q, d_{q-1})|$

なお、 r は任意の画素行である。

【 0051 】

即ち、直前の映像データ (d_{q-1}) が現在の映像信号 (d_q) より大きい場合、関数 (f) 値は 0 より小さい値になり、補正映像信号 (d_q') は現在の映像信号 (d_q) より小さい値になる。

20

逆に、直前の映像データ (d_{q-1}) が現在の画素行の映像信号である現在の映像信号 (d_q) より小さい場合、関数 (f) 値は 0 より大きい値になって補正映像信号 (d_q') は現在の映像信号 (d_q) より大きい値になる。また、直前の映像信号 (d_{q-1}) と現在の映像信号 (d_q) とが同一の場合には、補正映像信号 (d_q') はそのまま現在の映像信号 (d_q) になる。

【 0052 】

また、計数值 (q) が 0 である場合、つまり第 1 の画素行である場合には、データ線による信号遅延や配線抵抗による悪影響がほとんどないため、現在の映像信号 (d_q) をそのまま補正映像信号 (d_q') に出力する。

そして、計数值 (q) が大きくなるほど、つまりデータ駆動部 500 から遠く離れている画素行であるほど、関数 (f) 値を大きくして現在の映像信号 (d_q) に加えられる補正值を大きくする。このため、データ線 ($D_1 - D_m$) の配線抵抗や信号遅延の影響を大きく受ける画素行であるほど関数 (f) 値が増加する。

30

【 0053 】

このようにすれば、データ駆動部 500 から各画素 (PX) に印加するデータ電圧は、現在の映像信号 (d_q) に対応するデータ電圧と同一であるか、または高いか低い電圧となる。

他の例として、補正部 603 は、式 (1) を具体化した式 (2) により補正映像信号 (d_q') を生成することができる。

[数 2]

40

$$d_q' = d_q + \alpha(q) (d_q - d_{q-1}) \cdot \dots \cdot (2)$$

ここで、 $\alpha(0) = 0$ であり、 $r > q$ であれば $\alpha(r) > \alpha(q)$ である。

【 0054 】

前記式 (2) のように、補正映像信号 (d_q') は二つの映像信号 (d_q 、 d_{q-1}) の差に計数值 (q) に比例して変わる値 $\alpha(q)$ を乗算した補正值によって決定される。

画素行の番号 (計数值 q) が変われば、データ線の配線抵抗や信号遅延などが変化する。このような配線抵抗や信号遅延などの変化を考慮し、正常データ電圧の大きさを補正するときに、計数值 q を考慮して補正映像信号 (d_q') を生成する。これにより、計数值 q の変化による画質劣化が減少する。

【 0055 】

50

上記式(1)及び(2)は、各液晶表示装置の画像特性に応じて適宜決定される。

式(1)または式(2)により現在及び直前の映像信号(d_q 、 d_{q-1})と画素行の番号である計数値(q)とによって決定される補正映像信号(d_q')は、別途のルックアップテーブルに現在及び直前の映像信号(d_q 、 d_{q-1})と計数値(q)とに対する補正映像信号(d_q')の関数として記憶されることができる。

【0056】

これとは異なり、式(1)または式(2)に基づかないで、電圧に対する液晶の透過率曲線、階調に対する液晶の透過率曲線または計数値(q)などを考慮して、実験的に現在及び直前の映像信号(d_q 、 d_{q-1})と画素行番号(q)とに対する補正映像信号(d_q')を算出することができる。この算出された補正映像信号(d_q')は、現在及び直前の映像信号(d_q 、 d_{q-1})と画素行番号(q)に対する関数でルックアップテーブルに記憶される。

10

【0057】

ところが、画素行番号(q)と現在及び直前の映像信号(d_q 、 d_{q-1})とに対する全補正映像信号(d_q')を記憶するためにはルックアップテーブルの大きさが非常に大きくなってしまふ。そこで、例えば、一定階調間隔(例:16階調)の現在及び直前の映像信号(d_q 、 d_{q-1})と画素行番号(q)とに対する補正映像信号(d_q')に対してのみ記憶し、これ以外の現在及び直前の映像信号(d_q 、 d_{q-1})と画素行番号(q)とに対しては補間法で演算して補正映像信号(d_q')を求めることが好ましい。

【0058】

20

このような方法で、画素行番号(q)及び直前の入力映像信号(d_{q-1})などを考慮して現在の映像信号(d_q)に対応する補正映像信号(d_q')が求められれば、信号制御部600は、この補正映像信号(d_q')を映像データ(DAT)としてデータ駆動部500に印加する。データ駆動部500は、前述のように映像信号補正部610からの補正映像信号(d_q')に対応するデータ電圧を、データ線に印加する。

【0059】

次に、図4を参照して本発明の一実施形態に係る液晶表示装置の表示動作について説明する。

図4は、本発明の一実施形態に係る液晶表示装置で使用される様々な信号の波形図であり、データ電圧(V_d)、垂直同期開始信号(STV)、ゲートクロック信号(CPV)、出力イネーブル信号($OE1$ 、 $OE2$)及びゲート信号(g_1 、 g_2 、 g_3 、...)を示している。

30

【0060】

既に説明したように信号制御部600は、垂直同期開始信号(STV)、ゲートクロック信号(CPV)及び出力イネーブル信号($OE1$ 、 $OE2$)をゲート駆動部400に提供して、走査が行なわれるようにする。

図4で、一つの画素行に印加されるゲートオン電圧(V_{on})は、予備充電ゲートオン電圧(V_{on1})と、予備充電ゲートオン電圧(V_{on1})に連続する本充電ゲートオン電圧(V_{on2})とを含む。予備充電ゲートオン電圧(V_{on1})のパルス幅が、本充電ゲートオン電圧(V_{on2})のパルス幅よりほぼ出力イネーブル信号($OE1$ 、 $OE2$)のパルス幅分だけ広い。これにより、例えば、偶数番目のゲート線や水平周期ごとに印加されるゲートオン電圧(V_{on})と重なることがない。つまり、前段のゲート線に印加されるゲートオン電圧(V_{on})のうち予備充電ゲートオン電圧(V_{on1})と、次段のゲート線に印加されるゲートオン電圧(V_{on})のうち予備充電ゲートオン電圧(V_{on1})と、が重なることがない。ゲートオン電圧(V_{on1} 、 V_{on2})のパルス幅の大きさは変更可能である。予備充電ゲートオン電圧(V_{on1})のパルス幅の大きさは約1Hである。

40

【0061】

垂直同期開始信号(STV)はゲートオン電圧(V_{on})を出力するためのパルスを含む。

50

出力イネーブル信号 (OE1、OE2) は、信号制御部 600 からゲート駆動部 400 に提供され、当該ゲート線 ($G_1 - G_n$) を介して伝達されるゲートオン電圧 (V_{on}) の持続時間、つまり、パルス幅を限定する役割を果たす。本実施形態で、第 1 出力イネーブル信号 (OE1) は奇数番目のゲート線 ($G_1、G_3、\dots$) に印加されるゲートオン電圧 (V_{on}) の持続時間を限定し、第 2 出力イネーブル信号 (OE2) は偶数番目のゲート線 ($G_2、G_4、\dots$) に印加されるゲートオン電圧 (V_{on}) の持続時間を限定する。この出力イネーブル信号 (OE1、OE2) の波形は全て同一であり、信号制御部 200 の制御によって変更されるか、互いに異なる波形を有することができる。図 4 で、出力イネーブル信号 (OE1、OE2) が高い値を有するときは、ゲートオン電圧 (V_{on}) の出力が抑制されてゲートオフ電圧 (V_{off}) が出力され、低い値を有するときは、ゲートオン電圧 (V_{on}) が出力される。より具体的に、出力イネーブル信号 OE1 のハイからローの立ち下がりエッジに応答して、奇数番目のゲート線 ($G_1、G_3、\dots$) に予備充電ゲートオン電圧 V_{on1} が印加され、出力イネーブル信号 OE2 のハイからローの立ち下がりエッジに応答して、奇数番目のゲート線 ($G_1、G_3、\dots$) に本充電ゲートオン電圧 (V_{on2}) が印加されるとともに、偶数番目のゲート線 ($G_2、G_4、\dots$) に予備充電ゲートオン電圧 V_{on1} が印加される。出力イネーブル信号 (OE1、OE2) のハイ区間とロー区間の比は、予備充電が行われる時間と正常充電が行われる時間の比を考慮して必要によって調節可能であり、ハイ区間とロー区間の役割が逆であることもあり得る。

【0062】

次に、予備充電と本充電が行われる動作を詳細に説明する。

まず、信号制御部 600 は、ゲート駆動部 400 に印加される垂直同期開始信号 (STV) にパルスを生成し、ゲートクロック信号 (CPV) にパルスを生成する。信号制御部 600 から伝達されるゲートクロック信号 (CPV) にパルスが伝達されれば、ゲート駆動部 400 は、第 1 ゲート線 (G_1) から順次にゲートオン電圧 (V_{on}) を出力する。この時、図 4 に示したように、二つの出力イネーブル信号 (OE1、OE2) がゲート駆動部 400 に印加されて予備充電ゲートオン電圧 (V_{on1}) と本充電ゲートオン電圧 (V_{on2}) とが連続して出力され、奇数番目のゲート線 ($G_1、G_3、\dots$) に印加される。予備充電ゲートオン電圧 (V_{on1}) と本充電ゲートオン電圧 (V_{on2}) とを含むゲートオン電圧 (V_{on}) は、出力イネーブル信号 (OE1) によってそのパルス幅が決定される。一方、偶数番目のゲート線 ($G_2、G_4、\dots$) に印加されるゲートオン電圧 (V_{on}) は、出力イネーブル信号 (OE2) によってそのパルス幅が決定される。これにより、奇数番目のゲート線 ($G_1、G_3、\dots$) に印加されるゲートオン電圧 (V_{on}) と偶数番目のゲート線 ($G_2、G_4、\dots$) に印加されるゲートオン電圧 (V_{on}) の差は、この出力イネーブル信号 (OE1、OE2) のパルス出力差である 1H である。即ち、互いに直近に隣接した二つのゲート線に印加されるゲート電圧 (V_{on}) において、先行するゲート線に印加されるゲート電圧 (V_{on}) の本充電ゲートオン電圧 (V_{on2}) が印加される時期と、後続するゲート線に印加されるゲートオン電圧 (V_{on}) の予備充電ゲートオン電圧 (V_{on1}) が印加される時期が互いに重なる。

【0063】

このように、出力イネーブル信号 (OE1、OE2) の波形によって定められたパルス幅を各々有する予備充電ゲートオン電圧 (V_{on1}) と本充電ゲートオン電圧 (V_{on2}) とからなるゲートオン電圧 (V_{on}) が第 1 ゲート線 (G_1) から順次に出力される。よって、第 1 ゲート線 (G_1) から順に当該ゲート線に接続された画素電極 191 は、データ線 ($D_1 - D_m$) を介して伝達されるデータ電圧 (V_d) を順次に印加を受け、当該画素 (PX) に 1H の間、予備充電がなされる。予備充電が完了すればすぐ連続して、既に説明した映像信号補正部 610 などによる補正動作で生成される補正映像信号に対応するデータ電圧 (V_d) が正常データ電圧に伝達されて本充電がなされる。第 1 画素行の予備充電のために印加されるデータ電圧は、所定の階調を有する任意のデータ電圧 (V_d) として信号制御部 600 に内蔵されたメモリなどに記憶されることができる。

【0064】

10

20

30

40

50

既に説明したように、直前のゲート線と直前に隣接した次のゲート線とに印加されるゲートオン電圧 (V_{on}) は、前の画素行の本充電期間と直前に隣接した画素行の予備充電期間が重なる。これにより、本充電のために第1ゲート線 (G_1) に接続された画素電極191に印加される正常データ電圧 (V_d) が、第2ゲート線 (G_2) に接続された画素電極191にも同時に印加されて1Hの間予備充電の動作が行なわれる。

【0065】

次に、予備充電期間が経過すれば、第2ゲート線 (G_2) に接続された画素電極191は、データ駆動部500から伝達される正常データ電圧 (V_d) で本充電が行なわれる。

このような動作により、第1ゲート線 (G_1) から順次にゲートオン電圧 (V_{on}) が順次に印加されれば、全画素 (PX) はすぐ直前のゲート線に接続された画素電極191に印加されるデータ電圧 (V_d) で予備充電された後、既に説明した映像信号補正部610などによる動作によって生成される補正映像信号に対応するデータ電圧で連続して本充電される。そのため、ゲートオン電圧の全体印加時間が増加し、これによって各画素の充電時間が増加する。さらに、データ電圧差の小さい直前の隣接した画素のデータ電圧で予備充電を行なうため、所望の大きさを有する電圧への充電が容易に行なわれる。

10

【0066】

次に、図5乃至図7を参照して、本発明による予備充電と本充電が行われるときと、従来技術による予備充電と本充電が行われるときの画素に充電される画素電圧の変化について説明する。

図5は、本発明の一実施形態に係る液晶表示装置で最大階調と最少階調を利用して文字Pを表示するとき、同一画素行に隣接している二つの画素 (PX_a 、 PX_b) の画素電圧の変化を説明するための図面であり、図6は、本発明の一実施形態に係る図5に示した二つの画素 (PX_a 、 PX_b) にそれぞれデータ電圧が印加されるとき画素電極電圧 (画素電極に印加される電圧) と画素電圧 (データ信号の電圧と共通電圧 (V_{com}) との差である、液晶キャパシタCLCの充電電圧) の変化を示したグラフであり、図7は、従来技術により図5に示した二つの画素 (PX_a 、 PX_b) にそれぞれデータ電圧が印加されるとき画素電極電圧と画素電圧の変化を示したグラフである。

20

【0067】

図5に示すように、二つの画素 (PX_a 、 PX_b) は、例えばr番目の同一画素行に存在し、全て同一階調、例えばノーマリーブラックモードの液晶表示装置である場合、本充電のための正常データ電圧として最大階調であるホワイト用データ電圧の印加を受ける。ホワイト用データ電圧が二つの画素 (PX_a 、 PX_b) に印加されていることを表すために、図5では、二つの画素 (PX_a 、 PX_b) は、白抜きで表されている。

30

【0068】

図6に示すように、r番目のゲート線 (G_r) に印加されるゲート信号 (g_r) は、($r-1$) 番目のゲート線 (G_{r-1}) に印加されるゲート電圧と1Hの間重なるため、($r-1$) 番目の画素行から引き続いてゲートオン電圧がr番目の画素行に印加される。

図5及び図6に示したように、前の画素行 ($r-1$) の画素 (PX_a') に印加される正常データ電圧は、最少階調であるブラック用データ電圧である。図5では画素 (PX_a') は、黒で表されている。これにより、画素 (PX_a) に印加されるデータ電圧 (S_{DA}) は、予備充電期間ではブラック用データ電圧となり、本充電期間では正常データ電圧、つまりホワイト用データ電圧となる。この時、既に説明した映像信号補正部などの動作によって画素行の番号、現在の映像信号及び直前の映像信号に基づいて現在の映像信号の補正值が算出される。このようにして、画素 (PX_a) の本充電のために印加されるデータ電圧 (S_{DA}) は、現在の映像信号に対応するデータ電圧にこの補正值に該当するデータ電圧 (S_{DA}) が加算された大きさを有する。これに対し、図5及び図6に示したように、前の画素行 ($r-1$) の画素 (PX_b') に印加される正常データ電圧はホワイト用データ電圧である。この結果、画素 (PX_b) に印加されるデータ電圧 (S_{DB}) は、予備充電期間と本充電期間中において同一のホワイト用データ電圧となる。

40

【0069】

50

前記データ電圧 (S_{DA} 、 S_{DB}) は、当該データ線に沿って伝達されながら配線抵抗やデータ線と画素電極の間で形成される寄生キャパシタなどの影響で所定の時間遅延され、当該画素 (PXa 、 PXb) に画素電極電圧 (V_{DA} 、 V_{DB}) として印加される。しかし、図 6 に示したように、画素 (PXb) に印加される画素電極電圧 (V_{DB}) は、前の画素行のデータ電圧と同一であるので信号遅延が発生しない。

【0070】

このような画素電極電圧 (V_{DA} 、 V_{DB}) の印加により画素 (PXa 、 PXb) に充電される画素電圧 (V_{PA} 、 V_{PB}) は図 6 と同様である。図 6 に示したように、画素 (PXa 、 PXb) の予備充電期間に印加されるデータ電圧 (S_{DA} 、 S_{DB}) が異なるため、予備充電期間に充電される画素電圧 (V_{PA} 、 V_{PB}) の大きさも同一ではない。しかし、既に画素 (PXa) 用データ電圧 (S_{DA}) を補正して、補正值 (S_{DA}) 分だけ大きい電圧が印加されるので、予備充電時発生する画素電圧 (V_{PA} 、 V_{PB}) 間の大きさの差は補償され、二つの画素電圧 (V_{PA} 、 V_{PB}) 間の大きさはほぼ同一である。この結果、予備充電時互いに異なる画素電圧 (V_{PA} 、 V_{PB}) の差による二つの画素 (PXa 、 PXb) の輝度差が発生しない。

10

【0071】

たとえ二つの画素電圧 (V_{PA} 、 V_{PB}) が同一でなくても、人間の目で物を認識する時、周縁（または境界）部分をより明るい輝度で認識するので、ブラック色相とホワイト色相の境界である画素 (PXa 、 PXb) で発生する若干の輝度差はあまり見えない。

ところが、従来技術により図 5 に示した画素 (PXa 、 PXb) にデータ電圧 (S_{DA} 、 S_{DB}) が印加されるときには、二つの画素 (PXa 、 PXb) の予備充電期間に発生する画素電圧 (V_{PA} 、 V_{PB}) の差を補償しない。つまり、画素 (PXa) に印加されるデータ電圧 (S_{DA}) には補正值に対応するデータ電圧 (S_{DA}) が加算されない。このため、図 7 に示すように、二つの画素 (PXa 、 PXb) の画素電圧 (V_{PA} 、 V_{PB}) 間では前記データ電圧 (S_{DA}) に基づいた電圧差 (V) が生じ、本充電期間に画素電圧 (V_{PB}) が目標とする電圧 (V_{white}) まで充電することができない。この結果、二つの画素 (PXa 、 PXb) 間では、該電圧差 (V) 分だけの輝度差が生じ、画質の不良が発生する。

20

【0072】

以上の通り、本発明によれば、すぐに隣接したゲート線に伝達される二つのゲートオン電圧を所定の時間重畳することによって、ゲートオン電圧の全体印加時間が増加し、これによって各画素の充電時間が増加する。さらに、データ電圧差の小さいすぐに隣接した画素のデータ電圧で予備充電を行なうため、所望の大きさを有する電圧への充電が容易に行なわれる。

30

【0073】

また、同一画素行において、予備充電されたデータ電圧を考慮して正常データ電圧の大きさを補正した後、画素に印加する。これにより、同一正常データ電圧で本充電がなされる同一画素行の画素で互いに異なる電圧で予備充電されることによって発生する輝度差が減少し、画質が良くなる。特に、正常データ電圧の大きさを補正するときに画素行の番号を考慮するので、データ線の配線抵抗や信号遅延などによる画質劣化が減少する。

【0074】

次に、図 8 を参照して本発明の他の実施形態に係るゲート信号を生成する方法を説明する。

40

図 8 は、本発明の他の実施形態によりゲート信号を生成するために液晶表示装置で使用する垂直同期開始信号 (STV)、ゲートクロック信号 (CPV)、出力イネーブル信号 (OE) 及び r 番目画素行に印加されるゲート信号 (g_r) を示している。

【0075】

図 8 に示したように、本実施形態では一つの出力イネーブル信号 (OE) を使用する。

これにより、図 8 に示したゲート信号 (g_r) は図 4 に示したゲート信号とは異なり、予備充電のためのゲートオン電圧 (V_{on1}) と本充電のためのゲートオン電圧 (V_{on2}) が連続して生成されるのではなく、各予備充電期間と本充電期間に出力イネーブル

50

ル信号 (OE) によって定められたゲートオン電圧が出力される。つまり、予備充電のためのゲートオン電圧 (V_{on1}') と本充電のためのゲートオン電圧 (V_{on2}') とが 1H 間隔で交互にパルスを出力する。そして、次段のゲート線 G_{r+1} に印加されるゲート信号 (g_{r+1}) のうち予備充電のためのゲートオン電圧 (V_{on1}') が出力される期間は、前段のゲート線 G_r に印加されるゲート信号 (g_r) のうち本充電のためのゲートオン電圧 (V_{on2}') が出力される期間と重畳している。この本充電期間では、隣接する画素間の予備充電時に発生する画素電圧の差を補償するように補正された電圧が印加される。この結果、前述の実施形態と同様に、隣接する画素に予備充電時互いに異なる画素電圧が印加されても、その電圧差による二つの画素の輝度差が発生しない。

【0076】

10

以上、本発明の好ましい実施形態について詳細に説明したが、本発明の権利範囲はこれに限定されず、請求の範囲で定義している本発明の基本概念を利用した当業者の多様な変形及び改良形態も本発明の権利範囲に属するものである。

【図面の簡単な説明】

【0077】

【図1】本発明の一実施形態に係る液晶表示装置のブロック図である。

【図2】本発明の一実施形態に係る液晶表示装置の一つの画素に対する等価回路図である。

【図3】本発明の一実施形態に係る液晶表示装置の映像信号補正部のブロック図である。

【図4】本発明の一実施形態に係る液晶表示装置で使用される様々な信号の波形図である。

20

【図5】本発明の一実施形態に係る液晶表示装置で最大階調と最少階調を利用して文字Pを表示するときに、同一画素行に隣接している二つの画素の画素電圧の変化を説明するための図面である。

【図6】本発明の一実施形態に係る図5に示した二つの画素にそれぞれデータ電圧が印加されるときに画素電極電圧と画素電圧の変化を示したグラフである。

【図7】従来技術により図5に示した二つの画素にそれぞれデータ電圧が印加されるときに画素電極電圧と画素電圧の変化を示したグラフである。

【図8】本発明の他の実施形態によりゲート信号を生成するために液晶表示装置で使用される様々な信号の波形図である。

30

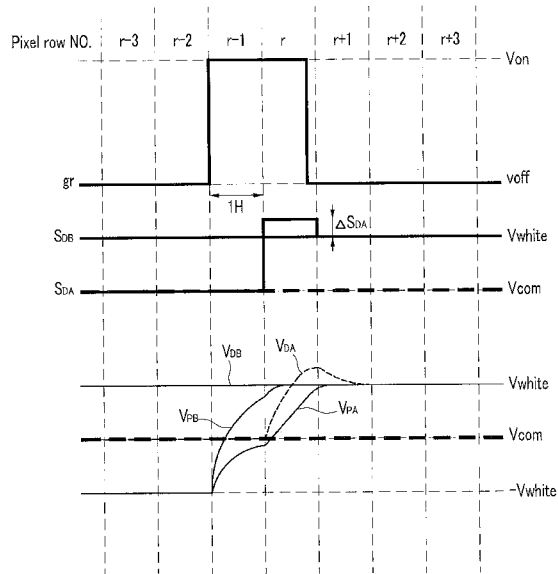
【符号の説明】

【0078】

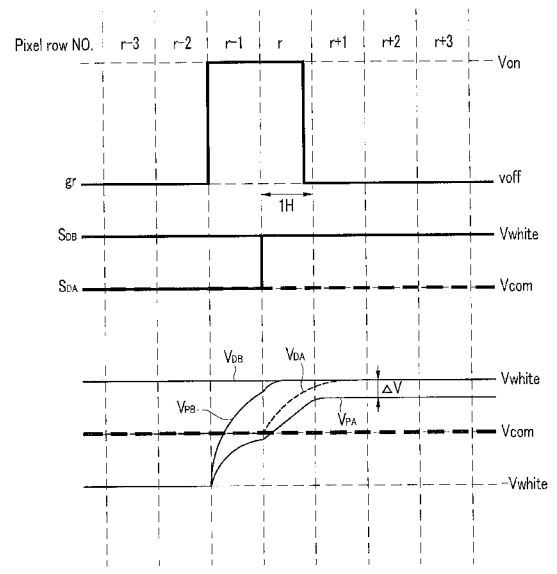
100、200 表示板
 300 液晶表示板組立体
 400 ゲート駆動部
 500 データ駆動部
 800 階調電圧生成部
 600 信号制御部
 191 画素電極
 270 共通電極
 3 液晶層
 230 カラーフィルタ
 610 映像信号補正部
 602 ラインメモリ
 601 カウンター
 603 補正部

40

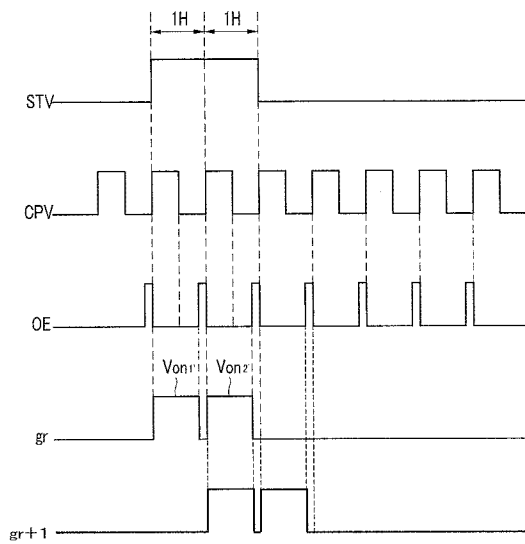
【図 6】



【図 7】



【図 8】



フロントページの続き

(51) Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20	6 2 3 R
	G 0 9 G 3/20	6 2 2 Q
	G 0 9 G 3/20	6 4 1 C
	G 0 9 G 3/20	6 4 1 P

F ターム(参考) 5C006 AA16 AA22 AC22 AF45 BB16 BC16 BF05 BF22 FA15 FA23
FA29 FA37
5C080 AA10 BB05 CC03 DD06 DD08 EE29 EE30 FF11 JJ01 JJ02
JJ04

专利名称(译)	<无法获取翻译>		
公开(公告)号	JP2007065657A5	公开(公告)日	2009-09-17
申请号	JP2006229661	申请日	2006-08-25
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
[标]发明人	李白雲		
发明人	李 白 雲		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3648 G09G2310/0205 G09G2310/0251 G09G2320/0223 G09G2320/0285		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.F G09G3/20.660.V G09G3/20.612.U G09G3/20.623.R G09G3/20.622.Q G09G3/20.641.C G09G3/20.641.P		
F-TERM分类号	2H093/NA16 2H093/NB16 2H093/NC09 2H093/NC11 2H093/NC28 5C006/AA16 5C006/AA22 5C006/AC22 5C006/AF45 5C006/BB16 5C006/BC16 5C006/BF05 5C006/BF22 5C006/FA15 5C006/FA23 5C006/FA29 5C006/FA37 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD06 5C080/DD08 5C080/EE29 5C080/EE30 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ04		
优先权	1020050079412 2005-08-29 KR		
其他公开文献	JP2007065657A JP5704781B2		

摘要(译)

要解决的问题：防止由于液晶电容器的充电时间不足而导致的图像质量下降。解决方案：显示装置包括设置在第一像素行中的多个第一像素和设置在第一像素行正后方的第二像素行中的多个第二像素，用于将第一栅极导通电压传输到第一像素行的第一栅极线。第一像素，用于将第二栅极导通电压传输到第二像素的第二栅极线，连接到第一和第二像素的多条数据线，并传输从一个输入视频信号获得的数据电压，视频信号校正单元，其通过基于第一像素的第一输入视频信号和第二像素的第二输入视频信号校正第二像素的第二视频信号来产生校正的视频信号，栅极驱动单元应用第一栅极 - 关于第一和第二栅极线的电压和第二栅极导通电压，以及接收校正后的视频信号的数据驱动单元，将其转换为数据电压，并应用数据电压到数据行。此时，第一栅极导通电压和第二栅极导通电压彼此重叠规定的时间。