

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-41229

(P2007-41229A)

(43) 公開日 平成19年2月15日(2007.2.15)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 621M	5C006
G02F 1/133 (2006.01)	G09G 3/20 623A	5C080
	G09G 3/20 623R	
	G09G 3/20 611Z	
審査請求 未請求 請求項の数 4 O L (全 11 頁) 最終頁に続く		

(21) 出願番号 特願2005-224517 (P2005-224517)
 (22) 出願日 平成17年8月2日(2005.8.2)

(71) 出願人 302020207
 東芝松下ディスプレイテクノロジー株式会社
 東京都港区港南4-1-8
 (74) 代理人 100105809
 弁理士 木森 有平
 (72) 発明者 原田 賢治
 東京都港区港南四丁目1番8号 東芝松下
 ディスプレイテクノロジー株式会社内
 Fターム(参考) 2H093 NA16 NA31 NB11 NC01 NC09
 NC11 NC16 NC24 NC34 NC35
 ND54
 5C006 BB16 BC11 BF31 FA21 FA37
 FA41 FA51
 5C080 AA10 BB05 DD22 JJ02 JJ03
 JJ06

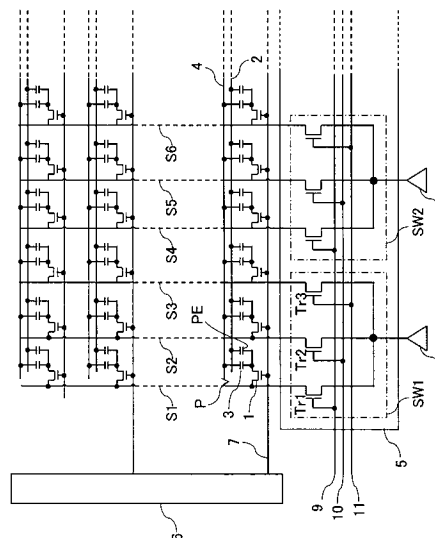
(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【要約】 (修正有)

【課題】 マルチプレクサ数を増やした場合にも、狭額縁化を図りながら、ソースラインへの画像信号供給能力を確保する。

【解決手段】 画像信号を伝達する複数のソースラインと、当該ラインと交差する方向に形成され走査信号を伝達するゲートライン7と、ソースラインとゲートラインの各交差部に対応して設けられた画素電極PEと、画素電極PEに画像信号を書き込むための画素トランジスタ1と、画素電極毎に設けられた蓄積容量3と、蓄積容量3をゲートライン7とに共通に接続する蓄積容量線4とを備える。ソースライン駆動回路5は、マルチプレクサ駆動される。そして、当該駆動回路5を構成するアナログスイッチSWと画像信号入力端子とを接続する配線の抵抗値に応じて、当該SWのオン抵抗が異なる値に設定されている。当該SWのオン抵抗は、例えば当該SWを構成するトランジスタのWサイズを調整することにより設定されている。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

画像信号を伝達する複数のソースラインと、前記ソースラインと交差する方向に形成され走査信号を伝達する複数のゲートラインと、前記ソースラインとゲートラインの各交差部に対応して設けられた画素電極と、前記画素電極に画像信号を書き込むための薄膜トランジスタと、前記画素電極毎に設けられた蓄積容量と、前記蓄積容量をゲートラインと平行な各行毎に共通に接続する蓄積容量線とを備えたアクティブマトリクス型液晶表示装置であって、

前記ソースラインに画像信号を供給するソースライン駆動回路がマルチプレクサ駆動されるとともに、

前記ソースライン駆動回路を構成するアナログスイッチと画像信号入力端子とを接続する配線の抵抗値に応じて、前記アナログスイッチのオン抵抗が異なる値に設定されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】

前記配線の抵抗値が高いアドレスのアナログスイッチのオン抵抗が低く設定され、前記配線の抵抗値が低いアドレスのアナログスイッチのオン抵抗が高く設定されていることを特徴とする請求項 1 記載のアクティブマトリクス型液晶表示装置。

【請求項 3】

前記アナログスイッチのオン抵抗は、アナログスイッチを構成するトランジスタの W サイズを調整することにより設定されていることを特徴とする請求項 1 または 2 記載のアクティブマトリクス型液晶表示装置。

【請求項 4】

前記アナログスイッチを構成するトランジスタの並列数により前記オン抵抗が設定されていることを特徴とする請求項 1 から 3 のいずれか 1 項記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス型液晶表示装置に関するものであり、特に、マルチプレクサ駆動を行うソースライン駆動回路を備えたアクティブマトリクス型液晶表示装置の改良に関する。

【背景技術】

【0002】

近年、パーソナルコンピュータやテレビ等の表示装置においては、薄型化且つ軽量化を目的とした開発が進められているが、特に液晶表示装置は、薄型化、軽量化及び低消費電力化が容易であることから盛んに開発が行われており、高解像度で大画面サイズのものが比較的低価格で入手できるようになりつつある。

【0003】

一般に、液晶表示装置は、画素電極及び対向電極をそれぞれ有する 2 つの基板（アレイ基板と対向基板）を備え、その間に誘電率異方性を有する液晶層が封入されることにより構成されている。ここで、アレイ基板においては、画素電極がマトリクス状に配列されるとともに、各画素電極には薄膜トランジスタ等のスイッチ素子が接続されており、当該スイッチ素子を介して前記画素電極に順次電圧の印加を受ける。一方、対向基板においては、対向電極が基板の全面に亘って形成されており、共通電圧の印加を受ける。アクティブマトリクス型の液晶表示装置においては、これら画素電極と対向電極及びその間の液晶層が、これに連結されたスイッチ素子とともに画素を構成する基本単位となる。

【0004】

前述のアクティブマトリクス型液晶表示装置の駆動方式としては、各画素電極を駆動する画素トランジスタを時分割で選択的に切り替える選択駆動方式があり、この駆動方式においては、いわゆるマルチプレクサ駆動が用いられている（例えば、特許文献 1 等を参照

10

20

30

40

50

）。

【0005】

特許文献1記載の表示装置では、ゲートライン駆動回路を基板上に直接形成するとともに、信号線駆動回路を基板上に直接形成した選択回路とT C P上に実装された信号線駆動用I Cとで構成し、1水平走査期間内に、選択回路のスイッチが2つの信号線X 1及びX 2の入力端子1 A及び1 Bと出力端子とを順次接続し、各信号線に順次駆動信号を出力するようにしている。

【0006】

前述のように、マルチプレクサ駆動は、1本のソースライン駆動回路出力端子からの出力を複数のソースラインに振り分ける駆動方法であり、これによって複数のソースラインを1本のソースライン駆動回路出力端子からの出力で駆動することができるため、ソースライン駆動回路の出力端子数を減らすことが可能になる。例えば、表示部に画像信号を供給するためのソースライン駆動回路の出力端子数を一挙に半分、あるいはそれ以上に減らすことが可能であり、低コスト化を図る上で有利である。

10

【特許文献1】特開2001-109435号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、液晶表示装置では、画像信号入力端子はアレイ基板の1辺の中央部等に設けられ、アレイ基板の1辺の長さに比べてその寸法は小である。一方、ソースライン駆動回路は、アレイ基板の全幅に配列形成されるソースラインに対応して前記1辺のほぼ全幅に亘り形成される形になる。したがって、画像信号入力端子からソースライン駆動回路までの配線の引き回しは、扇状に広がる形となるのが一般的である。

20

【0008】

したがって、例えばマルチプレクサ数が多く1本のソースライン駆動回路出力端子からの出力を多数のソースラインに振り分けるような場合には、ソースライン駆動回路の出力端子数は減るものの、その一方で、特に前記扇形の両端部分において、画像信号入力端子からソースライン駆動回路までの配線長が長くなり、画像信号伝達に関わる配線の抵抗値が大きくなるという問題が生ずる。

【0009】

マルチプレクサ駆動では、1走査期間の間に複数のソースライン信号をタイミングを変えて複数の画素に書き込まなければならない、各画素への書き込みに使える時間が短くなる。そのため、マルチプレクサ数が多い場合に、前記のように配線抵抗値が大きくなってソースラインへの画像信号供給能力が低下すると、前記書き込みに使える時間が短くなることと相俟って、書き込みを終了しなくてはならないタイミングにマトリクスアレイ回路の各種過渡現象が収まっていない事態が発生することがある。特に、T F Tスイッチがオフになる瞬間に蓄積容量線に過渡現象が残っていると、それが液晶層に印加される電圧のエラーをもたらし、その結果、例えば横クロストーク等の画質課題が顕在化してくる。とりわけ、このような問題は、液晶表示装置が大画面・高精細であるほど顕著となる。

30

【0010】

このような課題を解決するためには、先ず、ソースライン駆動回路の出力オン抵抗を下げるためにアナログスイッチのサイズを大きくすることが考えられるが、この場合にはアナログスイッチの設置面積を拡大する必要性が生じ、液晶表示装置の周囲に形成される部分（いわゆる額縁部分）を大きくしなければならないという問題がある。あるいは、画像信号配線の配線幅を広げて低抵抗化することも考えられるが、この場合にも配線形成領域を拡大する必要性が生じ、前記アナログスイッチのサイズを大きくする場合と同様の問題が生ずる。

40

【0011】

また、液晶表示装置の外形寸法が限られている場合には、アナログスイッチのサイズを大きくしたり、配線幅を広げて低抵抗化することができず、前記問題を回避するためには

50

マルチプレクサ数を減らさざるを得ず、大幅なコスト増に繋がるという問題がある。

【 0 0 1 2 】

本発明は、前述の従来の実情に鑑みて提案されたものであり、マルチプレクサ数を増やした場合にも、狭額縁化を図りながら、ソースラインへの画像信号供給能力を確保することが可能で、高画質且つ安価なアクティブマトリクス型液晶表示装置を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 3 】

前述の目的を達成するために、本発明に係るアクティブマトリクス型液晶表示装置は、画像信号を伝達する複数のソースラインと、前記ソースラインと交差する方向に形成され走査信号を伝達する複数のゲートラインと、前記ソースラインとゲートラインの各交差部に対応して設けられた画素電極と、前記画素電極に画像信号を書き込むための薄膜トランジスタと、前記画素電極毎に設けられた蓄積容量と、前記蓄積容量をゲートラインと平行な各行毎に共通に接続する蓄積容量線とを備えたアクティブマトリクス型液晶表示装置であって、前記ソースラインに画像信号を供給するソースライン駆動回路がマルチプレクサ駆動されるとともに、前記ソースライン駆動回路を構成するアナログスイッチと画像信号入力端子とを接続する配線の抵抗値に応じて、前記アナログスイッチのオン抵抗が異なる値に設定されていることを特徴とする。

【 0 0 1 4 】

従来のアクティブマトリクス型液晶表示装置では、多選択駆動（マルチプレクサ駆動）を行うドライバ（駆動回路）において、抵抗値が最大となる信号線（配線）に対して十分に充電が行えるアナログスイッチのサイズを決定し、全ての信号線に対してアナログスイッチを同じサイズに設定している。この場合、例えば大型製品等のように斜め配線長が長く、配線抵抗値が極端に大きくなると、これに対応してアナログスイッチのサイズを大きくせざるを得ず、外形寸法を大きくせざるを得ない。これを回避するためにアナログスイッチのサイズを抑えると、十分な充電能力が得られなくなるおそれがある。

【 0 0 1 5 】

これに対して、本発明の液晶表示装置では、斜め配線部の影響で配線抵抗が高くなる信号線についてはアナログスイッチのオン抵抗を低く、逆に配線が短く配線抵抗が低くなる信号線についてはアナログスイッチのオン抵抗を高くするというように、配線抵抗に応じてアナログスイッチのオン抵抗（例えばアナログスイッチのサイズ）を変更している。このため、必要以上にアナログスイッチの面積を拡大する必要がなく、限られたレイアウトスペースを有効活用でき、狭額縁化が実現される。また、配線抵抗が高くなるアドレスにおいては、アナログスイッチのオン抵抗が十分に低抵抗化されているので、配線と合わせたトータルの抵抗が抑えられ、斜め配線部が高抵抗であることによる書き込み不足が改善される。

【 発明の効果 】

【 0 0 1 6 】

本発明においては、前記のように配線抵抗に応じてアナログスイッチのオン抵抗を変えているので、マルチプレクサ数を増やした場合にも、外形寸法を抑えながら（狭額縁化を図りながら）、ソースラインへの画像信号供給能力を確保することが可能であり、高画質で安価なアクティブマトリクス型液晶表示装置を提供することが可能である。

【 0 0 1 7 】

すなわち、本発明の構成によれば、扇状に斜めに広がるように配線が形成される場合には、配線長が短く低抵抗の配線に対応するアドレスに配置されるアナログスイッチについては、そのサイズを小さく設定することで占有面積を減らし、回路占有面積を有効活用することが出来る。一方、配線長が長く高抵抗の配線に対応するアドレスに配置されるアナログスイッチについては、そのサイズを大きく設定しているので、ソースライン駆動回路のオン抵抗を小さくし、ソースラインへの画像信号供給能力を改善することができる。前記画像信号供給能力の改善としては、例えば書き込み不足の改善、配線負荷を軽くできるこ

とによるアナログスイッチ波形なまりの改善、電荷再配分時間のマージンの確保等を挙げることができる。したがって、液晶表示装置の額縁部分を大きくしなくとも、全てのアドレスにおいてソースラインへの画像信号供給能力を確保することができ、高画質表示が可能である。

【0018】

また、前述のように画像信号供給能力が不足するアドレスにのみアナログスイッチのサイズを大きく割り当てるようにしているので、大画面・高精細の液晶表示装置であってもマルチプレクサ数を効率的に増やすことができ、コストを削減することができる。

【発明を実施するための最良の形態】

【0019】

以下、本発明を適用したアクティブマトリクス型液晶表示装置の実施形態について、図面を参照して詳細に説明する。

【0020】

先ず、マルチプレクサ駆動方式のアクティブマトリクス型液晶表示装置の回路構成の一例を図1に示す。アクティブマトリクス型液晶表示装置においては、アレイ基板と、このアレイ基板と所定間隔をもって所定のシール材によって貼着された対向基板との間に、容量性の負荷である液晶層が封入されており、アレイ基板上には、各画素電極PEを駆動するnチャネルの薄膜トランジスタ等からなる画素トランジスタ1がマトリクス状に配列される。なお、画素電極PEと相対して配設される対向電極2は、対向基板上に形成され、液晶層は、画素電極PEと対向電極2との間に所定の配向膜を介して保持される。

【0021】

また、各画素Pに対応するn本のソースラインS1, S2, ..., S(N-1), S(N)が、それぞれ有効表示領域の左端画素から右端画素まで、例えば赤色画素用ソースライン、緑色画素用ソースライン、青色画素用ソースラインの順序で互いに略平行に順次設けられて構成されている。

【0022】

画素トランジスタ1は、例えば多結晶シリコン膜を半導体層とする薄膜トランジスタ(TFT: Thin Film Transistor)等から構成され、例えばカラー表示を行う液晶表示装置においては、赤色、緑色、青色のそれぞれに対応する3つの画素トランジスタ1によって駆動される3つの画素電極PEによって1画素が構成される。これらマトリクス状に配列された画素トランジスタ1は、それぞれ、各列毎に、画素電極PEからみて左側に位置するソースラインS1, S2, ...に接続されている。

【0023】

また、画素トランジスタ1のドレイン端子には、それぞれ、前記画素電極PEが接続されるとともに、蓄積容量線4に接続された蓄積容量3の他方の電極が接続され、ソース端子は、それぞれソースライン駆動回路5によって駆動される前記ソースラインS1, S2, ...に接続されている。画素トランジスタ1のゲート電極は、それぞれ、ゲートライン駆動回路6によって駆動されるゲートライン7に接続されている。

【0024】

アクティブマトリクス型液晶表示装置では、D/A(Digital to Analog)コンバータ8により表示する画像データの階調に応じたアナログ振幅の電圧がソースラインS1, S2, ...に対して供給されるが、このD/Aコンバータ8と各ソースラインS1, S2, ...の間には、前記の通り、マルチプレクサ駆動方式のソースライン駆動回路5が設けられている。

【0025】

前記マルチプレクサ駆動方式においては、前記ソースライン駆動回路5は、複数のソースライン(ここでは3本のソースライン)を時分割で選択的に切り替えるアナログスイッチSW1, SW2, ...により構成され、各アナログスイッチSWは、3本のソースラインのそれぞれに接続された複数の(ここでは3つの)トランジスタTr1, Tr2, Tr3を備えている。各トランジスタTr1, Tr2, Tr3には、それぞれ制御信号を供給

10

20

30

40

50

するバスライン 9, 10, 11 が接続されており、前記制御信号が選択的にトランジスタ Tr 1, Tr 2, Tr 3 のゲート電極に入力される。マルチプレクサ回路では、前記によりソースライン駆動回路 5 の出力を前記トランジスタ Tr 1, Tr 2, Tr 3 によって切り替えることにより、1 本のソースライン駆動回路 5 の出力によって 3 本のソースラインを駆動することになる。すなわち、マルチプレクサ回路では、複数のソースラインのうち隣接する 3 本のソースライン（例えば、ソースライン S 1, S 2, S 3）を 1 単位とし、1 水平走査期間内に、これら 3 本のソースライン S 1, S 2, S 3 を前記トランジスタ Tr 1, Tr 2, Tr 3 により構成されるアナログスイッチ SW 1 により時分割で選択的に切り替える。

【0026】

10

このような液晶表示装置においては、表示画素に接続された複数（3 本）のソースラインをマルチプレクサ回路によって順次選択駆動し、1 水平走査期間を時分割して、表示信号を画素に書き込む。具体的には、ゲートライン駆動回路 6 によってゲートライン 7 を順次走査し、同一のゲートライン 7 に接続された画素トランジスタ 1 をオン状態又はオフ状態とさせる電圧を当該ゲートライン 7 に印加する。ここで、画素トランジスタをオン状態とする場合には、ソースライン駆動回路 5 によって表示したい画像データに応じた電圧をソースライン S 1, S 2, S 3・・・に印加することにより、画素トランジスタ 1 を介して蓄積容量 3 及び画素電極 PE と対向電極 2 の間に挟み込まれた液晶層とに所望の電圧を印加する。一方、画素トランジスタ 1 をオフ状態とした後は、蓄積容量 3 と液晶層とに印加された電圧が次の走査まで保持される。このようなゲートライン 7 の走査を順次行い、

20

【0027】

前述の回路構成を有する液晶表示装置では、図 2 に示すように、前記画素 P やソースライン S 1, S 2, S 3・・・、ソースライン駆動回路 5、ゲート駆動回路 6、ゲートライン 7 等が形成されたアレイ基板 20 の端子部に、例えばフレキシブル配線基板上に信号線駆動 IC が実装された T C P 2 1 が接続され、前記の通り、D / A コンバータ 8 からの出力が、前記ソースライン駆動回路 5 を介して各ソースライン S 1, S 2, S 3・・・に供給される。

【0028】

前記 T C P 2 1 上に実装される信号線駆動 IC は、例えばシフトレジスタ 2 2、データレジスタ 2 3、及び前記 D / A コンバータ 8 等から構成されており、シフトレジスタ 2 2 には、外部駆動回路からクロック信号及び制御信号が入力される。データレジスタ 2 3 には、外部駆動回路からデータ信号が入力される。D / A コンバータ 8 には、基準信号が入力され、データレジスタ 2 3 に入力されたデータ信号は、ここでアナログ映像信号に変換される。T C P 2 1 上に実装される信号線駆動 IC から出力される各アナログ映像信号は、各水平走査期間毎に複数（ここでは 3 本）のソースラインに対応したアナログ映像信号を含み、これらを時系列に出力し、アレイ基板 20 上に形成されたソースライン駆動回路 5 に入力される。

30

【0029】

ここで、前記 T C P 1 は、アレイ基板 20 の 1 辺の例えば中央部等に取り付けられるが、その寸法はアレイ基板 20 の前記 1 辺の寸法に比べて小さい。一方、アレイ基板 20 には、前記 1 辺のほぼ全体に表示領域が形成されており、前記ソースライン S 1, S 2, S 3 や前記ソースライン駆動回路 5 も前記アレイ基板 20 の 1 辺のほぼ全幅に亘り形成されている。そのため、T C P 2 1 とソースライン駆動回路 5 を繋ぐ配線群 2 4 は、扇形形状に次第に広がるように形成されており、その両端部分の配線と中央部分の配線とで配線抵抗が大きく異なっている。

40

【0030】

前記配線群 2 4 を構成する各配線は、前記ソースライン駆動回路 5 の各アナログスイッチ SW 1, SW 2・・・と接続されるが、接続される配線の抵抗値が大きいと、画像信号供給能力の低下に繋がる。そこで、本実施形態では、図 3 に示すように、配線群 2 4 に対

50

する位置に対応して、ソースライン駆動回路 5 のアナログスイッチ S W を構成するとトランジスタ T r のオン抵抗を変更することとする。

【0031】

図 4 に示すように、前記配線群 2 4 においては、両端部分の配線 H e の配線長 L 1 が最も長く、中央部分の配線 H c の配線長 L 3 が最も短い。その中間部分の配線 H t の配線長 L 2 は、 $L 3 < L 2 < L 1$ である。各配線 H e , H c , H t は同じ配線幅で形成されており、したがって前記配線 H e の配線抵抗が最も大であり、配線 H c の配線抵抗が最も小さい。そこで、これに対応して、配線 H e に接続されるアナログスイッチ S W のトランジスタ T r A のオン抵抗を最も小さく設定し、配線 H c に接続されるアナログスイッチ S W のトランジスタ T r C のオン抵抗を最も大きく設定する。中間の配線 H t に接続されるアナログスイッチ S W のトランジスタ T r B のオン抵抗は、これらの中間の値に設定する。

10

【0032】

アナログスイッチ S W を構成するトランジスタ T r のオン抵抗は、図 5 (a) に示すように、W サイズ W を変更することにより変化させることができる。例えば、トランジスタ T r の W サイズ W を大きくすれば、オン抵抗は小さくなる。逆にトランジスタ T r の W サイズ W を小さくすれば、オン抵抗は大きくなる。したがって、前記配線 H e に接続されるアナログスイッチ S W のトランジスタ T r A の W サイズを最も大きく、配線 H c に接続されるアナログスイッチ S W のトランジスタ T r C の W サイズ W を最も小さく設定すればよいことになる。

【0033】

この場合、各トランジスタ T r A , T r B , T r C を 1 つのトランジスタで構成し、その W サイズを各々設定することも考えられるが、この場合には各トランジスタ T r A , T r B , T r C のチューニングが煩雑になるという問題がある。そこで、本実施形態では、図 3 に示すように、トランジスタを並列接続することにより W サイズを変更し、オン抵抗を変更するようにしている。例えば、同じ W サイズのトランジスタを 2 つ並列に接続すれば、W サイズを 2 倍にした効果が得られ、オン抵抗が小さくなる。したがって、配線 H c に接続されるアナログスイッチ S W のトランジスタ T r C を単一のトランジスタにより構成し、配線 H t に接続されるアナログスイッチ S W のトランジスタ T r B を前記トランジスタを 2 つ並列接続することにより構成し、さらに配線 H e に接続されるアナログスイッチ S W のトランジスタ T r A を前記トランジスタを 4 つ並列接続することにより構成することで、オン抵抗を、 $1/2$, $1/4$ と段階的に小さくすることが可能である。

20

30

【0034】

なお、本実施形態では、トランジスタ T r A , T r B , T r C のオン抵抗を 3 段階に設定しているが、これに限られるものではなく、配線抵抗に応じて多段階にオン抵抗を変更することが理想的である。例えば、図 5 (b) に示すように、トランジスタ T r を 3 つのトランジスタ T r a , T r b , T r c を並列接続することにより形成する場合、全てのトランジスタ T r a , T r b , T r c の W サイズを基準となるトランジスタの W サイズ (= W 1) に設定すれば、オン抵抗は 1 つのトランジスタの $1/3$ となる。これに対して、例えば 1 つのトランジスタ T r c の W サイズを前記 W 1 よりも大きな値 (= W 2) に設定すると、オン抵抗は 1 つのトランジスタの $1/3$ よりも小さく (例えば、 $1/3 \cdot 1$) なる。したがって、配列接続するトランジスタの数、配列接続されるトランジスタの W サイズを調整することで、任意のオン抵抗を実現することができ、アナログスイッチ S W を構成するトランジスタのオン抵抗をいわゆるグラデーションのようにアナログ的に変化させることが可能である。ただし、前記のように多段階にオン抵抗を変更するには、アナログスイッチ毎にトランジスタの設計を見直す必要があり、現実的には、設計の容易さと効果の兼ね合いから、適正な段階数で前記トランジスタのオン抵抗を変更することが好ましい。

40

【0035】

以上のように、例えばトランジスタ T r A , T r B , T r C のオン抵抗を 3 段階に設定することにより、配線 H e , H t , H c の配線抵抗の相違を相殺し、すべてのソースライン S 1 , S 2 , S 3 . . . に対して、T C P 2 1 から各ソースライン S 1 , S 2 , S 3 .

50

・までの総抵抗値をほぼ等しく設定することができる。特に、配線抵抗が大きな両端部分において、オン抵抗を小さくして前記総抵抗値を小さく抑えることができるので、この部分での画像信号供給能力を確保することができ、高画質表示が可能となる。また、トランジスタのサイズの拡大を必要最小限に抑えることができるので、前記トランジスタの占有面積を抑えることができ、狭額縁化により液晶表示装置の外形寸法の増加を抑えることが可能である。

【0036】

本実施形態のソースライン駆動回路では、ソースライン駆動回路を構成するアナログスイッチについて、トランジスタを例えば並列接続することでWサイズを増やし、抵抗を低下させる構成としている。すなわち、画像信号入力端子からソースライン駆動回路までの配線長が長いアドレスのアナログスイッチについてはトランジスタの並列数を増やし、画像信号入力端子からソースライン駆動回路までの配線長が短いアドレスのアナログスイッチについてはトランジスタの並列数を減らして配置するようにしている。このように、配線長が長く配線抵抗値が高いために画像信号供給能力が不足するアドレスにのみアナログスイッチのサイズを大きく割り当てることで、大画面・高精細の液晶表示装置でありながら、マルチプレクサ数を効率的に増やすことができ、大幅なコスト削減を実現することが可能である。

10

【図面の簡単な説明】

【0037】

【図1】マルチプレクサ駆動方式のアクティブマトリクス型液晶表示装置の回路構成の一例を示す図である。

20

【図2】信号線駆動用ICが実装されたTCPのアレイ基板への接続状態を模式的に示す平面図である。

【図3】扇形に形成された配線群とこれに対応して形成されるアナログスイッチのトランジスタの構成を示す模式図である。

【図4】扇形に形成された配線群における各配線の長さを示す模式図である。

【図5】アナログスイッチを構成するトランジスタを示すものであり、(a)はWサイズを説明する模式的な平面図、(b)は並列接続されるトランジスタのうちの1つのトランジスタのWサイズを他のトランジスタのWサイズと変えた例を示す模式的な平面図である。

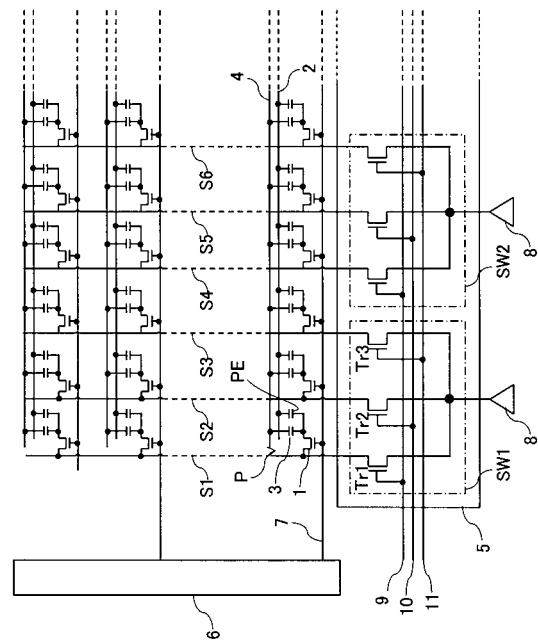
30

【符号の説明】

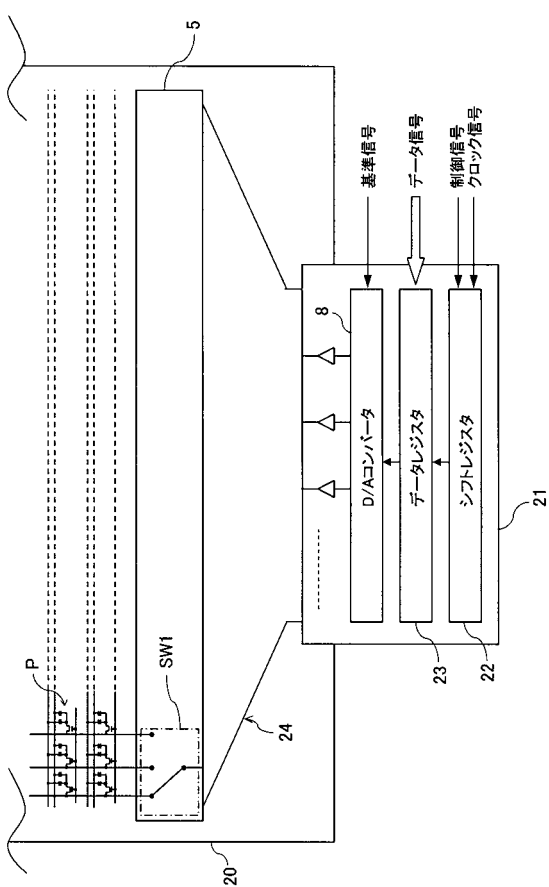
【0038】

1 画素トランジスタ、2 対向電極、3 蓄積容量、4 蓄積容量線、5 ソースライン駆動回路、6 ゲート駆動回路、7 ゲートライン、8 D/Aコンバータ、9, 10, 11 バスライン、20 アレイ基板、21 TCP、22 シフトレジスタ、23 データレジスタ、24 配線群、P 画素、PE 画素電極、SW アナログスイッチ、Tr トランジスタ

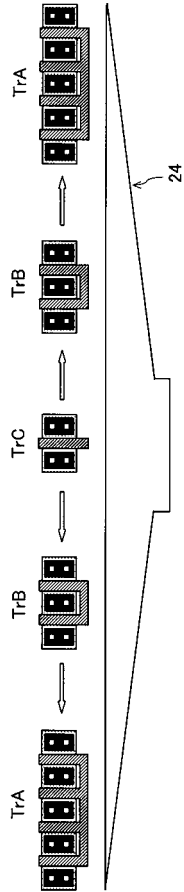
【図 1】



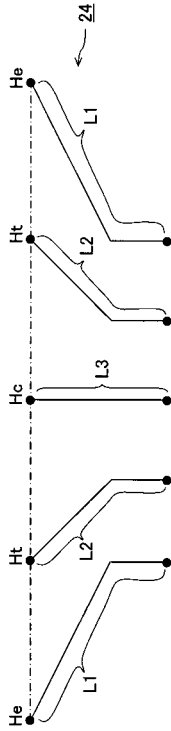
【図 2】



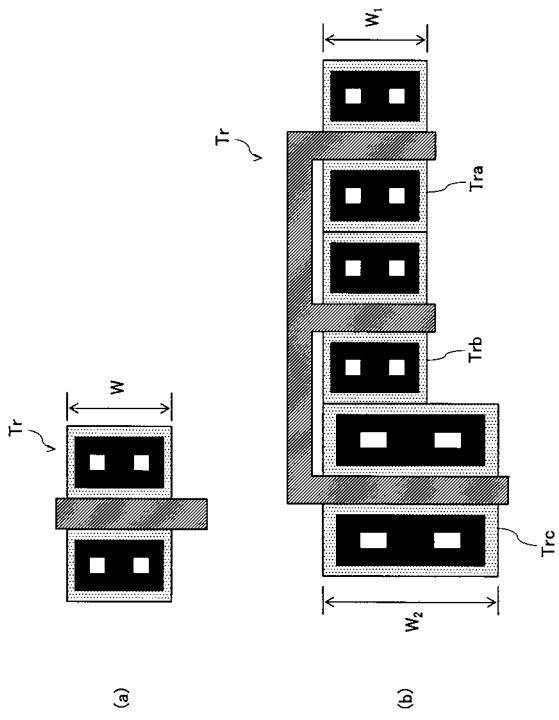
【図 3】



【図 4】



【 図 5 】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 2 F 1/133 5 5 0

专利名称(译)	有源矩阵型液晶显示装置		
公开(公告)号	JP2007041229A	公开(公告)日	2007-02-15
申请号	JP2005224517	申请日	2005-08-02
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	原田賢治		
发明人	原田 賢治		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
FI分类号	G09G3/36 G09G3/20.621.M G09G3/20.623.A G09G3/20.623.R G09G3/20.611.Z G02F1/133.550		
F-TERM分类号	2H093/NA16 2H093/NA31 2H093/NB11 2H093/NC01 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC24 2H093/NC34 2H093/NC35 2H093/ND54 5C006/BB16 5C006/BC11 5C006/BF31 5C006/FA21 5C006/FA37 5C006/FA41 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD22 5C080/JJ02 5C080/JJ03 5C080/JJ06 2H193/ZA04 2H193/ZF01		
外部链接	Espacenet		

摘要(译)

要解决的问题：即使增加了多路复用器的数量，也要确保向源线提供图像信号的能力，同时获得较窄的帧。 传输图像信号的多个源极线，沿与传输扫描信号的线相交的方向形成的栅极线，分别与源极线和栅极线的每个交叉点相对地设置。 像素电极PE，用于将图像信号写入像素电极PE的像素晶体管1，为每个像素电极提供的存储电容器3以及将存储电容器3与栅极线7公共连接的存储电容器线4。 配备。 源极线驱动电路5由多路复用器驱动。 然后，根据连接构成驱动电路5的模拟开关SW和图像信号输入端子的配线的电阻值，将SW的导通电阻设定为不同的值。 例如，通过调节形成SW的晶体管的W尺寸来设置SW的ON电阻。 [选型图] 图1

