

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2006-517687

(P2006-517687A)

(43) 公表日 平成18年7月27日(2006.7.27)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 623F	5C006
G02F 1/133 (2006.01)	G09G 3/20 680H	5C080
	G09G 3/20 642K	
	G02F 1/133 505	

審査請求 未請求 予備審査請求 有 (全 16 頁)

(21) 出願番号 特願2006-503441 (P2006-503441)
 (86) (22) 出願日 平成16年2月10日 (2004.2.10)
 (85) 翻訳文提出日 平成17年8月5日 (2005.8.5)
 (86) 国際出願番号 PCT/US2004/003805
 (87) 国際公開番号 W02004/072936
 (87) 国際公開日 平成16年8月26日 (2004.8.26)
 (31) 優先権主張番号 60/446, 651
 (32) 優先日 平成15年2月11日 (2003.2.11)
 (33) 優先権主張国 米国 (US)

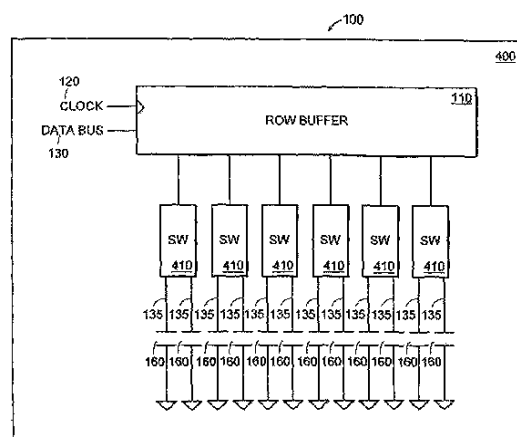
(71) 出願人 500201314
 コビン・コーポレーション
 アメリカ合衆国マサチューセッツ州0278
 オートントン・マイルズスタンデイツシユ
 ブールバード695
 (74) 代理人 100060782
 弁理士 小田島 平吉
 (72) 発明者 ハーマン, フレデリク・ピー
 アメリカ合衆国マサチューセッツ州0206
 7シヤロン・ルスタツプスレーン9
 Fターム(参考) 2H093 NA16 NA43 NA53 NC13 NC34
 NC35 NC49 ND06 ND49 ND50
 ND54

最終頁に続く

(54) 【発明の名称】 データ線の容量を用いた集積デジタル・アナログ変換器を付けた液晶ディスプレイ

(57) 【要約】

LCDの一対の縦線に生じる縦列負荷容量を用いてデジタル・データをアナログ・データに転換できる装置及び方法。装置にはデジタル・データを収容しているデータ・バスが含まれている。デジタル・データを受信し、分配するため、横列バッファがデータ・バスに接続している。LCDの一対の縦線に生じる縦列負荷容量を用いて、横列バッファから受信したデジタル・データを変換するために、スイッチ・ネットワークを横列バッファに接続している。



【特許請求の範囲】

【請求項 1】

液晶ディスプレイ（LCD）を駆動するためのデータ・スキャナーで、
デジタル・データを含んでいるデータ・バス、
データ・バスから受取ったデジタル・データを受信し、分配するためにデータ・バスに接続された横列バッファ、及び

横列バッファに接続されたスイッチ・ネットワークであって、LCDの一对の縦線の縦列負荷容量を用いて、横列バッファから受取ったデジタル・データをアナログ・データに変換するスイッチ・ネットワーク
を具備することを特徴とするデータ・スキャナー。

10

【請求項 2】

スイッチング・ネットワークには複数のスイッチング装置が含まれ、各スイッチング装置がLCDの縦線の各ペアに接続されていることを特徴とする請求項 1 のデータ・スキャナー。

【請求項 3】

各スイッチング装置には、
ロジック回路、そのロジック回路が横列バッファからデジタル・データを受信すること、

少なくとも 3 個の MOSFET、その MOSFET がロジック回路から受信したデジタル・データをアナログ・データに変換し、かつ、各縦線を通してそのアナログ・データを伝送すること、
が含まれていることを特徴とする請求項 2 の装置。

20

【請求項 4】

その MOSFET が n チャンネルの MOSFET であることを特徴とする請求項 3 の装置。

【請求項 5】

その MOSFET が p チャンネルの MOSFET であることを特徴とする請求項 3 の装置。

【請求項 6】

その MOSFET が n チャンネルの MOSFET と p チャンネルの MOSFET の組合わせであることを特徴とする請求項 3 の装置。

30

【請求項 7】

一对の縦線のうちの第一の縦線をピクセルの第一の縦列内のひとつおきのピクセルに接続し、かつ、その一对の縦線のうちの第二の縦線をピクセルの第二の縦列内のひとつおきのピクセルに接続し、第一の縦列内のピクセルが第二の縦列内のピクセルに対して互い違いの横列内にあることを特徴とする請求項 1 の装置。

【請求項 8】

そのピクセルが長方形のレイアウトに配置されていることを特徴とする請求項 7 の装置。

【請求項 9】

そのピクセルが三角形のレイアウトに配置されていることを特徴とする請求項 7 の装置。

40

【請求項 10】

横列バッファ内にデジタル・データを受信すること、
そのデジタル・データをスイッチ・ネットワークに分配すること、
液晶ディスプレイ（LCD）の一对の縦線に生じる縦列負荷容量を用いて、デジタル・データをアナログ・データに変換すること、
から成る LCD を駆動するための方法。

【請求項 11】

そのスイッチ・ネットワークには複数のスイッチング装置が含まれ、各スイッチング装

50

置がLCDの縦線の各ペアに接続していることを特徴とする請求項10の方法。

【請求項12】

ロジック回路、そのロジック回路が横列バッファからデジタル・データを受信すること、

少なくとも3個のMOSFET、そのMOSFETがそのロジック回路から受信したデジタル・データをアナログ・データに変換し、各縦線を通してアナログ・データを伝送すること、

が各スイッチング装置に含まれることを特徴とする請求項11の方法。

【請求項13】

そのMOSFETがnチャンネルのMOSFETであることを特徴とする請求項12の方法。 10

【請求項14】

そのMOSFETがpチャンネルのMOSFETであることを特徴とする請求項12の方法。

【請求項15】

そのMOSFETがnチャンネルのMOSFETとpチャンネルのMOSFETの組合わせであることを特徴とする請求項12の方法。

【請求項16】

一对の縦線のうちの第一の縦線をピクセルの第一の縦列内のひとつおきのピクセルに接続し、かつ、その一对の縦線のうちの第二の縦線をピクセルの第二の縦列内のひとつおきのピクセルに接続し、第一の縦列内のピクセルが第二の縦列内のピクセルに対して互い違いの横列内にあることを特徴とする請求項10の方法。 20

【請求項17】

そのピクセルが長方形のレイアウトに配置されていることを特徴とする請求項16の方法。

【請求項18】

そのピクセルが三角形のレイアウトに配置されていることを特徴とする請求項16の方法。

【発明の詳細な説明】

【技術分野】

30

【0001】

液晶ディスプレイ(LCD)の一对の縦線に生じる縦列負荷容量を用いてデジタル・データをアナログ・データに転換できる装置及び方法に関する。

本出願書は米国仮出願書第60/446,651号、2003年2月11日付けの特典を主張している。その教示内容全体が参考までに本出願に組込まれている。

【背景技術】

【0002】

液晶ディスプレイ(LCD)・デバイスは通常二次元アレー(array)の薄膜回路要素(ピクセル(pixels))から成っている。各ピクセルには液晶材料を組込んで、縦列の液晶材料を通して移動する光を伝送又は阻止する。ピクセル・アレーの物理的寸法はその用途により決定される。 40

【0003】

例えば、二次元(2D)アレーには、垂直方向に伸びた2組の導線を含めることができる。一方向に伸びた各線が縦列のアレーに信号を供給できる。他の方向に伸びた各線は横配列のアレーに信号を供給できる。

【0004】

従来、2Dアレー内の横配置と縦列の各位置にはピクセルが含まれ、そのピクセルがそのピクセルの横列と縦列の組合わせに対する線上の信号に応答する。例示的に「データ線」と呼ばれている一セットの平行線を通じて、各ピクセルがその状態を決定する信号を受信する。例示的に「走査線」と呼ばれている他のセットの平行線を通じて、走査線に沿っ 50

た各ピクセルが信号を受信して、ピクセルがそのデータ線からの信号を受信できるようにする。

【 0 0 0 5 】

従来のアレーでは、各走査線が周期的な走査信号を供給し、短期間の各サイクルの間に、そのデータ線からの信号を受信するために、各ピクセル内の要素が走査線に接続できる。それゆえ、走査信号とデータ線の信号が密に同期することはアレーの動作を成功させるのに重要である。その一方で、密な同期にはデータ線への駆動信号が正確なタイミング(timing)で供給されることが必要である。

【 0 0 0 6 】

データ線を駆動する回路は「データ・スキャナー(data scanner)」と呼ばれる。走査線を駆動する回路は「セレクト・スキャナー(select scanner)」と呼ばれる。 10

【 0 0 0 7 】

アレーは、通常ガラス又は石英の基板の上に組立てられる。ピクセル・アレーは駆動及びインターフェース(interface)の回路を必要とする。そして、多くの場合、この回路はデジタルよりはむしろアナログで、その回路がある範囲の入力信号を送出又は検出できるようにしている。しかしながら、多くの用途で、映像信号はデジタル形態で生じて、ディスプレイを駆動するためにアナログ形態に転換しなければならない。適当なデジタル・アナログ変換(DAC)回路を通常のシリコン集積回路(ICs)内に公知の技術を用いて組立てることができる。これらのICsはピクセル・アレーが含まれる基板上に又は基板近傍に取付けられる。両者の間に多数の電気接続が行なわれる。周辺駆動部、インターフェース・チップ、取付け及びディスプレイへの電気接続のコストが、ディスプレイを含むシステムの総コストのかなりの部分を占める可能性がある。 20

【特許文献1】米国仮出願書第60/446,651号明細書

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

ICs及び接続部を、基板上に適当な回路を組み込むことにより省略し、又は、大幅に低減できれば、システムのコストは低減し、かつ、その信頼性を改善できる。

【 0 0 0 9 】

ある装置及び方法により、LCDの一对の縦線に生じる縦列負荷容量を用いてデジタル・データをアナログ・データに変換できる。その装置にはデジタル・データを収容しているデータ・バス(data bus)を含めることができる。デジタル・データを受信し、分配するために、横列バッファ(buffer)をデータ・バスに接続できる。LCDの縦線の各ペアに生じる縦列負荷容量を用いて、横列バッファから受信したデジタル・データをアナログ・データに変換するために、スイッチ・ネットワーク(switch network)を横列バッファに接続できる。 30

【 0 0 1 0 】

スイッチ・ネットワークには複数のスイッチング・デバイス(switching device)を含めて、各スイッチング・デバイスをLCDの縦線の各ペアに接続できる。各スイッチング・デバイスには、横列バッファからのデジタル・データを受信できるロジック(logic)回路及び少なくとも3個のMOSFETを含めることができ、そのMOSFETはそのロジック回路から受信したデジタル・データをアナログ・データに変換でき、そのアナログ・データを各縦線を通して伝送できる。MOSFETはnチャンネル(channel)MOSFET、pチャンネルMOSFET又はnチャンネルとpチャンネルのMOSFETの組み合わせとしうる。 40

【 0 0 1 1 】

一对の縦線のうちの第一の縦線をピクセルの第一の縦列内のひとつおきのピクセルに接続でき、かつ、その一对の縦線のうちの第二の縦線をピクセルの第二の縦列内のひとつおきのピクセルに接続できる。第一の縦列内のピクセルが第二の縦列内のピクセルに対して互い違いの横列内に接続できる。ピクセルは長方形のレイアウト(layout)内に配置でき、 50

又は、三角形のレイアウト内に配置できる。

【 0 0 1 2 】

前述及び他の目的、本発明の特徴及び利点が添付した図面内に示す本発明の特定の実施例に関する以下の詳細な説明から明らかになる。種々の図面を通じて類似の参照記号は同じ部分を示す。図面は必ずしも縮尺通りではなく、代わりに、本発明の原理を示すことに重点を置いている。

【 発明を実施するための最良の形態 】

【 0 0 1 3 】

図 1 は L C D 1 0 0 のデータ・スキャナー 5 0 及び縦列負荷容量 1 6 0 を示している。データ・スキャナー 5 0 は集積された D A C 1 4 0 と増幅器 1 5 0 を含んでいて、ディスプレイ 1 0 0 の縦列負荷容量 1 6 0 を駆動する。その構成は白黒 (B / W) 及びカラーのディスプレイの縦列負荷容量 1 6 0 を駆動するために使用できる。一般的に、横列バッファ 1 1 0 はデータ・バス 1 3 0 から到着するデジタル・データを D A C 1 4 0 に、クロック 1 2 0 から受取ったパルスに合わせて分配する。D A C 1 4 0 は並行に動作し、デジタル・データを受信して、そのデジタル・データをアナログ信号に変換する。D A C 1 4 0 は一般に高インピーダンス出力を提供するので、縦列負荷容量 1 6 0 を駆動するために、ディスプレイの使用には増幅器 1 5 0 を必要とする。縦列負荷容量 1 6 0 は実際に実現可能な D A C 用キャパシタ (capacitor) 3 3 0、3 4 0 より一般に大きいので、特に、スイッチ付きキャパシタの D A C 1 4 0 は増幅器 1 5 0 を必要とする (図 3 A - 3 I)。それゆえ、増幅器 1 5 0 はディスプレイ 1 0 0 の縦線 1 3 5 の縦列負荷容量 1 6 0 に大きな出力を供給する。 10 20

【 0 0 1 4 】

図 2 A は、「長方形」の配置でピクセル 2 0 0 を設けたディスプレイ 1 0 0 のための典型的なピクセル・アレーと縦線 1 3 5 のレイアウトを示す。一方、図 2 B は「三角形」の配置でピクセルを設けたディスプレイ 1 0 0 のための典型的なピクセル・アレーと縦線 1 3 5 のレイアウトを示す。「長方形」の配置は通常白黒ディスプレイに用いられるが、「三角形」の配置は通常カラー・ディスプレイに用いられる。「長方形」と「三角形」の配置は白黒又はカラーのいずれのディスプレイにも使用できることを当該分野の技術者であれば理解できる。文字 R G B は Red, Green, Blue を示していて、カラー・ディスプレイの分野では良く知られている。長方形ピクセル 2 0 0 は白黒及びカラーの両方のディスプレイに用いられていて、典型的には、単色用には正方形のピクセルを、又、カラー用には長方形のストリップ (strip) (高さ と 幅 の 比 = 3 : 1) を用いる。 30

【 0 0 1 5 】

図 2 C は図 2 A 及び 2 B で示された典型的ピクセル 2 0 0 の回路図を示している。典型的ピクセル 2 0 0 には M O S F E T トランジスタ 2 2 0 及びキャパシタ 1 6 0 が含まれる。各ピクセル 2 0 0 が横線 2 1 0 と縦線 1 3 5 に接続されている。横線 2 1 0 は M O S F E T 2 2 0 のゲート (gate) を制御して、ピクセルを O N / O F F する。M O F E T 2 2 0 が O N になると、ピクセル 2 0 0 が縦線 1 3 5 上の縦列負荷容量 1 6 0 (図 1) により駆動される。

【 0 0 1 6 】

図 3 A - 3 I はデジタル信号をアナログ信号に変換するスイッチ付きキャパシタの D A C 1 4 0 を示している。単純なビット (bit) 直列型 D A C 1 4 0 には 2 個のキャパシタ 3 3 0、3 4 0 と 2 個のスイッチ 3 1 0、3 2 0 が含まれる。スイッチ 3 1 0 は高への接続、低への接続、又は、開のままとしうる。スイッチ 3 2 0 はキャパシタ 3 3 0 及び 3 4 0 の上側極板に接続、又は、開のままとしうる。多くのキャパシタと適当なスイッチ構成を用いるビット並列型 D A C も使用しうる。この例では、図 3 A - 3 I に順番に示すように、1 6 ビットのデジタル入力コード 1 1 0 1、即ち、1 0 進法で 1 3 が、 $13 / 16 V_{FS}$ となるアナログ信号に変換される。ここで、 V_{FS} = フルスケール (full-scale) の出力電圧。 40

【 0 0 1 7 】

スイッチ付きキャパシタのDACs 140と関連する増幅器150(図1)を用いるときに多くの問題が生じる。第一に、DACs 140のキャパシタ330、340が予想通りの電荷分配をするために良く釣合わなければならない。図3A-3Iの例では、スイッチ320が閉じて、電荷が等しく分配されるのは、キャパシタ330、340が等しいことに依存している。第二に、DACのキャパシタ330、340が良く釣合うために多くの面積を必要とするので、ファイン・ピッチ(fine pitch)の縦線135上にDACs 140を組込むことは困難である。DACのキャパシタ330、340が小さすぎる場合、好ましくない寄生容量が重大になる。第三に、増幅器150が低出力であること、良く釣合うこと(即ち、画像内の垂直線を防止すること)、ファイン・ピッチの縦線を組込むことが必要となるので、ディスプレイ100上に多くの増幅器150を組込むことが困難である(図1)。最終的に、寸法の制約があるので、DACs 140と増幅器150を共有するためにマルチプレクサ(multiplexer)を用いる必要があるだろうが、ディスプレイ100がさらに複雑になる。

10

【実施例】

【0018】

本発明の実施例では、特別なスイッチ付きキャパシタのDACs 140とその関連する増幅器150の必要性を無くす。図4に示すように、データ・スキャナ50のDACs 140及び増幅器150(図1-3I)を、デジタル信号をアナログ信号に変換するために縦線の容量160を用いたスイッチ・ネットワークにより置換えている。即ち、新しいスイッチ付きキャパシタのDACsは、スイッチ・ネットワークとDAC用キャパシタとしての縦列負荷容量160を用いて構成されている。この構成で、横列バッファ110がデータ・バス130から到着したデジタル・データをクロック120から受取ったパルスに合わせてスイッチ410に分配する。スイッチ410は一对の縦線135に生じた縦列負荷容量160を用いて、デジタル・データをアナログ信号に変換する。

20

【0019】

図5Aは、長方形レイアウトを用いているディスプレイに対して、スイッチ410と縦列負荷容量160を用いて、デジタル信号をアナログ信号に変換するのに必要なピクセル・アレーのレイアウトの接続を示している。一方、図5Bは、三角形レイアウトを用いているディスプレイに対して、ピクセル・アレーのレイアウトの接続を示している。示されているように、長方形のレイアウトは白黒ディスプレイに通常用いられていて、三角形のレイアウトはカラー・ディスプレイに通常用いられている。縦線の各ペア500が横列ごとに1個のピクセル200に接続される。もし、左と右に接続されたピクセル200が同数であれば、縦線のペア500は釣合った縦列容量を有している。縦線のペア500を用いることはディスプレイ面積の増加を示唆していて、ピクセルの有効な開口部を低減する。しかしながら、予想される技術では、ピクセルの開口部は相互接続のピッチによるのではなく、光学系、液晶及び他の問題により制限される。

30

【0020】

図6は図4のスイッチ410の回路図を示す。スイッチ410には5個のMOSFETトランジスタ610、620、630、640、650が含まれる。各MOSFETのゲートはロジック回路660に接続されている。ロジック回路660は、横列バッファ110から受信したデジタル・データを収容し(図4)、そのデジタル・データをMOSFETsに分配する。MOSFETs 610及び630は、図3のスイッチ310と類似した動作をする。MOSFET 610は縦列を V_{FS} までの高電位に駆動でき、MOSFET 630は低電位に駆動できる。又は、両方のMOSFETsが接続を開放するためにOFFにできる。同様に、MOSFET 650は、図3のスイッチ320と類似した動作をして、電荷を等しくするために2個の縦列に接続している。選択肢として、MOSFETs 620及び640を設けて、MOSFET 610及び630と対称にする。その回路を動作させ、MOSFETs 610及び630を用いて左の縦線を駆動する。その間、電荷が右の縦線に蓄積される。又は、FETs 620及び640を用いて右の縦線を駆動する。その間、電荷が左の縦線に蓄積される。

40

50

【 0 0 2 1 】

図 6 はスイッチ用に n チャンネルの MOSFET を用いている。しかしながら、p チャンネル MOSFET 又は n 及び p チャンネルの MOSFET の相補性ペアも使用しうる。電荷注入をキャンセルするために追加の MOSFETs を使用しうる。これには公知の技術を用いて、補償 MOSFET のソース(source)とドレイン(drain)の両方をスイッチの高インピーダンス側に接続し、その補償 MOSFET のゲートはスイッチ MOSFET のゲートの論理的反転により駆動される。そして、その補償 MOSFET はスイッチ MOSFET の半分のサイズである。

【 0 0 2 2 】

本発明は特定の実施例を引用して特に図示され、説明されているけれども、添付請求項 10 に含まれる本発明の範囲から逸脱せずに、形状及び細部に種々の変更を行なえることを当該分野の技術者は理解できるはずである。

【 図面の簡単な説明 】

【 0 0 2 3 】

【 図 1 】 従来技術のデータ・スキャナーの略図である。

【 図 2 A 】 図 1 のデータ・スキャナーに対する白黒 (B / W) ディスプレーに典型的なピクセルのレイアウトの略図である。

【 図 2 B 】 図 1 のデータ・スキャナーに対するカラー・ディスプレイに典型的なピクセルのレイアウトの略図である。

【 図 2 C 】 図 2 A 及び 2 B の典型的ピクセルの回路図である。

【 図 3 A - 3 I 】 デジタル信号をアナログ信号に変換する図 1 の DAC の回路図である。

【 図 4 】 本発明の実施例に基づくデータ・スキャナーの略図である。

【 図 5 A 】 図 4 のデータ・スキャナーに対する典型的なピクセルのレイアウトの略図である。

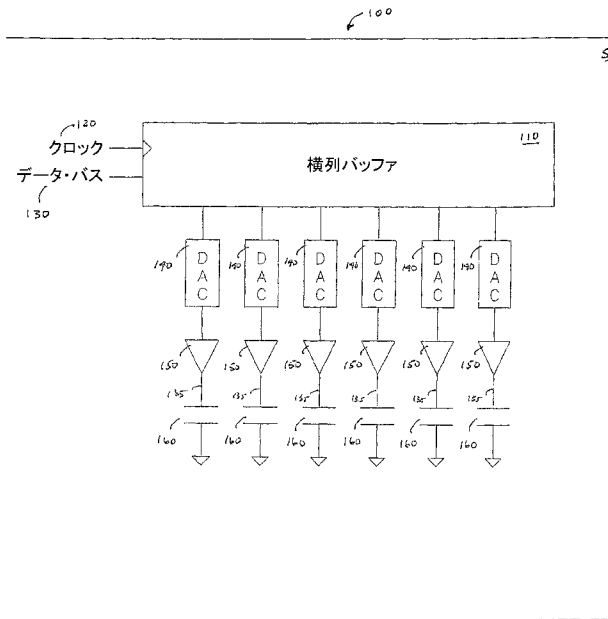
【 図 5 B 】 図 4 のデータ・スキャナーに対する典型的なピクセルのレイアウトの略図である。

【 図 6 】 図 4 のスイッチ・デバイスの回路図である。

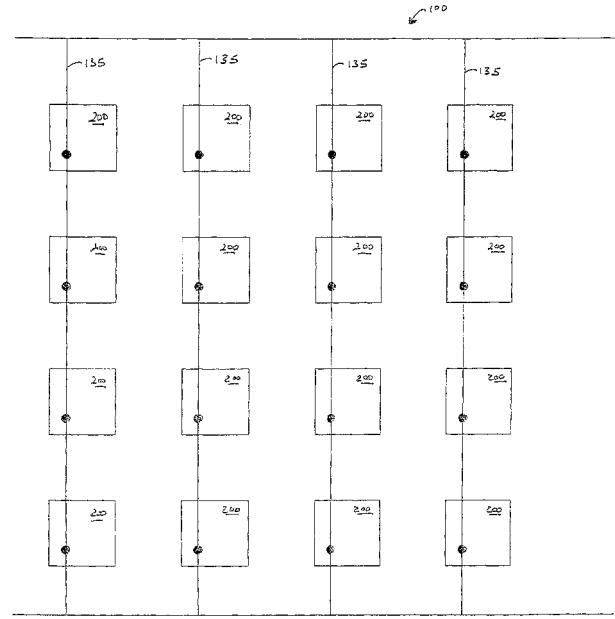
10

20

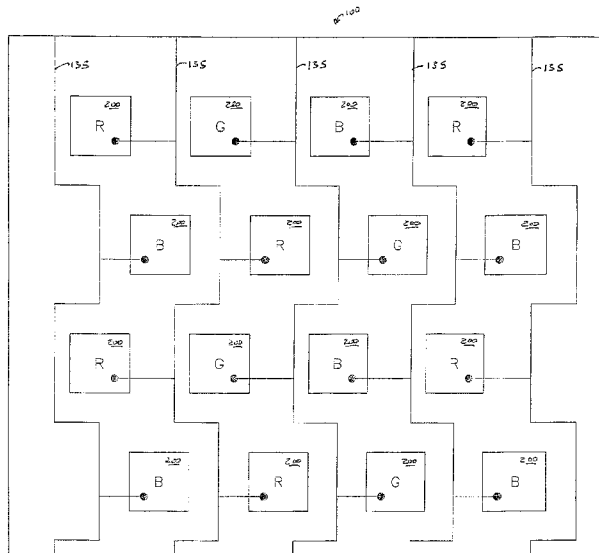
【図 1】

FIG. 1
(従来技術)

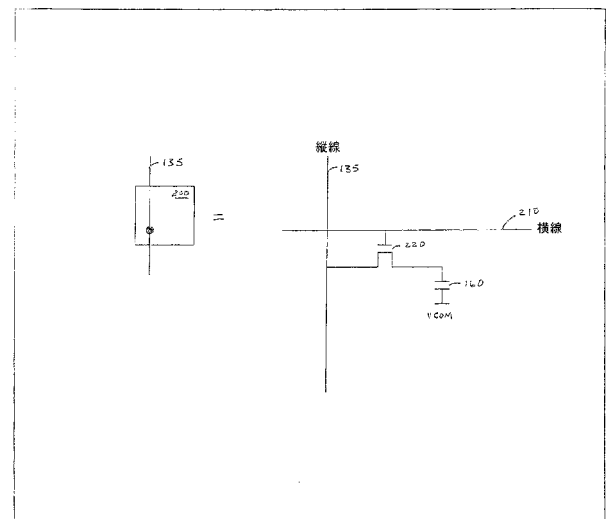
【図 2 A】

FIG. 2A
(従来技術)

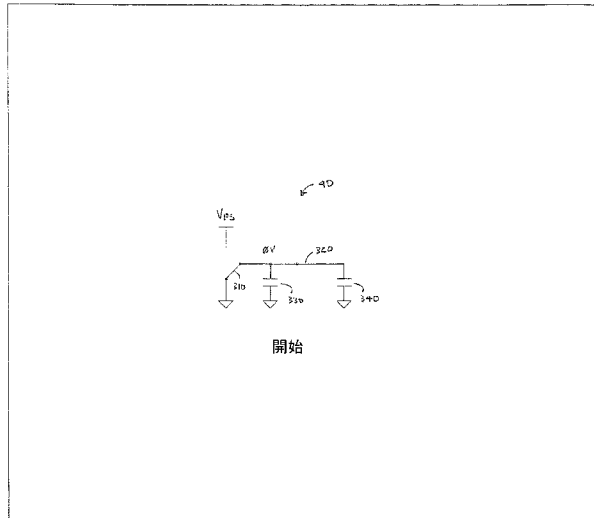
【図 2 B】

FIG. 2B
(従来技術)

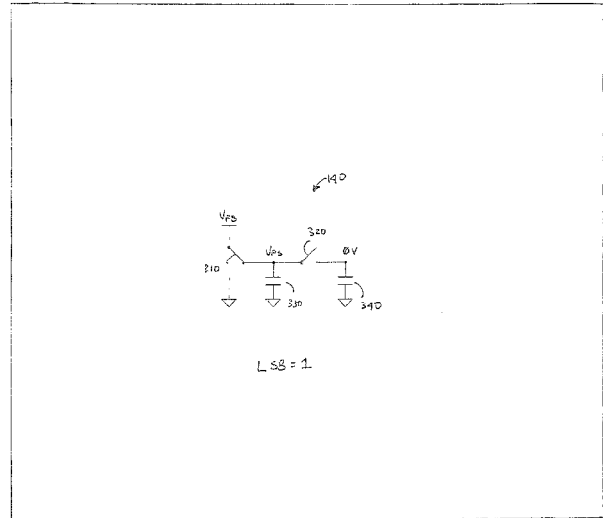
【図 2 C】

FIG. 2C
(従来技術)

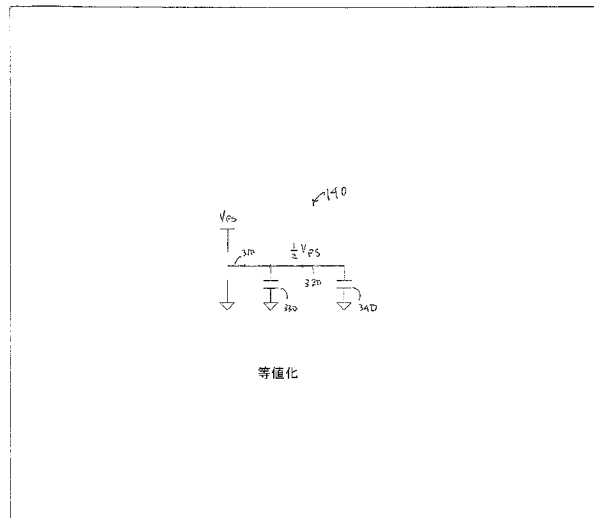
【図 3 A】

Fig. 3A
(従来技術)

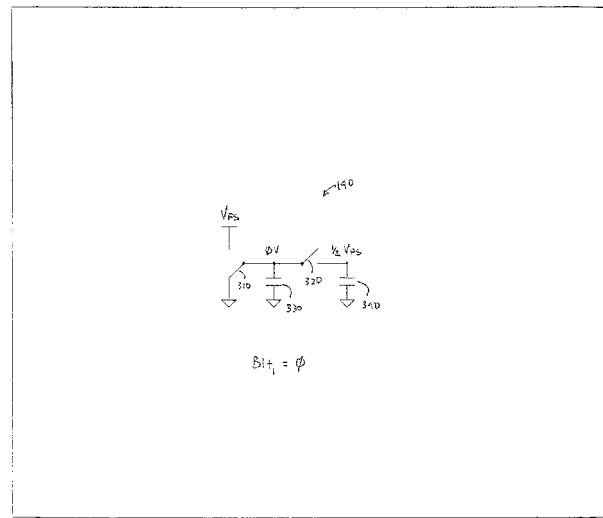
【図 3 B】

Fig. 3B
(従来技術)

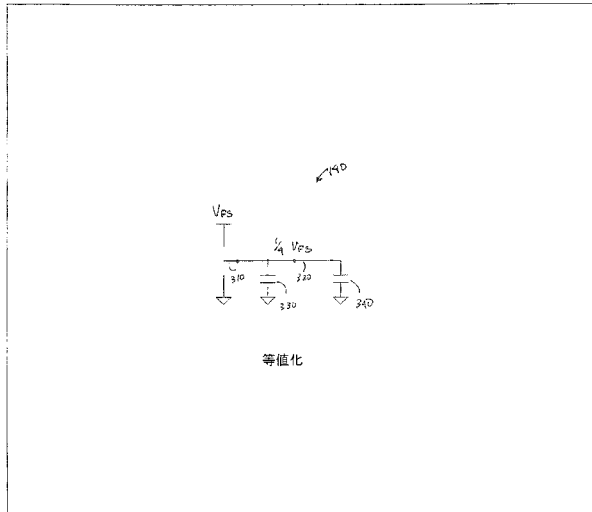
【図 3 C】

Fig. 3C
(従来技術)

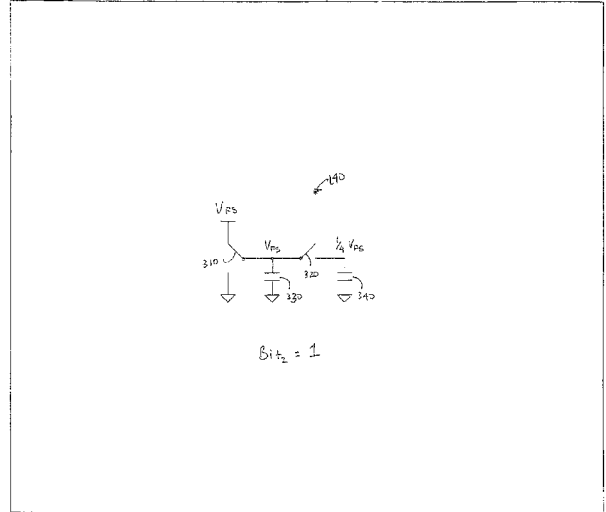
【図 3 D】

Fig. 3D
(従来技術)

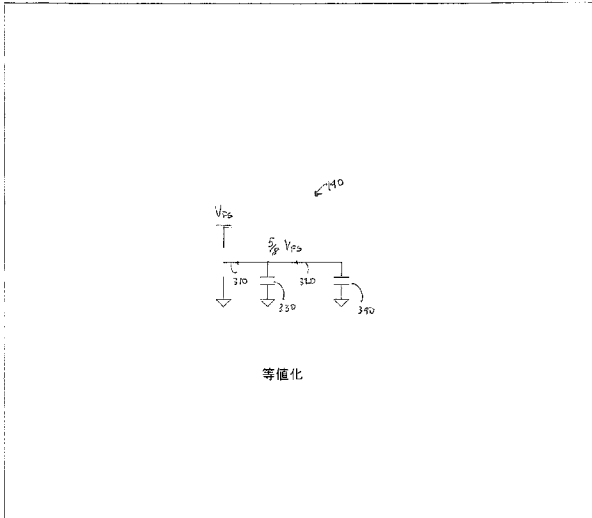
【図 3 E】

Fig. 3E
(従来技術)

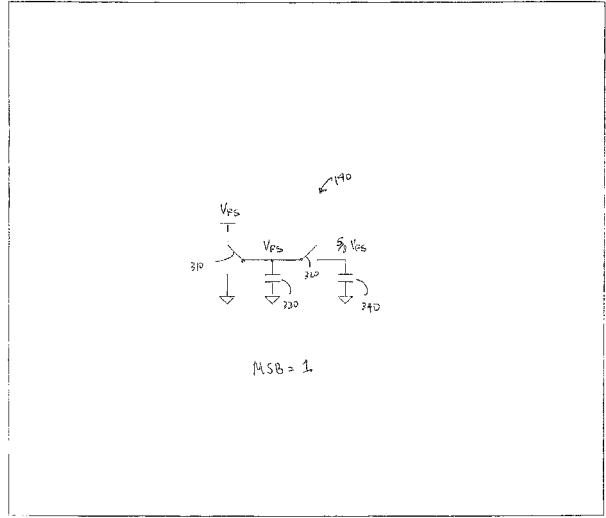
【図 3 F】

Fig. 3F
(従来技術)

【図 3 G】

Fig. 3G
(従来技術)

【図 3 H】

Fig. 3H
(従来技術)

【 図 4 】

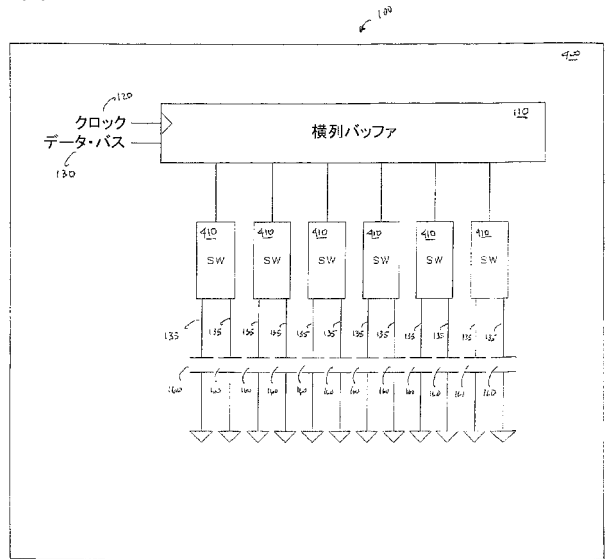


Fig. 4

【 図 5 B 】

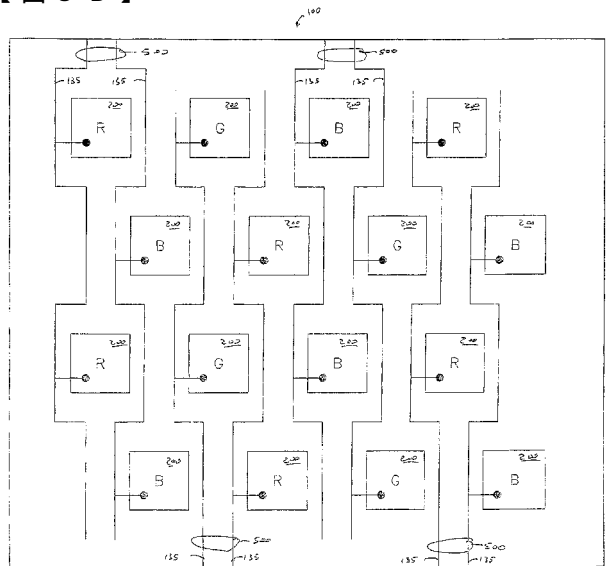


FIG. 5B

【図 6】

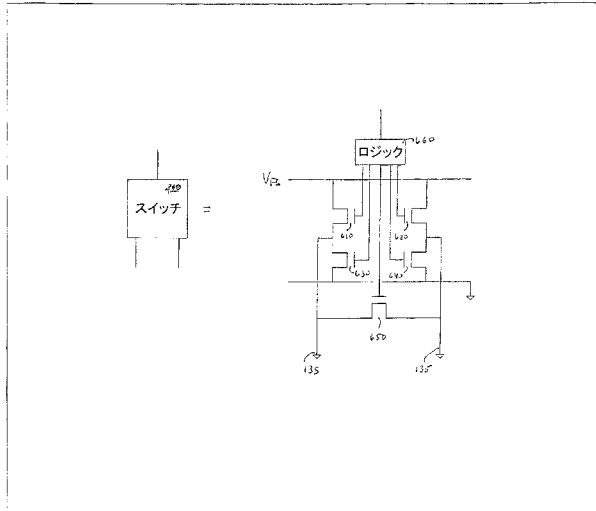


Fig. 6

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/US2004/003805
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y Y	US 2002/054005 A1 (EDWARDS MARTIN JOHN ET AL) 9 May 2002 (2002-05-09) abstract paragraphs '0001! - '0003!, '0006!, '0009!, '0010! paragraphs '0021! - '0025!; figures 1-4 paragraph '0028!; figure 7 US 5 619 225 A (HASHIMOTO SEIJI) 8 April 1997 (1997-04-08) abstract column 1, line 27 - column 2, line 37; figures 1-3 column 4, line 51 - line 58; figure 8 ----- -/--	1-6, 10-15 7-9, 16-18 7, 9, 16, 18
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principles or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search 9 August 2004		Date of mailing of the international search report 18/08/2004
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Corsi, F

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/US2004/003805

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	EP 0 273 995 A (HOSIDEN ELECTRONICS CO) 13 July 1988 (1988-07-13) abstract column 2, line 13 - line 35; figure 4 column 3, line 19 - line 47; figures 2,6 column 5, line 32 - column 6, line 19; figure 9	8,17
A	US 2002/135557 A1 (ALBU LUCIAN REMUS ET AL) 26 September 2002 (2002-09-26) abstract paragraphs '0002!, '0004!, '0007! paragraphs '0027!, '0028!; figure 3 paragraphs '0033! - '0036!; figures 5-7	1-18

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US2004/003805

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 2002054005	A1	09-05-2002	CN 1398391 T	19-02-2003
			WO 0221496 A2	14-03-2002
			EP 1319223 A2	18-06-2003
			JP 2004508592 T	18-03-2004
			TW 574519 B	01-02-2004
US 5619225	A	08-04-1997	JP 3133216 B2	05-02-2001
			JP 8030241 A	02-02-1996
			DE 69430156 D1	25-04-2002
			DE 69430156 T2	26-09-2002
			EP 0637009 A2	01-02-1995
EP 0273995	A	13-07-1988	EP 0273995 A1	13-07-1988
			AT 49075 T	15-01-1990
			DE 3761279 D1	01-02-1990
US 2002135557	A1	26-09-2002	CN 1459085 T	26-11-2003
			EP 1374212 A2	02-01-2004
			WO 02075708 A2	26-09-2002

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

F ターム(参考) 5C006 AA16 AA22 AF43 AF83 BB16 BB21 BC02 BC12 BC14 BC20
BF03 BF04 BF24 BF25 BF26 BF32 BF34 BF37 EB05 FA51
5C080 AA10 BB05 CC03 DD25 DD28 EE29 FF11 GG11 JJ02 JJ03

专利名称(译)	带有数据线电容的集成数字/模拟转换器的液晶显示器		
公开(公告)号	JP2006517687A	公开(公告)日	2006-07-27
申请号	JP2006503441	申请日	2004-02-10
[标]申请(专利权)人(译)	寇平公司		
申请(专利权)人(译)	高平公司，列城庸		
[标]发明人	ハーマンフレデリクピー		
发明人	ハーマン,フレデリク・ピー		
IPC分类号	G09G3/36 G09G3/20 G02F1/133 G02F1/1335		
CPC分类号	G09G3/3688 G09G3/3607 G09G3/3648 G09G2300/0408 G09G2300/0439 G09G2300/0452 G09G2310/027		
FI分类号	G09G3/36 G09G3/20.623.F G09G3/20.680.H G09G3/20.642.K G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NA43 2H093/NA53 2H093/NC13 2H093/NC34 2H093/NC35 2H093/NC49 2H093/ND06 2H093/ND49 2H093/ND50 2H093/ND54 5C006/AA16 5C006/AA22 5C006/AF43 5C006/AF83 5C006/BB16 5C006/BB21 5C006/BC02 5C006/BC12 5C006/BC14 5C006/BC20 5C006/BF03 5C006/BF04 5C006/BF24 5C006/BF25 5C006/BF26 5C006/BF32 5C006/BF34 5C006/BF37 5C006/EB05 5C006/FA51 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD25 5C080/DD28 5C080/EE29 5C080/FF11 5C080/GG11 5C080/JJ02 5C080/JJ03		
优先权	60/446651 2003-02-11 US		
外部链接	Espacenet		

摘要(译)

能够使用在LCD的一对垂直线上出现的列负载电容将数字数据转换为模拟数据的设备和方法。该器件包含一个包含数字数据的数据总线。为了接收和分配数字数据，行缓冲器连接到数据总线。开关网络连接到行缓冲器，以使用在LCD的一对垂直线中出现的列负载电容来转换从行缓冲器接收的数字数据。

