

【特許請求の範囲】

【請求項 1】

マトリックス状に配置された複数の走査線と複数の信号線との各交差点に形成された表示画素と、

前記走査線を駆動する走査線ドライバと、

パルス走査回路及び前期パルス走査回路からの走査信号で映像信号を前期信号線へ順次書き込むスイッチ回路を含んで構成される信号線ドライバとを有し、

前記パルス走査回路を、第 1 のパルス走査回路、第 2 のパルス走査回路及び第 3 のパルス走査回路の少なくとも 3 つ以上の複数領域に分割した構成を備えることを特徴とする液晶表示装置。

10

【請求項 2】

前記複数領域のパルス走査回路を、第 1 のパルス走査回路、第 2 のパルス走査回路、及び第 3 のパルス走査回路とすると、前記第 1 のパルス走査回路・前記第 2 のパルス走査回路・前記第 3 のパルス走査回路の順にシリーズ走査するとともに、前記第 1 のパルス走査回路及び前記第 3 のパルス走査回路の走査速度を、前記第 2 のパルス走査回路の走査速度よりも速くすることを特徴とする請求項 1 記載の液晶表示装置。

【請求項 3】

前記第 2 のパルス走査回路の走査終了後、前記第 3 のパルス走査回路の走査開始まで所定の期間停止して、前記第 1 のパルス走査回路及び前記第 3 のパルス走査回路を並列走査することを特徴とする請求項 1 または 2 何れかに記載の液晶表示装置。

20

【請求項 4】

前記第 1 のパルス走査回路及び前記第 3 のパルス走査回路の走査期間での映像信号と走査停止期間の映像信号とを異ならせることを特徴とする請求項 1 ～ 3 何れかに記載の液晶表示装置。

【請求項 5】

前記第 1 のパルス走査回路及び前記第 3 のパルス走査回路それぞれをさらに少なくとも 2 つの領域に分割し、前記第 1 のパルス走査回路及び前記第 3 のパルス走査回路を並列に走査した後、前記第 2 のパルス走査回路の走査を行うことを特徴とする請求項 1 ～ 4 何れかに記載の液晶表示装置。

【請求項 6】

前記第 1 のパルス走査回路、前記第 2 のパルス走査回路、及び前記第 3 のパルス走査回路の走査速度が同一であることを特徴とする請求項 5 記載の液晶表示装置。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、コンピュータの画像やテレビジョンの映像等を表示するためのアクティブマトリックス液晶表示装置に関するものである。

【背景技術】

【0002】

近年、液晶表示装置（LCD）は、薄型、省電力といった特徴から注目され、より一層の低コスト化、高性能化の要求が高まっている。

40

【0003】

このような要望に対して、ポリシリコン薄膜トランジスタ（pSi-TFT）により各画素と駆動回路とを同一プロセスで形成するアクティブマトリックス液晶表示装置が、例えば特許文献 1 に開示されている。

【0004】

図 9 は、特許文献 1 に開示されているポリシリコン薄膜トランジスタを用いたアクティブマトリックス液晶表示パネルの構成を示す回路図である。図において、10 は表示画素部であり、走査線 G1, G2, G3, G4, …… Gn と、信号線 S1, S2, S3, …… Sm との交差部にスイッチング素子 11、液晶セル 12 及び補助容量 13 が配置され、各

50

走査線は走査線駆動回路 20 に接続され、各信号線は信号線駆動回路 30 に接続されている。走査線ドライバである走査線駆動回路 20 はシフトレジスタの走査回路 21 と出力制御回路 22 とから構成され、信号線ドライバである信号線駆動回路 30 はシフトレジスタの走査回路 31 と映像表示信号 $Vsig$ をサンプリングするスイッチ回路 32 とから構成されている。図 10 は走査線駆動回路 20 及び信号線駆動回路 30 の走査回路 21 及び 31 の構成図である。すなわち、スタート信号である ST 信号（走査回路 21 であれば STV 信号、走査回路 31 であれば STH 信号）とクロック信号である CK 信号（走査回路 21 であれば CKV 信号、走査回路 31 であれば CKH 信号）とを入力し、走査回路 21 であればシフトレジスタ出力信号 Q ($Q1, Q2, Q3, \dots Qn$)、走査回路 31 であればシフトレジスタ出力信号 Q ($Q1, Q2, Q3, \dots Qn$) を出力する。

10

【0005】

走査線駆動回路 20 の動作タイミングチャートを示す図 11、及び信号線駆動回路 30 の動作タイミングチャートを示す図 12 を参照して、走査線駆動回路 20 及び信号線駆動回路 30 の動作を説明する。図 11 において、 STV 信号で走査回路 21 をリセットし、 CKV 信号によって順次パルスを送った内部走査パルス ($Gq1, Gq2, Gq3, \dots Gqn$) を生成し、出力期間制御信号 (OE 信号) で出力パルス幅を制御し、走査線 ($G1, G2, G3, \dots Gn$) に対応した走査線駆動信号を出力する。また、図 12 において、 STH 信号と CKH 信号とでスイッチ回路 32 を制御する内部信号パルス ($Sq1, Sq2, Sq3, \dots Sqn$) を生成し、信号線 ($S1, S2, S3, \dots Sn$) に対応した映像表示信号 $Vsig$ を出力する。

20

【特許文献 1】特開 2005-010266 号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

近年の映像信号の多様化、高精細化に伴い、小型表示装置においてもワイドアスペクト化が望まれている。表示装置のアスペクトに拘わらず、図 13 (a) に示すワイド画像信号 (スクイーズ画像) や図 14 (a) に示すノーマル画像信号を、本来のアスペクトで表示させる必要がある。しかしながら、従来のワイドアスペクトのアクティブマトリックス液晶表示装置では、図 13 (a) に示すワイド画像信号は、同図 (b) に示すようにワイド画像として表示できるが、図 14 (a) に示すノーマル画像信号は、同図 (b) に示すように横長の画像表示となり本来のアスペクトで表示できないため、図 15 (b) に示す本来のアスペクトで表示させるため、図 14 (a) のノーマル画像信号を図 15 (a) に示すように水平圧縮して表示装置へ入力する必要がある。このような水平圧縮を行うためには、走査線 ($G1, G2, G3, \dots Gn$) それぞれにラインメモリを備えることが要請され、走査線駆動回路 20 のコストが高くなるという課題を有していた。

30

【0007】

本発明は上記従来の問題点を解決するもので、安価な構成でノーマルアスペクト画像の画像アスペクトを維持したサイドブラック表示を可能とできる液晶表示装置を提供することを目的とする。

【課題を解決するための手段】

40

【0008】

この目的を達成するために本発明の液晶表示装置は、マトリックス状に配置された複数の走査線と複数の信号線との各交差点に表示画素が形成され、前記走査線を駆動する走査線ドライバと、パルス走査回路、スイッチ回路を含んで構成される前記信号線を駆動する信号線ドライバとが形成されたアクティブマトリックス液晶表示パネルを用いた液晶表示装置であって、前記パルス走査回路を第 1 のパルス走査回路、第 2 のパルス走査回路、第 3 のパルス走査回路の少なくとも 3 つ以上の領域に分割した構成を有する。

【発明の効果】

【0009】

以上説明したように、本発明によれば、信号線ドライバのパルス走査回路を少なくとも

50

3つ以上の領域に分割構成することによりラインメモリを必要とする画像圧縮を行うことなく、サイドブラック表示を実現することが可能となり、さらにサイドブラック表示部に対応する領域のパルス走査回路をさらに分割構成することにより、走査速度の上昇を伴うことなく、液晶表示装置の制御装置の一般的な機能であるスタートパルスのポジション変更のみでサイドブラック表示を実現することができその実用的効果は大きい。

【発明を実施するための最良の形態】

【0010】

次に、本発明の液晶表示装置における好ましい実施形態を、図面を参照しながら説明する。

【実施例1】

【0011】

図1は、本発明の液晶表示装置に係る一実施例におけるパルス走査回路の要部構成図である。本実施例の液晶表示装置は、第1のパルス走査回路(SR(1))41、第2のパルス走査回路(SR(2))42及び第3のパルス走査回路(SR(3))43の3つの領域に分割された構成である。図2は、本実施例に係わるサイドブラック表示を行う場合のパルス走査概念図を示す。なお、縦方向は選択信号線を示し、横方向は時間である。同図に示すように、水平ブランキング期間に第1のパルス走査回路41のSq1, Sq2, ……Sq9を順次走査し、水平ブランキング期間の映像を信号線に書き込む。ここで水平ブランキング期間の映像は一般的に黒であるので、特に映像信号を操作する必要はない。次に、第2のパルス走査回路42のSq10, Sq11, ……Sq70, Sq71を順次走査し、Sq10及びSq71は水平ブランキング期間の黒信号を、他は有効映像を信号線に書き込む。次に、第3のパルス走査回路43のSq72, Sq73, ……Sq80を順次走査し、水平ブランキング期間の黒映像を信号線に書き込む。このような駆動を行うことにより、水平ブランキング期間にサイドブラック表示を割り当てることができる。ここで、水平ブランキング期間内の所定の期間Tcvは、走査線ドライバ20の動作や信号線に一括して所定の信号を書き込むため必要な時間であり、第1のパルス走査回路41及び第3のパルス走査回路43の動作とオーバーラップさせることができないため、第1のパルス走査回路41及び第3のパルス走査回路43の動作速度を第2のパルス走査回路42よりも速くする必要がある。

【0012】

また、第2のパルス走査回路のSq10の選択期間51とSq71の選択期間52とを水平ブランキング期間に入れることにより、サイドブラックと映像の境界に発生する不具合を抑制することが可能となり、図17に示すのデルタ配置のカラーフィルタ構成で有効である。すなわち、デルタ配置構成ではVsigr、VsigG及びVsigBのそれぞれをスイッチ回路32で選択する選択期間は、走査回路31からのシフトレジスタ出力信号Qにより制御される。この選択期間は画素単位で見るとR、G及びBの画素のセットである。このため、例えばSq10の選択期間51の画素のセットとSq11の映像が開始する選択期間53の画素のセットとは、Vsigr、VsigG、VsigBそれぞれを選択するわずかな遅延はあるものの、画素のセットで見ると同じ挙動をすることとなる。ここで、選択期間51を黒映像として水平ブランキング期間に入れることにより、選択期間53の映像表示信号Vsigが何れの画素から実際の有効映像信号が信号線Sに入力されたとしても、水平ブランキング期間は黒表示画面となるため、水平ブランキング期間と有効映像期間との境界部が乱れることがない。また、選択期間54と選択期間52とでも同様であり、有効映像期間と水平ブランキング期間との境界部に乱れが発生することを抑制できる。

【0013】

以上のように本発明の第1の実施の形態によれば、第1及び第3のパルス走査回路の走査速度を速めることで、ラインメモリを必要とする画像圧縮を行うことなく、サイドブラック表示を実現することが出来る。

【実施例2】

【0014】

図3は、本発明液晶表示装置に係る他の実施例におけるサイドブラック表示を行う場合のパルス走査概念図である。パルス走査回路は、図1を参照した発明の実施例1と同じ構成である。図3において、縦方向は選択信号線を示し、横方向は時間である。

【0015】

図3に示すように、水平ブランキング期間に第1のパルス走査回路41のSq1, Sq2, Sq3, ……Sq9を順次走査し、水平ブランキング期間の黒信号を信号線に書き込む。次に第2のパルス走査回路42のSq11, Sq12, ……Sq70を順次走査し、有効映像を信号線に書き込む。次に、第3のパルス走査回路43のSq71, Sq72, ……Sq80を順次走査し、水平ブランキング期間の黒映像を信号線に書き込むことにより、サイドブラック表示が可能となる。実施例1との違いは、第3のパルス走査回路動作中のTcvの期間に走査を停止させることにより、1周期前の第1のパルス走査回路動作とが重なっている点である。このことにより、水平ブランキング期間内の所定の期間Tcvを確保しながら、第1のパルス走査回路41及び第3のパルス走査回路43の動作速度を実施例1の場合よりも遅くできる。ここで、第3のパルス走査回路動作を停止させることでSq72の選択期間55が、水平ブランキング期間内で走査ドライバ20の動作や信号線に一括して所定の信号を書き込む期間Tcvと重なるため、その期間Tcvの入力映像信号を黒とは別の信号にすることができ、信号線への一括書き込み動作に対する不具合を抑止できると共に、走査線駆動回路20の出力制御回路22と同様な構成をとることで入力映像信号の制御が不要になる。

【0016】

以上のように本実施例によれば、ラインメモリを必要とする画像圧縮を行うことなく、第1及び第3のパルス走査回路の走査速度を、図4のスタート信号切り替えスイッチ44を追加した構成と同等の走査速度で、サイドブラック表示を実現することが出来る。

【実施例3】

【0017】

図5は、本発明の液晶表示装置に係る別の実施例のパルス走査回路の構成図を示す。図5に示すように、第1のパルス走査回路41、第2のパルス走査回路42、第3のパルス走査回路43の3つの領域に分割された構成自体は実施例1と同じであるが、第1及び第3のパルス走査回路を、41a, 41b, 43a, 43bとさらに2つずつ分割し、スタート信号切り替えスイッチ44を追加した構成である。ここで、スタート信号切り替えスイッチ44をSTH信号が各パルス走査回路に入力するよう制御することで、サイドブラック表示を行う。図6に本実施例におけるサイドブラック表示を行う場合のパルス走査概念図を示す。また、図16にノーマル表示を行う場合のパルス走査概念図を示す。図6及び図16において、縦方向は選択信号線を示し、横方向は時間である。

【0018】

図6に示すように、水平ブランキング期間に第1のパルス走査回路41a, 41b、及び第3のパルス走査回路43a, 43bを並列に順次走査し、水平ブランキング期間の映像を信号線に書き込む。ここで水平ブランキング期間の映像は一般的に黒であるので、映像信号を操作する必要はない。次に、第2のパルス走査回路12のSq10, Sq11, Sq12, ……Sq70, Sq71を順次走査し、Sq10及びSq71は水平ブランキング期間の黒信号を、他は有効映像を信号線に書き込むことにより、サイドブラック表示が可能となる。なお、図6に示すように、水平ブランキング期間内の所定の期間Tcvは走査線ドライバ20の動作や信号線に一括して所定の信号を書き込むための時間が必要であり、第1及び第3のパルス走査回路の動作とオーバーラップさせることができないが、第1及び第3のパルス走査回路をそれぞれ2つに分割して並列に動作させることで、第2のパルス走査回路42の動作速度と同じ速度でも水平ブランキング期間内の所定の期間Tcvを確保することができる。

【0019】

また、第1と第3のパルス走査回路動作を並列にするのではなく、例えば図7に示すよ

うに、第 1、第 3 のパルス走査回路をそれぞれ 3 つに分割することで、第 1、第 2、第 3 の順にパルス走査回路を動作させることもできる。

【0020】

以上のように、本実施例によれば、第 1 及び第 3 のパルス走査回路をさらに分割構成することで、走査速度を速めることなく、サイドブラック表示を実現することが出来る。

【0021】

なお、本発明の実施の形態において、パルス走査回路を S q 1 から S q 8 0 までの 8 0 段としたが、8 0 段に限定されるものでないことはいうまでもなく、また第 1 及び第 3 のパルス走査回路の分割数も図 5 の 2 分割や図 7 の 3 分割に限定されるものではなく、画素数やサイドブラック領域によって変わることはいうまでもない。また、図 1 0 でパルス走査回路を、クロックエッジ動作の D 型フリップフロップの縦列接続構成としたが、同様の走査動作ができれば回路規模の削減のためにレベルエッジ動作のラッチなどのように他の構成でも良い。

【産業上の利用可能性】

【0022】

本発明の液晶表示装置によると、映像信号の明日終え区と否を維持した表示を可能とするため、高解像力の表示装置にも適用することができ、例えばハイビジョン映像等の高画質映像信号を下のアスペクト比で視認する表示装置に適用できる。

【図面の簡単な説明】

【0023】

【図 1】本発明の実施の形態 1 におけるパルス走査回路の構成図

【図 2】本発明の実施の形態 1 におけるサイドブラック表示時のパルス走査概念図

【図 3】本発明の実施の形態 2 におけるサイドブラック表示時のパルス走査概念図

【図 4】本発明の実施の形態 2 におけるパルス走査回路の構成図

【図 5】本発明の実施の形態 3 におけるパルス走査回路の構成図

【図 6】本発明の実施の形態 3 におけるサイドブラック表示時のパルス走査概念図

【図 7】本発明の実施の形態 3 におけるパルス走査回路の構成図

【図 8】本発明の実施の形態 3 におけるサイドブラック表示時のパルス走査概念図

【図 9】従来の実施の形態におけるアクティブマトリックス液晶表示パネルの構成図

【図 1 0】従来の実施の形態におけるアクティブマトリックス液晶表示パネルの走査回路の構成図

【図 1 1】従来の実施の形態における走査線駆動回路の動作タイミングチャート

【図 1 2】従来の実施の形態における信号線駆動回路の動作タイミングチャート

【図 1 3】(a) は従来の実施の形態におけるワイドアスペクト映像信号概念図、(b) は従来の実施の形態におけるワイドアスペクト表示概念図

【図 1 4】(a) は従来の実施の形態におけるノーマルアスペクト映像信号概念図、(b) は従来の実施の形態におけるノーマルアスペクト表示概念図

【図 1 5】(a) は従来の実施の形態におけるサイドブラック映像信号概念図、(b) は従来の実施の形態におけるサイドブラック表示概念図

【図 1 6】本発明の実施の形態 3 におけるノーマル表示時のパルス走査概念図

【図 1 7】本発明の実施の形態 1 における液晶表示装置の動作タイミングチャート

【符号の説明】

【0024】

1 0 表示画素部

1 1 スイッチング素子

1 2 液晶セル

1 3 補助容量

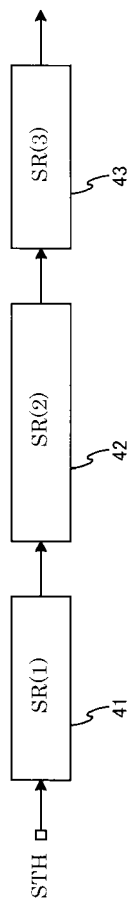
2 0 走査線駆動回路

2 1 走査回路

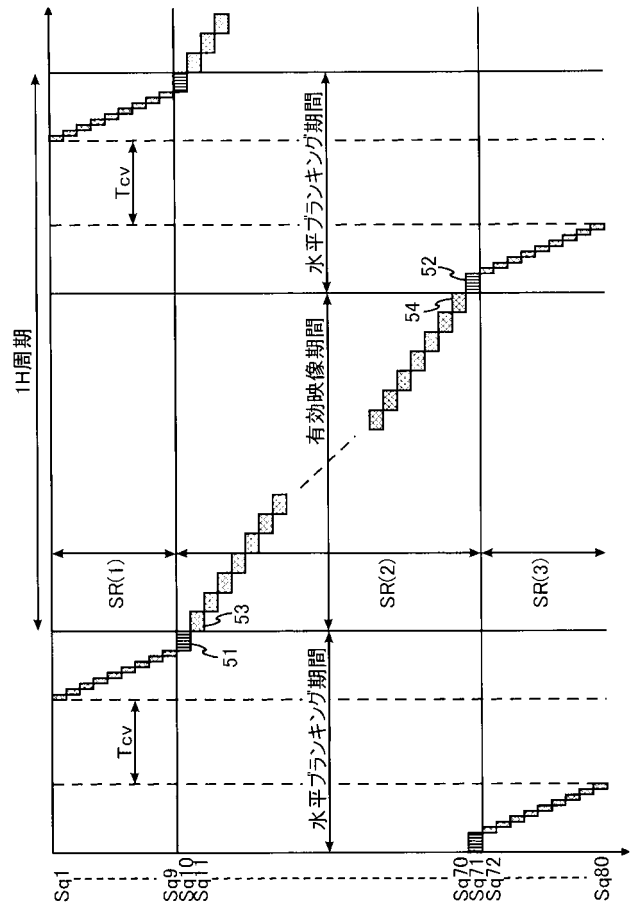
2 2 出力制御回路

- 30 信号線駆動回路
- 31 走査回路
- 32 スイッチ回路
- 41, 42, 43 パルス走査回路
- 41a, 41b, 41c, 43a, 43b, 43c パルス走査回路
- 51, 52 サイドブラック境界選択期間
- 53 走査停止時選択期間

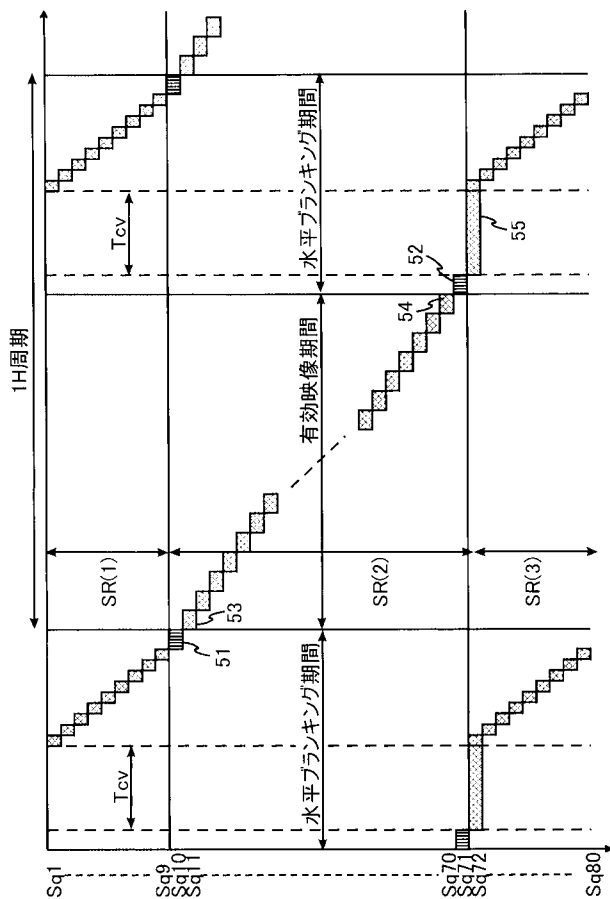
【図1】



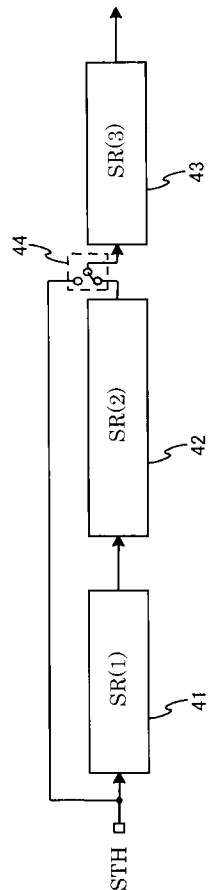
【図2】



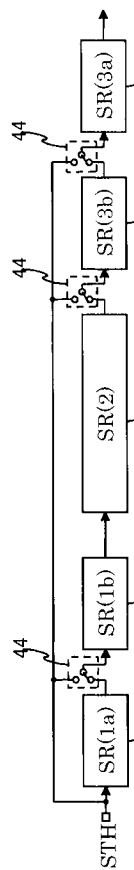
【図 3】



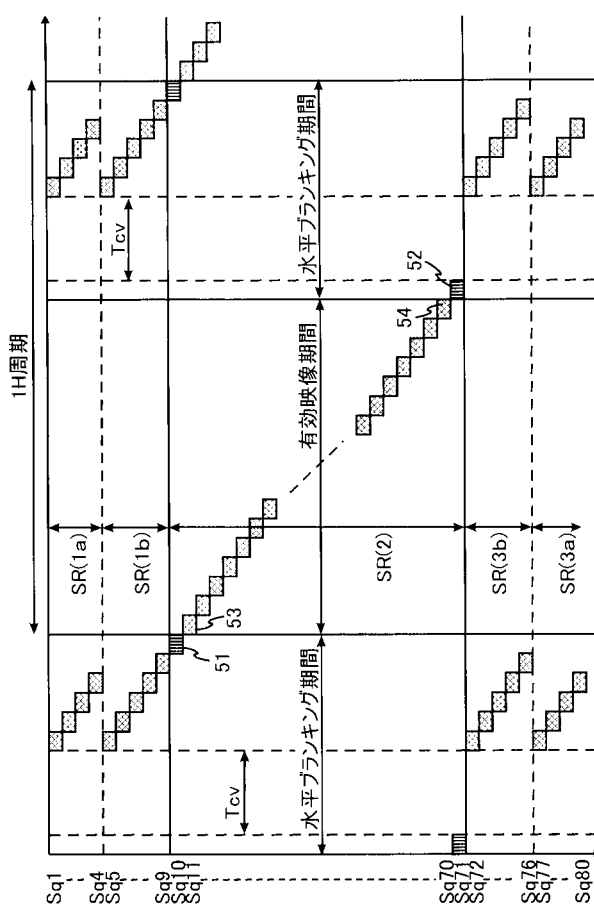
【図 4】



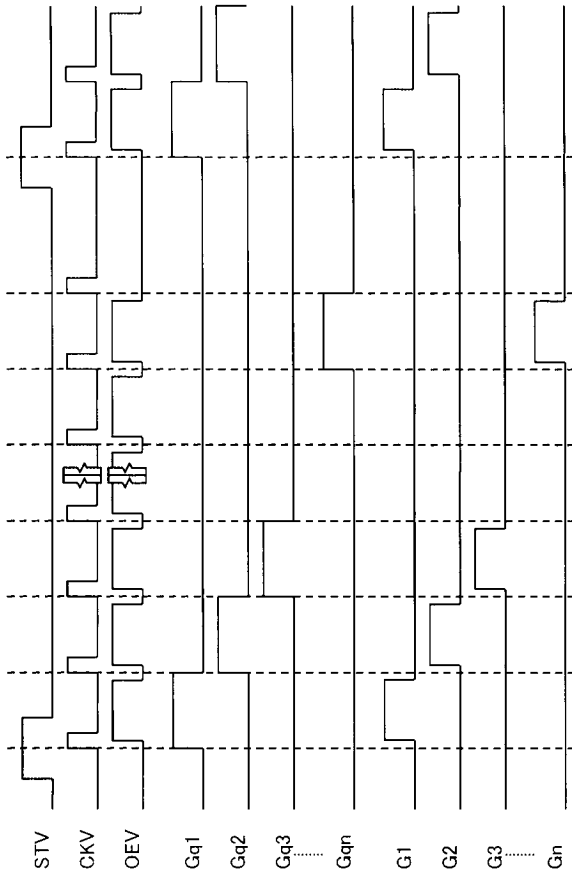
【図 5】



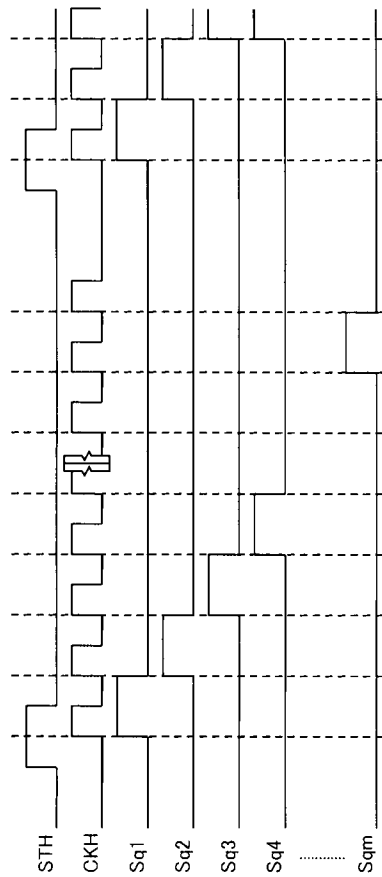
【図 6】



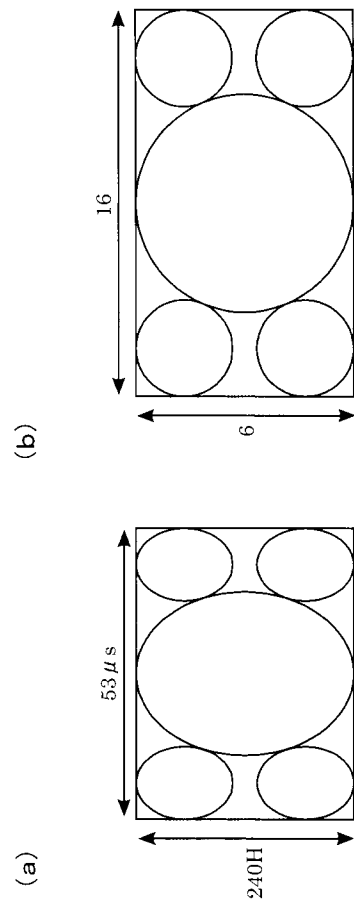
【図 1 1】



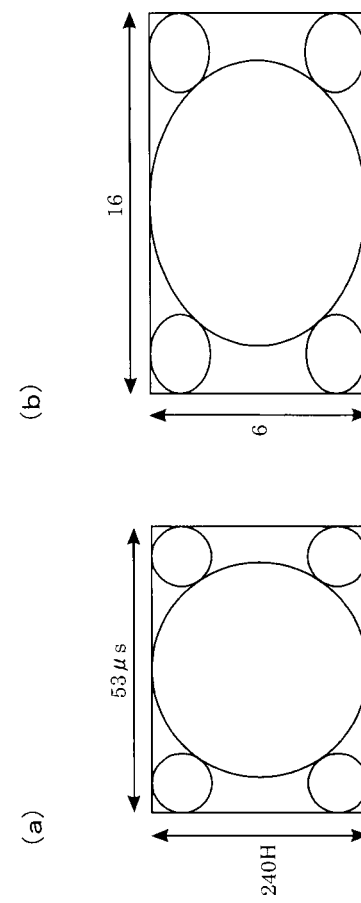
【図 1 2】



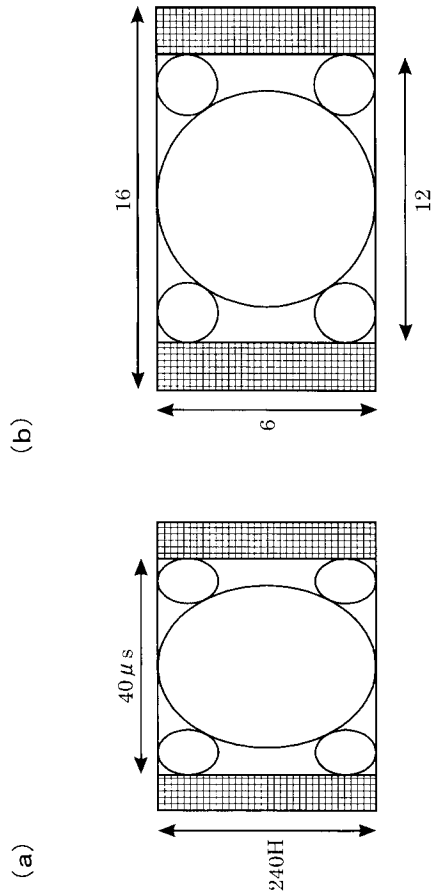
【図 1 3】



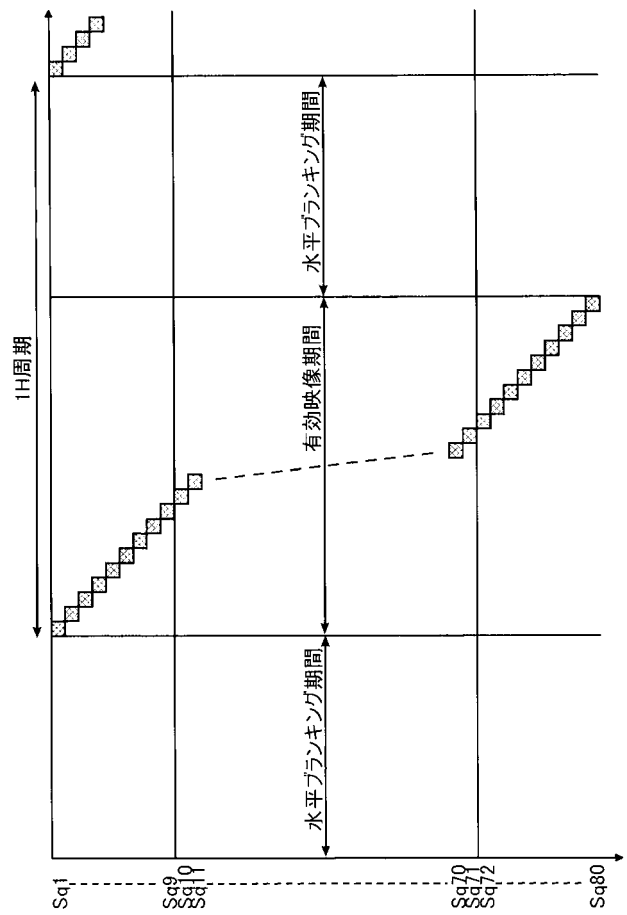
【図 1 4】



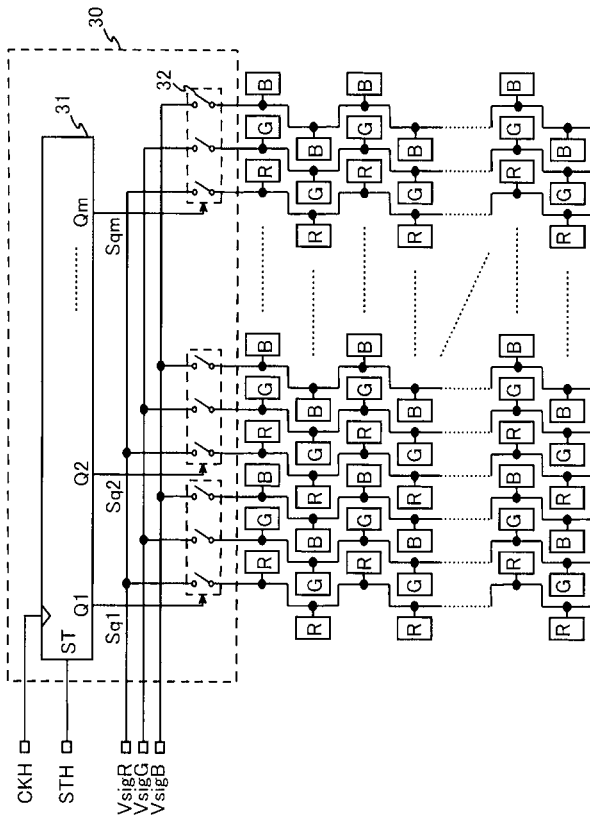
【図 15】



【図 16】



【図 17】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 G 3/20 6 6 0 Q

F ターム(参考) 5C006 AA01 AC21 AF23 AF34 AF36 AF45 AF46 AF47 AF51 AF52
AF53 AF61 AF71 BB16 BC02 BC03 BC11 BC20 BF03 BF14
BF24 EB04 FA08 FA21 FA41
5C080 AA10 BB05 DD22 DD27 DD28 EE19 FF11 JJ01 JJ02 JJ03
JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2006292925A	公开(公告)日	2006-10-26
申请号	JP2005111987	申请日	2005-04-08
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	古林好則		
发明人	古林 好則		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.623.H G09G3/20.650.G G09G3/20.660.E G09G3/20.660.Q G11C19/00 G11C19/00.J		
F-TERM分类号	2H093/NA41 2H093/NB11 2H093/NC09 2H093/NC11 2H093/NC16 2H093/NC21 2H093/NC28 2H093/NC29 2H093/ND43 2H093/ND60 2H093/NE10 5C006/AA01 5C006/AC21 5C006/AF23 5C006/AF34 5C006/AF36 5C006/AF45 5C006/AF46 5C006/AF47 5C006/AF51 5C006/AF52 5C006/AF53 5C006/AF61 5C006/AF71 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF14 5C006/BF24 5C006/EB04 5C006/FA08 5C006/FA21 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD27 5C080/DD28 5C080/EE19 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZP20 5B074/AA10 5B074/CA01		
代理人(译)	内藤裕树		
其他公开文献	JP2006292925A5		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供宽广的液晶显示器，以简单的配置实现侧面黑色显示，无需输入图像压缩，需要关于正常方面的输入图像的帧存储器。解决方案：信号线驱动电路30的脉冲扫描电路31被分成第一脉冲扫描电路41，第二脉冲扫描电路42和第三脉冲扫描电路43的三个区域。视频信号显示在显示器上通过连续操作第一脉冲扫描电路41，第二脉冲扫描电路43和第三脉冲扫描电路，可以实现这一点。根据该配置，启用侧黑显示，而不必对输入图像进行压缩处理。Ž

