

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2006-208998
(P2006-208998A)

(43) 公開日 平成18年8月10日(2006.8.10)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 611C	5C080
	G09G 3/20 623D	
	G09G 3/20 623R	
審査請求 未請求 請求項の数 5 O L (全 8 頁) 最終頁に続く		

(21) 出願番号	特願2005-23889 (P2005-23889)	(71) 出願人	000003078
(22) 出願日	平成17年1月31日 (2005.1.31)		株式会社東芝
			東京都港区芝浦一丁目1番1号
		(74) 代理人	100075812
			弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
		(74) 代理人	100082991
			弁理士 佐藤 泰和
		(74) 代理人	100096921
			弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康
		最終頁に続く	

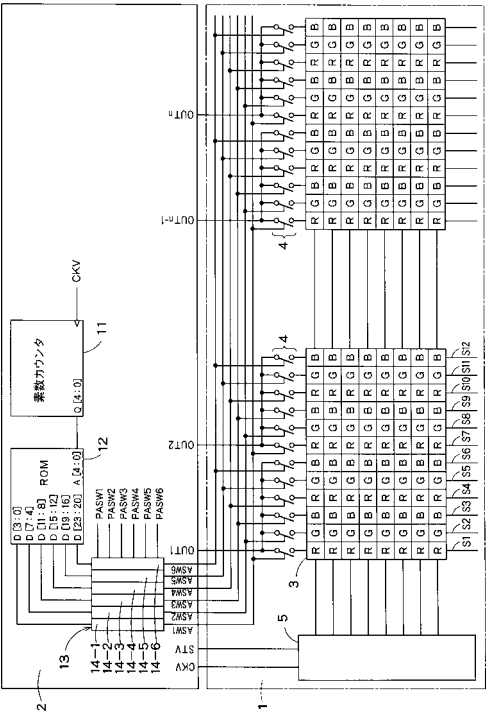
(54) 【発明の名称】 平面表示装置

(57) 【要約】

【課題】 信号線等から高周波ノイズが発生しないようにした平面表示装置を提供する。

【解決手段】 液晶パネル1は、縦横に列設された信号線および走査線と、信号線および走査線の交点付近に配置される表示素子3と、各信号線に接続されるアナログスイッチ4と、各走査線を駆動するゲート駆動回路5とを有する。液晶駆動回路2は、特定の素数の回数分だけカウント動作を行う素数カウンタ11と、素数カウンタ11のカウント値に対応するランダム値を出力するROM12と、ROM12から出力されたランダム値に基づいてアナログスイッチ4のオン・オフを制御するスイッチ制御部13とを有する。素数カウンタ11とROM12を用いることにより、各水平ラインごとの信号線書込順序をランダムにし、かつ連続した2フレームにおける同一ラインの信号線書込順序が同じにならないようにするため、信号線等から発生される高周波ノイズを抑制でき、不要な電波放射の少ない液晶表示装置を実現できる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

縦横に列設される信号線および走査線の交点付近ごとに形成される複数の表示素子と、前記信号線に画素データを供給する順序を、水平ラインごとにランダムに切り替える信号線駆動回路と、を備えることを特徴とする平面表示装置。

【請求項 2】

前記信号線駆動回路は、
複数の信号線からなるブロック内の各信号線に画素データを供給するか否かを切替制御する画素データ切替回路と、

乱数または疑似乱数を発生する乱数発生回路と、
前記乱数発生回路で発生された乱数または疑似乱数に基づいて、前記画素データ切替回路が前記複数の信号線のそれぞれに画素データを供給する順序を設定する順序設定回路と、を有することを特徴とする請求項 1 に記載の平面表示装置。

10

【請求項 3】

前記乱数発生回路は、
特定の素数を基準としてカウント動作を行う素数計数器と、
前記素数計数器の計数値ごとに異なるランダム値を出力するランダム値出力回路と、を有し、

前記順序設定回路は、前記ランダム値に基づいて、前記画素データ切替回路が前記複数の信号線に画素データを供給する順序を設定することを特徴とする請求項 2 に記載の平面表示装置。

20

【請求項 4】

前記画素データ切替回路は、ブロック内の前記複数の信号線のそれぞれに接続される複数のアナログスイッチを有し、

前記順序設定回路は、信号線の書込タイミングを示す書込タイミング信号と前記ランダム値とに基づいて、前記複数のアナログスイッチのオン・オフタイミングを設定することを特徴とする請求項 3 に記載の平面表示装置。

【請求項 5】

前記素数計数器は、水平ラインごとにカウント動作を行い、

前記画素データ切替回路は、ブロックごとに設けられ、

すべての前記画素データ切替回路は、前記順序設定回路が設定した順序に従って、各信号線への切替制御を同時に行うことを特徴とする請求項 3 又は 4 に記載の平面表示装置。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、複数の信号線を分割駆動する平面表示装置に関する。

【背景技術】**【0002】**

複数の信号線からなるブロックとして、各ブロック内の各信号線を時分割駆動する液晶表示装置が提案されている（特許文献 1 参照）。この種の従来の液晶表示装置では、ブロック内の各信号線を駆動する順序は予め決められており、各信号線に接続されたアナログスイッチを決められた順序でオン・オフして各信号線の駆動を行っていた。

40

【0003】

しかしながら、ブロック内の各信号線の駆動順序を固定にすると、信号線等がアンテナとなって高周波ノイズが発生するおそれがある。

【特許文献 1】特開平 8-185142 号公報

【発明の開示】**【発明が解決しようとする課題】****【0004】**

本発明は、信号線等から高周波ノイズが発生しないようにした平面表示装置を提供する

50

ものである。

【課題を解決するための手段】

【0005】

本発明の一態様によれば、縦横に列設される信号線および走査線の交点付近に形成される複数の表示素子と、前記信号線に画素データを供給する順序を、各水平ラインごとにランダムに切り替える信号線駆動回路と、を備えることを特徴とする平面表示装置を提供するものである。

【発明の効果】

【0006】

本発明によれば、信号線等から高周波ノイズが発生しなくなる。

10

【発明を実施するための最良の形態】

【0007】

以下、図面を参照しながら、本発明の一実施形態について説明する。

【0008】

図1は本発明の一実施形態に係る平面表示装置の概略構成を示すブロック図である。以下では、平面表示装置の一例として、液晶表示装置について説明する。

【0009】

図1の液晶表示装置は、ガラス基板上に形成された液晶パネル1と、ガラス基板上に実装されるか、あるいはガラス基板にFPC(Flexible Print Circuit)を介して接続される制御基板上に実装される液晶駆動回路2とを備えている。

20

【0010】

液晶パネル1は、縦横に列設された信号線および走査線と、信号線および走査線の交点付近に配置される表示素子3と、各信号線に接続されるアナログスイッチ4と、各走査線を駆動するゲート駆動回路5とを有する。表示素子3は、例えば画素TFT(Thin Film Transistor)である。

【0011】

本実施形態では、2画素分の信号線(1画素がRGB用の3本で、計6本の信号線)を単位としてブロック駆動を行い、異なるブロックは同時に駆動される。各ブロック内の6本の信号線は、アナログスイッチ4により順次に時分割駆動される。したがって、全ブロックがそれぞれ1本の信号線を同時に駆動する。

30

【0012】

上述したアナログスイッチ4は、各ブロック内の各信号線に対応して設けられている。すなわち、各ブロックごとに6個のアナログスイッチ4が設けられ、各アナログスイッチ4は、対応する信号線に接続されている。

【0013】

同一ブロック内の6個のアナログスイッチ4のうち、いずれか一つのみがオンし、オンになったアナログスイッチ4に接続された信号線に液晶駆動回路2からの画素データが供給される。画素データは、画素データ線OUT1~OUTnを介して液晶駆動回路2から各ブロックに供給される。画素データ線OUT1~OUTnは、ブロックごとに設けられている。

【0014】

液晶駆動回路2は、特定の素数の回数分だけカウント動作を行う素数カウンタ11と、素数カウンタ11のカウント値に対応するランダム値を出力するROM12と、ROM12から出力されたランダム値に基づいてアナログスイッチ4のオン・オフを制御するスイッチ制御部13とを有する。スイッチ制御部13は、同一回路構成の6つのセクタ14-1~14-6を有する。これらセクタ14-1~14-6は、各アナログスイッチ4に対応づけて設けられており、対応するアナログスイッチ4のオン・オフを制御する。

40

【0015】

素数カウンタ11は、アップカウンタとダウンカウンタのいずれでもよいが、1水平ラインの周期をもつクロックCKVに同期して、特定の素数(例えば17)の回数分だけカウント動作を行う。以下では、素数カウンタ11としてアップカウンタ(17進ラインカウンタ

50

)を使用し、0～16までカウント動作を行う例を説明する。

【0016】

ROM12は、素数カウンタ11のカウント値に対応するランダム値を記憶している。図2はROM12に格納されているデータの一例を示す図である。ランダム値のワード長は18ビットで足りるが、ROM12のデータ構成を簡略化するために、ワード長を24ビットにしている。24ビットのランダム値D[23:0]は、4ビットずつのビット列に分けられ、各ビット列は対応するセクタ14-1～14-6に入力される。より具体的には、セクタ14-1にはランダム値D[3:0]が、セクタ14-2にはランダム値D[7:4]が、セクタ14-3にはランダム値D[11:8]、セクタ14-4にはランダム値D[15:12]が、セクタ14-5にはランダム値D[19:16]が、セクタ14-6にはランダム値D[23:20]がそれぞれ入力される。

10

【0017】

各セクタ14-1～14-6は、24ビットからなるランダム値の一部のビット列と、信号線の書込タイミングを規定する画素書込タイミング信号[PASW1:PASW6]とに基づいて、アナログスイッチ4のオン・オフを制御する。

【0018】

図3はセクタ14-1～14-6の具体的構成の一例を示す回路図である。ROM12から出力される各4ビットのビット列のうち、実際にセクタ14-1～14-6に入力されるのは下位3ビットのみである。図3では、この3ビットをS0、S1、S2で表している。セクタ14-1～14-6は、ビット列[S0:S2]と画素書込タイミング信号[PASW1:PASW6]との論理演算を行って、出力Zを「1」にするタイミングを設定する。セクタ14-1～14-6の出力Zが「1」になると、そのセクタ14-1～14-6に対応するアナログスイッチ4がオンする。

20

【0019】

図1に示すように、スイッチ制御部13は、全ブロック内のアナログスイッチ4のオン・オフを制御する。より具体的には、スイッチ制御部13内の各セクタ14-1～14-6は、全ブロック内の対応するアナログスイッチ4のオン・オフを制御する。このように、スイッチ制御部13を全ブロックで共用することで、回路構成を簡略化できる。

【0020】

図4は図1の各部の動作タイミングの一例を示す図である。画素書込タイミング信号[PASW1:PASW6]は、1水平ライン周期Tを持つ信号であり、各信号は互いに位相がずれている。より具体的には、各画素書込タイミング信号は、(1水平ライン周期T)/6周期ずつ位相がずれている。

30

【0021】

画素データ線には、1水平ライン周期Tの間に、2画素分のRGBデータが供給される(時刻t1～t2)。図4は、1番目の水平ライン期間内(時刻t1～t2)に画素データ線OUT1に対して、2画素目の青データB2_1、1画素目の赤データR1_1、2画素目の赤データR2_1、1画素目の青データB1_1、1画素目の緑データG1_1、2画素目の緑データG2_1を順に供給する例を示している。この場合、最初に供給された2画素目の青データB2_1が信号線S6に供給され、次に1画素目の赤データR1_1が信号線S1に供給され、次に2画素目の赤データR2_1が信号線S4に供給され、次に、1画素目の青データB1_1が信号線S3に供給され、最後に1画素目の緑データG1_1が信号線S2に供給される。

40

【0022】

次の水平ライン期間内(時刻t2～t3)は、画素データ線OUT1に対して、1画素目の緑データG1_2、1画素目の青データB1_2、1画素目の赤データR1_2、2画素目の緑データG2_2、2画素目の赤データR2_2、2画素目の青データB2_2が供給される。この場合、最初に供給された1画素目の緑データG1_2は信号線S2に供給され、次に1画素目の青データB1_2が信号線S3に供給され、次に1画素目の赤データR1_2が信号線S1に供給され、次に2画素目の緑データG2_2が信号線S5に供給され、次に2画素目の赤データR2_2が信号線S4に供給され、最後に2画素目の青データB2_2が信号線S6に供給される。

【0023】

図4からわかるように、水平ラインごとに、ブロック内の信号線の駆動順序が異なって

50

いる。信号線の駆動順序は、ROM 1 2 から出力されるランダム値に依存する。

【 0 0 2 4 】

異なる複数のブロックは、同時に駆動される。例えば、図 4 に示すように、画素データ線 OUTn 上の画素データは、画素データ線 OUT1 上の画素データと同タイミングで供給され、信号線に書き込まれるタイミングも同じである。

【 0 0 2 5 】

このように、信号線を複数のブロックに分割して、各ブロック内の信号線に同タイミングで画素データを書き込むことにより、画素データ線の周波数および信号線の書込周波数を下げることができ、消費電力の削減が可能となるとともに、周波数に余裕が出るために表示解像度をより向上できる。

10

【 0 0 2 6 】

本実施形態では、1 水平ラインごとに素数カウンタ 1 1 の値が更新され、それに応じて、ROM 1 2 から異なるランダム値が出力され、そのランダム値に基づいてブロック内のアナログスイッチ 4 の切替順序がランダムに変化する。これにより、信号線の書込順序についての規則性がなくなり、信号線等から発生される高周波ノイズを抑制することができる。

【 0 0 2 7 】

なお、素数カウンタ 1 1 の値が同じであれば、ROM 1 2 は必ず同じ値を出力するため、アナログスイッチ 4 の切替順序も同じになるが、アナログスイッチ 4 の切替順序が同じになる周期は、素数カウンタ 1 1 の素数の数によって決められ、連続した 2 フレームにおける同一ラインの信号線書込順序は同じにはならない。このため、フレーム単位での信号線書込順序の規則性もなくなる。

20

【 0 0 2 8 】

図 5 は図 1 の液晶表示装置から放射される不要電波の一例を示す FFT 波形図、図 6 は従来の液晶表示装置から放射される不要電波の比較例を示す FFT 波形図である。これらの図において、横軸は周波数、縦軸は信号強度である。図 5 と図 6 を比較すればわかるように、本実施形態の構成によれば、不要電波の放射を大幅に減らすことができる。

【 0 0 2 9 】

ところで、本実施形態では、ブロック内の 6 個のアナログスイッチ 4 のオン・オフを切り替える際に、複数のアナログスイッチ 4 が瞬間的に同時にオンすることがないように、すべてのアナログスイッチ 4 がオフになる期間を設けている（例えば、図 4 の時刻 $t_4 \sim t_5$ ）。このようなオフ期間を設けることにより、画素データ同士の干渉を防ぐことができ、画質が劣化しなくなる。

30

【 0 0 3 0 】

このように、本実施形態では、素数カウンタ 1 1 と ROM 1 2 を用いることにより、各水平ラインごとの信号線書込順序をランダムにし、かつ連続した 2 フレームにおける同一ラインの信号線書込順序が同じにならないようにするため、信号線等から発生される高周波ノイズを抑制でき、不要な電波放射の少ない液晶表示装置を実現できる。

【 0 0 3 1 】

上述した実施形態では、素数カウンタ 1 1 と ROM 1 2 を用いてランダム値を生成したが、乱数（または疑似乱数）発生回路を用いてランダム値を生成してもよい。

40

【 0 0 3 2 】

上述した実施形態では、隣接する 2 画素を 1 ブロックとして信号線の書込を行ったが、ブロックの単位には特に制限はない。ブロックの単位に応じて、アナログスイッチ 4 の数を調整すればよい。また、上述した実施形態では、ガラス基板上に液晶駆動回路 2 を実装する例を説明したが、ガラス基板上にポリシリコンプロセス等を用いて一体に液晶駆動回路 2 を形成してもよい。

【 0 0 3 3 】

上述した実施形態では、各色 64 階調の色表示を行う例を説明したが、階調数には特に制限はない。また、素数カウンタ 1 1 がカウントする素数の値にも特に制限はない。素数の

50

値が大きくなるほど、周期性が少なくなり、不要電波をより抑制できる。

【 0 0 3 4 】

上述した実施形態では、本発明を液晶表示装置に適用した例を説明したが、本発明は、EL (Electroluminescence) 装置やPDP (Plasma Display Panel) 装置等の各種平面表示装置に広く適用可能である。

【 図面の簡単な説明 】

【 0 0 3 5 】

【 図 1 】 本発明の一実施形態に係る平面表示装置の概略構成を示すブロック図。

【 図 2 】 ROM 1 2 に格納されているデータの一例を示す図。

【 図 3 】 セレクタ14-1～14-6の具体的構成の一例を示す回路図。

10

【 図 4 】 図 1 の各部の動作タイミングの一例を示す図。

【 図 5 】 図 1 の液晶表示装置から放射される不要電波の一例を示すFFT波形図。

【 図 6 】 従来の液晶表示装置から放射される不要電波の比較例を示すFFT波形図。

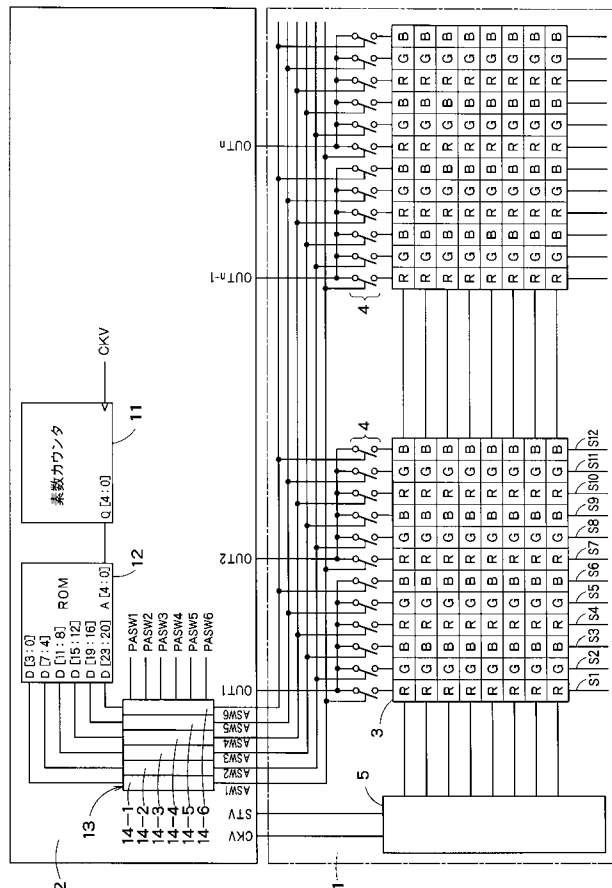
【 符号の説明 】

【 0 0 3 6 】

- 1 液晶パネル
- 2 液晶駆動回路
- 3 表示素子
- 4 アナログスイッチ
- 5 ゲート駆動回路
- 11 素数カウンタ
- 12 ROM
- 13 スイッチ制御部
- 14-1～14-6 セレクタ

20

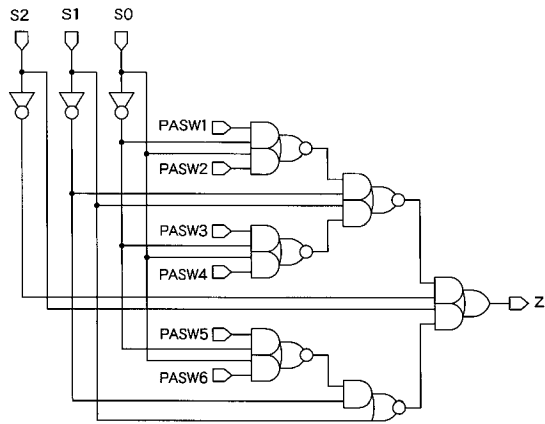
【 図 1 】



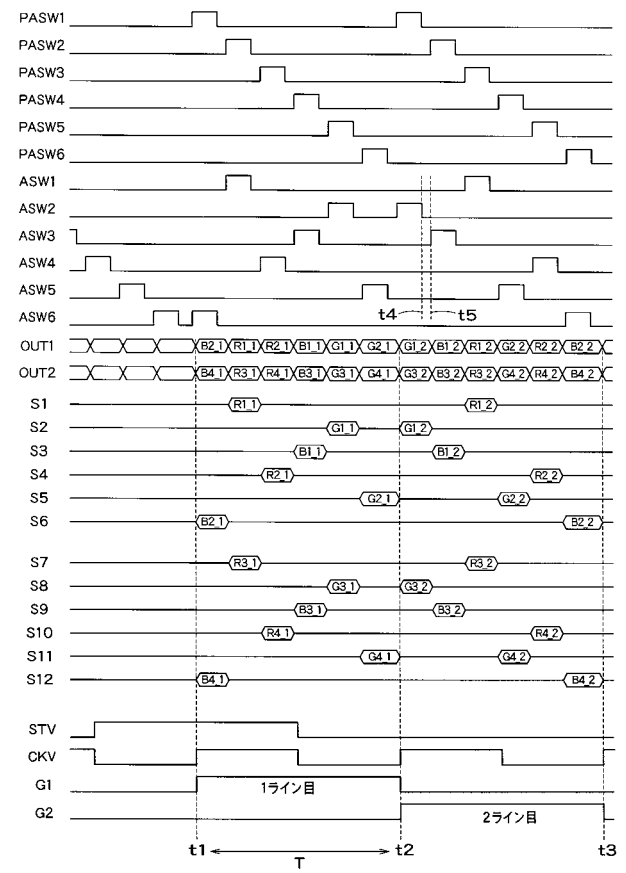
【 図 2 】

カウント値	ランダム値
0	052341
1	534102
2	203154
3	240351
4	321540
5	450231
6	530142
7	025431
8	041235
9	502314
10	524310
11	043251
12	325140
13	201435
14	501423
15	024531
16	510342

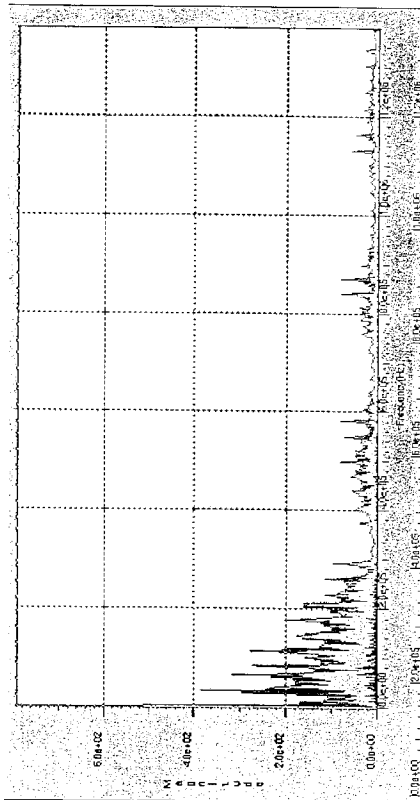
【図 3】



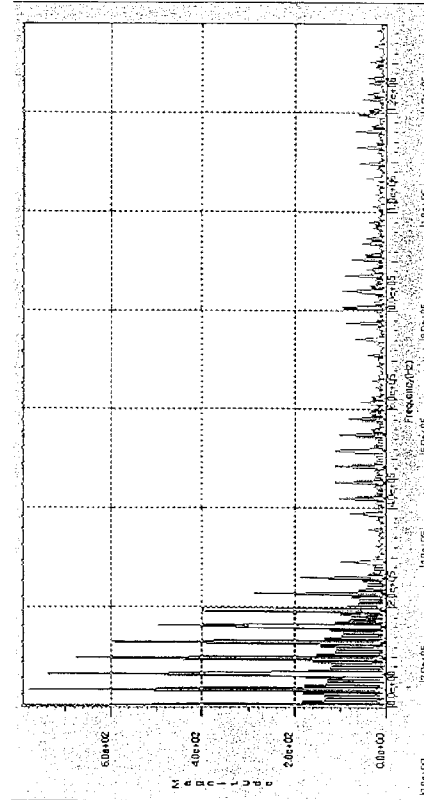
【図 4】



【図 5】



【図 6】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 0 9 G 3/20 6 2 3 X

(72)発明者 日 高 喜代志

神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエレクトロニクスセンター内

F ターム(参考) 2H093 NC16 NC27 NC34 ND39 ND40
5C006 AA22 AC21 AF22 AF42 AF43 AF44 AF46 AF51 AF53 AF71
BC03 BC11 BC20 BF14 BF22 BF24 BF28 BF49 FA32
5C080 AA05 AA06 AA10 BB05 CC03 DD12 FF12 JJ02 JJ03 JJ04
JJ05

专利名称(译)	平面表示装置		
公开(公告)号	JP2006208998A	公开(公告)日	2006-08-10
申请号	JP2005023889	申请日	2005-01-31
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
[标]发明人	日高喜代志		
发明人	日 高 喜代志		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3688 G09G3/3666 G09G2310/0218 G09G2310/0297 G09G2330/06		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.C G09G3/20.623.D G09G3/20.623.R G09G3/20.623.X		
F-TERM分类号	2H093/NC16 2H093/NC27 2H093/NC34 2H093/ND39 2H093/ND40 5C006/AA22 5C006/AC21 5C006/AF22 5C006/AF42 5C006/AF43 5C006/AF44 5C006/AF46 5C006/AF51 5C006/AF53 5C006/AF71 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF14 5C006/BF22 5C006/BF24 5C006/BF28 5C006/BF49 5C006/FA32 5C080/AA05 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD12 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 2H193/ZA04		
代理人(译)	耀希达凯贤治 弘吉 川崎靖		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种平面显示装置，其中不会从信号线等产生高频噪声。液晶面板（1）包括：信号线和以行和列排列的扫描线；显示元件（3），其布置在信号线和扫描线的交叉点附近；以及模拟开关（4），其连接到每条信号线。以及用于驱动每条扫描线的栅极驱动电路5。液晶驱动电路2包括执行针对特定数量的素数的计数操作的素数计数器11，输出与素数计数器11的计数值相对应的随机值的ROM 12以及基于从ROM 12输出的随机值的模拟。开关控制单元13，其控制开关4的接通/断开。通过使用质数计数器11和ROM 12，使每条水平线的信号线写入顺序变得随机，并且在两个连续帧中同一行的信号线写入顺序不同。可以实现一种液晶显示装置，其可以抑制从该装置产生的高频噪声并且发出较少的不必要的无线电波。[选型图]图1

