

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-154712
(P2006-154712A)

(43) 公開日 平成18年6月15日(2006.6.15)

(51) Int. Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 611E	5C080
	G09G 3/20 621L	
	G09G 3/20 621M	

審査請求 未請求 請求項の数 17 O L (全 14 頁) 最終頁に続く

(21) 出願番号	特願2005-74352 (P2005-74352)	(71) 出願人	503447036 サムスン エレクトロニクス カンパニー リミテッド
(22) 出願日	平成17年3月16日 (2005.3.16)	(74) 代理人	110000408 特許業務法人高橋・林アンドパートナーズ
(31) 優先権主張番号	2004-098065	(72) 発明者	朴 鎮 佑 大韓民国京畿道龍仁市器興邑古梅里 ウナ ムドリームバリ101棟 801号
(32) 優先日	平成16年11月26日 (2004.11.26)	(72) 発明者	羅 柄 善 大韓民国京畿道華城市台安邑半月里 新靈 通現代アパート212棟 1503号
(33) 優先権主張国	韓国 (KR)		

最終頁に続く

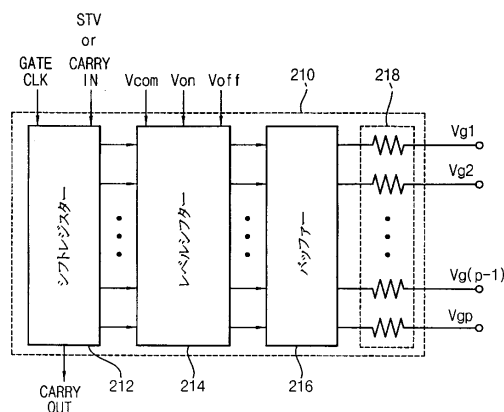
(54) 【発明の名称】 ゲートライン駆動回路、これを有する表示装置、その駆動装置及び方法

(57) 【要約】

【課題】 キックバック電圧によるフリッカー発生を低減する。

【解決手段】 液晶表示装置のゲート駆動チップ210において、シフトレジスタ212は、キャリア信号にตอบสนองしてハイレベルのデータ値を順次にシフトさせて出力する。レベルシフタ214は、ハイレベルのデータ値に基づいて、外部から供給される第1電圧をレベルシフティングして出力する。出力バッファ216は、レベルシフティングされた第1電圧をバッファリングして遅延部218に出力する。遅延部は、バッファリングされた第1電圧を遅延させて、ゲートラインに出力する。これによって、キックバック電圧による表示特性不良を除去することができる。

【選択図】 図7



【特許請求の範囲】

【請求項 1】

表示パネルに具備される複数のゲートラインにゲート信号を出力するゲートライン駆動回路において、

キャリア信号に応答して、1ライン時間間隔でハイレベルのデータ値を順次にシフトさせ出力するシフトレジスタと、

前記ハイレベルのデータ値に基づいて、外部から供給される第1電圧をレベルシフティングするレベルシフタと、

前記レベルシフティングされた第1電圧をバッファリングして出力する出力バッファと、

前記バッファリングされた第1電圧を遅延させて前記ゲートラインに出力する遅延部と、

を含むことを特徴とするゲートライン駆動回路。

【請求項 2】

前記第1ライン時間は、前記複数のゲートラインの数と1フレーム時間により定義されることを特徴とする請求項1記載のゲートライン駆動回路。

【請求項 3】

前記遅延部は、インピーダンス素子であることを特徴とする請求項1記載のゲートライン駆動回路。

【請求項 4】

前記遅延部は、電氣的に接続されたゲートラインのインピーダンス値の20%~30%を有するインピーダンス素子であることを特徴とする請求項1記載のゲートライン駆動回路。

【請求項 5】

前記遅延部は、略2kΩの抵抗素子であることを特徴とする請求項1記載のゲートライン駆動回路。

【請求項 6】

前記レベルシフティングされた第1電圧は、前記第1電圧より高いことを特徴とする請求項1記載のゲートライン駆動回路。

【請求項 7】

前記第1電圧は3.3Vであり、前記バッファリングされた第1電圧は20V~40Vであることを特徴とする請求項1記載のゲートライン駆動回路。

【請求項 8】

複数のゲートライン、複数のデータライン、互いに隣接するゲートラインと互いに隣接するデータラインにより囲まれる領域に形成され前記ゲートライン及びデータラインに接続されたスイッチング素子、及び前記スイッチング素子に接続された画素部を具備する表示パネルと、

前記データラインにデータ信号を出力するデータ駆動部と、

前記ゲートラインに遅延されたゲート信号を出力するゲート駆動部と、

を含むことを特徴とする表示装置。

【請求項 9】

前記ゲート駆動部は、前記ゲート信号を遅延するためのインピーダンス素子を含むことを特徴とする請求項8記載の表示装置。

【請求項 10】

前記インピーダンス素子は、前記ゲート駆動部の出力端に接続されたゲートラインに対応して具備されることを特徴とする請求項9記載の表示装置。

【請求項 11】

前記インピーダンス素子は、前記ゲート駆動部の出力端に接続されたゲートラインのインピーダンス値の20%~30%を有することを特徴とする請求項9記載の表示装置。

【請求項 12】

10

20

30

40

50

前記インピーダンス素子は、略 2 k の抵抗素子であることを特徴とする請求項 9 記載の表示装置。

【請求項 13】

前記ゲート駆動部と前記ゲートラインを電氣的に接続するファンアウト部の長さは、ほぼ同じであることを特徴とする請求項 8 記載の表示装置。

【請求項 14】

複数のゲートライン、複数のデータライン、互いに隣接するゲートラインと互いに隣接するデータラインにより囲まれた領域に形成され前記ゲートライン及びデータラインに接続されたスイッチング素子、及び前記スイッチング素子に接続された画素部を具備する表示パネルと、

10

前記データラインにデータ信号を出力するデータ駆動部と、

強制遅延されたゲート信号を出力するゲート駆動部と、

ほぼ同じ長さを有して前記ゲート駆動部の出力端と前記ゲートラインを電氣的に接続するファンアウト部と、

を含むことを特徴とする表示装置。

【請求項 15】

複数のゲートライン、複数のデータライン、前記ゲートラインとデータラインに接続されたスイッチング素子、及び前記スイッチング素子に接続された画素部を有する表示パネルを含む表示装置の駆動装置において、

前記データラインにデータ信号を出力するデータ駆動部と、

20

前記ゲートラインに遅延されたゲート信号を出力するゲート駆動部と、

を含むことを特徴とする表示装置の駆動装置。

【請求項 16】

複数のゲートライン、複数のデータライン、互いに隣接するゲートラインと互いに隣接するデータラインにより囲まれた領域に形成され前記ゲートライン及びデータラインに接続されたスイッチング素子、及び前記スイッチング素子に接続された液晶キャパシタを有する表示パネルを含む表示装置の駆動方法において、

前記データラインにデータ信号を供給するステップと、

外部から提供されるキャリー信号に応答して、前記データ信号を前記液晶キャパシタに充電させるために、前記ゲートラインに遅延されたゲート信号を供給するステップと、

30

を含むことを特徴とする表示装置の駆動方法。

【請求項 17】

前記遅延されたゲート信号を供給するステップは、

前記キャリー信号に応答して、1ライン時間間隔でハイレベルのデータ値を順次シフトさせ出力するステップと、

前記出力されるハイレベルのデータ値に基づいて、外部から供給される第1電圧をレベルシフティングするステップと、

前記レベルシフティングされた第1電圧をバッファリングするステップと、

前記バッファリングされた第1電圧を遅延させ前記ゲートラインに供給するステップと

40

、を含むことを特徴とする請求項 16 記載の表示装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、ゲートライン駆動回路、これを有する表示装置、その駆動装置及び方法に関し、より詳細には、出力端に遅延手段を有するゲートライン駆動回路、これを有する表示装置、その駆動装置及び方法に関する。

【背景技術】

【0002】

液晶表示装置は、2つの基板間に注入された異方性誘電率を有する液晶物質に、強度が

50

調節された電界を印加して、液晶物質により透過される光量を調節することにより、所望する画像を得る表示装置である。液晶表示装置は、ゲート電極に印加されるゲート電圧によってデータラインを通じて液晶に伝達される信号電圧の大きさが制御され、このような可変的なデータ電圧は、液晶の分極状態をステップ的に変えるので、液晶表示装置でのグレイレベルを多様に表現できる。

【0003】

液晶表示装置は、ソースドライブICとこれを駆動するソースPCB、及びゲートドライブICとこれを駆動するゲートPCBで構成される。

【0004】

最近、原価節減及び工程単純化のために、ソースドライブICとゲートドライブICは、出力チャンネル数を増加させる。例えば、SXGA(642×342)級の解像度を有する液晶表示パネルに採用されるソースドライブICは、384出力チャンネルから642出力チャンネルに増加させて、ICの個数を10個から6個に減らし、ゲートドライブICは256出力チャンネルから342出力チャンネルに増加させて、ICの個数を4個から3個に減らしている。

10

【発明の開示】

【発明が解決しようとする課題】

【0005】

しかし、このような多チャンネルICの適用は、駆動ICのファンアウト(fan-out)部の長さが増加するので、ファンアウト部の互いに異なる長さによりキックバック電圧の偏差が発生され、これによって表示特性に悪い影響を及ぼすという問題点がある。

20

又、液晶表示パネルのサイズが大きくなるほど、ゲート電圧の抵抗-キャパシタ(RC)遅延の増加に誘発されるキックバック電圧が増加して、位置に依存するフリッカーの発生が増加するという問題点がある。

【0006】

本発明の目的は、このような従来の問題点を解決するためのものであって、本発明の目的は、駆動ICのファンアウト部の長さが増加しても、キックバック電圧による表示特性の不良を解消するためのゲートライン駆動回路を提供することにある。

本発明の他の目的は、前記したゲートライン駆動回路を有する表示装置を提供することにある。

30

本発明の更に他の目的は、前記した表示装置の駆動装置を提供することにある。

本発明の更に他の目的は、前記した表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【0007】

前記した本発明の目的を実現するための一特徴による、表示パネルに具備される複数のゲートラインにゲート信号を出力するゲートライン駆動回路は、シフトレジスタ、レベルシフタ、出力バッファ、及び遅延部を含む。前記シフトレジスタは、キャリア信号に 응답して、1ライン時間間隔でハイレベルのデータ値を順次にシフトさせ前記レベルシフタに出力する。前記レベルシフタは、前記ハイレベルのデータ値に基づいて、外部から供給される第1電圧をレベルシフティングして前記出力バッファに出力する。前記出力バッファは、前記レベルシフティングされた第1電圧をバッファリングして前記遅延部に出力する。前記遅延部は、前記バッファリングされた第1電圧を遅延させて(前縁及び後縁に勾配を生成させて)前記ゲートラインに出力する。

40

【0008】

前記第1ライン時間は、前記複数のゲートラインの数と1フレーム時間により定義される。前記遅延部は、インピーダンス素子であることが好ましい。前記遅延部は、該遅延部に接続されたゲートラインのインピーダンス値の20%~30%を有するインピーダンス素子であることが好ましい。前記遅延部は、略2kのインピーダンス値を有する。

【0009】

前記した本発明の他の目的を実現するための一特徴による表示装置は、表示パネル、デ

50

ータ駆動部、及びゲート駆動部を含む。前記表示パネルは、複数のゲートライン、複数のデータライン、互いに隣接するゲートラインと互いに隣接するデータラインにより囲まれる領域に形成され前記ゲートライン及びデータラインに接続されたスイッチング素子、及び前記スイッチング素子に接続された画素部を含む。前記データ駆動部は、前記データラインにデータ信号を出力する。前記ゲート駆動部は、前記ゲートラインに遅延されたゲート信号を出力する。

【0010】

前記した本発明の他の目的を実現するための一特徴による表示装置は、表示パネル、データ駆動部、ゲート駆動部、及びパンアウト部を含む。前記表示パネルは、複数のゲートライン、複数のデータライン、互いに隣接するゲートラインと互いに隣接するデータラインにより囲まれた領域に形成され前記ゲートライン及びデータラインに接続されたスイッチング素子、及び前記スイッチング素子に接続された画素部を具備する。前記データ駆動部は、前記データラインにデータ信号を出力する。前記ゲート駆動部は、遅延されたゲート信号を出力する。前記ファンアウト部は、ほぼ同じ長さを有して前記ゲート駆動部の出力端と前記ゲートラインを電氣的に接続し、前記遅延されたゲート信号を前記ゲートラインに伝達する。

10

【0011】

前記した本発明の更に他の目的を実現するための一特徴による表示装置の駆動装置は、複数のゲートライン、複数のデータライン、前記ゲートラインとデータラインに接続されたスイッチング素子及び前記スイッチング素子に接続された画素部を有する表示パネル、データ駆動部、及びゲート駆動部を含む。前記データ駆動部は、データラインにデータ信号を出力し、前記ゲート駆動部は、前記ゲートラインに遅延されたゲート信号を出力する。

20

【0012】

前記した本発明の更に他の目的を実現するための一特徴による表示装置の駆動方法は、複数のゲートライン、複数のデータライン、互いに隣接するゲートラインと互いに隣接するデータラインにより囲まれた領域に形成され前記ゲートライン及びデータラインに接続されたスイッチング素子、及び前記スイッチング素子に接続された液晶キャパシタを有する表示パネルを含む表示装置の駆動方法において、前記データラインにデータ信号を供給するステップ、及び外部から提供されるキャリア信号にตอบสนองして、前記データ信号を前記液晶キャパシタに充電させるために、前記ゲートラインに遅延されたゲート信号を供給するステップを含む。

30

【0013】

前記遅延されたゲート信号を供給するステップは、前記キャリア信号にตอบสนองして、1ライン時間間隔でハイレベルのデータ値を順次移動させ出力するステップ、前記出力されるハイレベルのデータ値に基づいて、外部から供給される第1電圧をレベルシフティングするステップ、前記レベルシフティングされた第1電圧をバッファリングするステップ、及び前記バッファリングされた第1電圧を強制遅延させ前記ゲートラインに供給するステップを含む。

【発明の効果】

40

【0014】

このようなゲートライン駆動回路、これを有する表示装置、その駆動装置及び方法によると、ゲートライン駆動回路の出力端に前記ゲート信号を遅延させる遅延部を具備させることで、キックバック電圧による表示特性の不良を排除することができる。

【発明を実施するための最良の形態】

【0015】

以下、添付図面を参照して、本発明をより詳細に説明する。

図1は、液晶表示素子の単位画素を説明するための回路図であり、図2及び図3は、ゲート電圧とデータ電圧との関係を説明するための波形図である。

図1及び図2を参照すると、データ電圧 V_d は、 n 番目フレーム期間では、共通電極電

50

圧 V_{com} に対して正極性の一定レベルを有して印加され、 $(n+1)$ 番目フレーム期間では、共通電極電圧 V_{com} に対して負極性の一定レベルを有して印加され、 $(n+2)$ 番目フレーム期間では、共通電極電圧 V_{com} に対して正極性の一定レベルを有して印加される。

【0016】

ゲート電圧 V_g は、液晶表示パネルに形成されたスイッチング素子 T F T をターンオン又はターンオフさせるために、ゲートライン G L に印加される。

しかし、液晶表示パネルの駆動時、データ電圧 V_d によって実際に液晶に印加される電圧は、図 3 のような波形の電圧である。

【0017】

図 3 を参照すると、 n 番目フレーム期間において、スイッチング素子 T F T にゲート電圧 V_g が印加されると、画素電圧に第 1 キックバック電圧 V_{p1} の電圧シフトが生じる。 n 番目フレーム期間の電圧シフトは、データラインを通じて供給されるデータ電圧と液晶層に印加される電圧間の差電圧である。

10

【0018】

又、 $(n+1)$ 番目フレーム期間において、スイッチング素子 T F T にゲート電圧 V_g が印加されると、画素電圧に第 2 キックバック電圧 V_{p2} の電圧シフトが生じる。 $(n+1)$ 番目フレーム期間の電圧シフトは、データライン D L を通じて供給されるデータ電圧と液晶層に印加される電圧間の差電圧である。第 2 キックバック電圧 V_{p2} は、第 1 キックバック電圧 V_{p1} より大きい。

20

【0019】

図 4 は、図 3 に図示されたキックバック電圧により誘発される表示特性不良を説明するための平面図であり、図 5 は、ロー方向（行方向）のゲートラインに順次に印加されるゲート電圧を説明するための波形図である。

図 4 及び図 5 を参照すると、ゲートライン駆動回路からゲート電圧が出力されると、液晶表示パネルのカラム方向（列方向）領域に対応するキックバック電圧やロー方向領域に対応するキックバック電圧は、位置により大きな差が生じることを示している。

【0020】

即ち、ゲートドライバ部 20 に近接する液晶表示パネル 30 の左側カラム方向領域で、ゲートライン駆動回路のファンアウト部の長さが相対的に短い画素のキックバック電圧 V_k は相対的に最も大きく、ファンアウト部の長さが相対的に長い画素のキックバック電圧 V_k は相対的に小さい。従って、液晶表示パネル 30 の同じカラム方向の画素のうちでも、ファンアウト部の長さによってキックバック電圧の大きさの差は大きい。

30

【0021】

又、液晶表示パネル 30 のロー方向領域のうち、左側領域に対応する画素のキックバック電圧が最も大きく、右側領域に対応する画素のキックバック電圧が最も小さい。従って、液晶表示パネル 30 の左側部と右側部とにおいても、キックバック電圧の大きさは差が大きい。

【0022】

このように、液晶表示パネルの同じカラムの画素に対しても、ファンアウト部の長さによってキックバック電圧の差が大きく、液晶表示パネルの左側部のキックバック電圧と右側部のキックバック電圧の差が大きいので、液晶表示パネルの位置により相違するキックバック電圧によって、液晶の R M S (R o o t M e a n s S q u a r e) 電圧が異なる。本発明によれば、このような問題点を回避することができる。

40

【0023】

(実施例 1)

図 6 は、本発明の一実施例による液晶表示装置を説明するためのブロック図である。

図 6 を参照すると、本発明の一実施例による液晶表示装置は、ソースドライバ部 100、ゲートドライバ部 200、及び液晶表示パネル 300 を含む。

ソースドライバ部 100 は、複数のソース駆動チップ 110 を含み、複数のデータ電圧

50

を液晶表示パネル300に供給する。複数のソース駆動チップ110は、液晶表示パネル300の周辺領域に集積されることもでき、別のフレキシブル印刷回路基板(FPCB)に搭載されることもできる。

【0024】

ゲートドライバ部200は、複数のゲートライン駆動回路(又は、ゲート駆動チップ)210を含み、複数のゲート電圧を液晶表示パネル300に順次に供給する。本発明においては、ゲート電圧が意図的に遅延されるが、この点については、図7に関連して詳細に説明する。複数のゲート駆動チップ210は、液晶表示パネル300の周辺領域に集積されることもでき、別のフレキシブル印刷回路基板に搭載されることもできる。

【0025】

液晶表示パネル300は、複数のゲートラインGL、複数のデータラインDL、互いに隣接するゲートラインGLと互いに隣接するデータラインDLにより囲まれる領域に形成されたスイッチング素子TF T、スイッチング素子TF Tに電氣的に接続された液晶キャパシタClc、及びスイッチング素子TF Tに電氣的に接続されたストレージキャパシタCstを含む。

【0026】

動作時、ゲートラインGLは、ゲート電圧をスイッチング素子TF Tに伝達する。データラインDLは、データ電圧をスイッチング素子TF Tに伝達する。液晶キャパシタClcは、ゲート電圧に基づいてターンオンされるスイッチング素子TF Tを介して、データ電圧を充電する。ストレージキャパシタCstは、ターンオンされたスイッチング素子TF Tを経由して提供されるデータ電圧を保持し、スイッチング素子TF Tのターンオフ期間に、充電されたデータ電圧を液晶キャパシタClcに提供する。

【0027】

図7は、図6に図示されたゲートライン駆動回路を説明するためのブロック図であり、図8は、図7に図示されたゲートライン駆動回路から出力されるゲート電圧を説明するための波形図である。

図6～図8を参照すると、本発明によるゲートライン駆動回路(又は、ゲート駆動チップ)210は、シフトレジスタ212、レベルシフタ214、出力バッファ216、及び遅延部218を含み、液晶表示パネル300に具備される複数のゲートラインGLに、遅延部218により、強制的に前縁及び後縁が勾配を持つように遅延されたゲート電圧を順次に供給する。

【0028】

シフトレジスタ212は、垂直開始信号STV又はキャリー信号CARRY INとゲートクロックGATE CLKに応答して、1ライン時間間隔(1ライン時間毎)でハイレベルのデータ値を順次に移動させて、レベルシフタ214に出力する。ゲート駆動チップが一番目ゲートラインを含むゲートラインGLに電氣的に接続されると、シフトレジスタ212は、外部から提供される垂直開始信号STVとゲートクロックGATE CLKに基づいて動作する。ゲート駆動チップが、残りのゲートラインGLに電氣的に接続されると、シフトレジスタ212は、前段のゲート駆動チップから提供されるキャリー信号CARRYとゲートクロックGATE CLKに基づいて動作する。

【0029】

レベルシフタ214は、シフトレジスタ212から供給されるハイレベルのデータ値に基づいて、外部から供給される第1電圧(ゲートオン電圧Von)をレベルシフティング、即ち、レベルアップさせて出力バッファ216に出力する。ゲートオン電圧Vonは、スイッチング素子TF Tをターンオンさせるために供給される。

出力バッファ216は、レベルシフティングされたゲートオン電圧Vonをバッファリングして、遅延部218に出力する。

【0030】

遅延部218は、バッファリングされたゲートオン電圧Vonを遅延させて、ゲートラインGLに順次に出力する。遅延部218により、ゲートオン電圧の上昇時間が相対的に

10

20

30

40

50

遅延され、下降時間も相対的に遅延される。互いに隣接するゲート電圧は、上昇時間と下降時間が重畳していてもよい。前記したゲート電圧の重畳による悪影響が生じる場合は、該悪影響を除去するために、本発明によるゲート駆動チップ 210 は、別の出力イネーブル信号 OE の供給を受けることが好ましい。

【0031】

遅延部 218 は、ゲートライン GL の数だけ具備される複数のインピーダンス素子を含む。インピーダンス素子は、抵抗が好ましい。該抵抗と浮遊容量（不図示）等により、RC 遅延回路を構成する。各抵抗のインピーダンス値は互いに異なるように設定されることもでき、同様に設定されることもできる。

【0032】

各抵抗のインピーダンス値が互いに異なるように設定される場合、中間チャンネルに対応するインピーダンス値が最も大きく、外郭チャンネルに対応するインピーダンス値は小さいことが好ましい。

各抵抗のインピーダンス値が同様に設定される場合、抵抗のインピーダンス値は、一種のロードとして作用するゲートライン GL のインピーダンス値の 20% ~ 30% である。遅延部は、略 2 k のインピーダンス値を有することが好ましい。

【0033】

図 9 は、図 6 に図示された単位画素に印加されるゲート電圧とデータ電圧を説明するための波形図である。

図 6 及び図 9 を参照すると、データ電圧 V_d は n 番目フレーム期間において、共通電極電圧 V_{com} からみて正極性の一定レベルを有して印加され、 $(n+1)$ 番目フレーム期間において、共通電極電圧 V_{com} からみて負極性の一定レベルを有して印加され、 $(n+2)$ 番目フレーム期間において、共通電極電圧 V_{com} からみて正極性の一定レベルを有して印加される。

【0034】

ゲート電圧 V_g は、液晶表示パネル 300 に形成された複数のゲートライン GL の数と 1 フレーム時間により定義される 1 ライン時間の間、アクティブレベルとなって印加される。例えば、液晶表示パネル 300 が 642×342 の解像度を有し、1 フレーム時間は 16.7 ms ($= 1/60$) であれば、ゲート電圧 V_g がアクティブレベルとなる時間は、略 48.8 ns ($= 16.7 \text{ ms} / 342$) である。

【0035】

しかし、液晶表示パネル 300 の駆動時、データ電圧 V_d によって実際に液晶に印加される電圧は、図 10 の実線のような波形の電圧である。

図 10 は、図 9 に図示されたゲート電圧により液晶層に印加されるデータ電圧を説明するための波形図である。

【0036】

図 10 を参照すると、 n 番目フレーム期間に、スイッチング素子 TFT に印加されるゲート電圧は、遅延部 218 によって強制的に遅延された信号なので、画素電圧の電圧シフトは図 3 の例に対比して相対的に大きい第 3 キックバック電圧 V_{p3} である。すなわち、遅延されたゲート電圧がスイッチング素子 TFT に印加されることによって、液晶キャパシタの充電率が相対的に低くなり、これによってキックバック電圧が上昇する。 n 番目フレーム期間での電圧シフトは、データライン DL を通じて供給されるデータ電圧と液晶層に印加される電圧との間の差電圧である。

【0037】

又、 $(n+1)$ 番目フレーム期間において、スイッチング素子 TFT に印加されるゲート電圧 V_d は、遅延部 218 により強制的に遅延された信号なので、画素電圧の電圧シフトは、図 3 の例に対比して相対的に小さい第 4 キックバック電圧 V_{p4} である。 $(n+1)$ 番目フレーム期間での電圧シフトは、データライン DL を通じて供給されるデータ電圧 V_d と液晶層に印加される電圧との間の差電圧である。その結果、第 4 キックバック電圧 V_{p4} は、第 3 キックバック電圧 V_{p3} レベルとほぼ同じになり、従来例に比べて

10

20

30

40

50

差が小さくなる。

【0038】

図11は、本発明の一実施例によって改善されたキックバック電圧を説明するための液晶表示装置の平面図であり、図12は、図11に図示された任意のゲートラインに印加されるゲート電圧を説明するための波形図である。

図11及び図12を参照すると、ゲート駆動チップ210で強制遅延されたゲート電圧が出力されるので、液晶表示パネル300のカラム方向領域に対応するキックバック電圧 V_k やロー方向領域に対応するキックバック電圧 V_k は、図4と比較する時、位置によって大きな差が現れない。

【0039】

即ち、ゲートドライバ部200に近接する液晶表示パネル300の左側カラム方向領域でゲート駆動チップ210のファンアウト部の長さが相対的に短い画素のキックバック電圧 V_k の大きさや、ファンアウト部の長さが相対的に長い画素のキックバック電圧 V_k の大きさは、図4と比較する時、ほぼ均一である。

従って、液晶表示パネル300の同じカラム方向の画素のうちでも、ファンアウト部の長さの差が大きくても、キックバック電圧 V_k の大きさの差をほぼ均一にすることができる。

【0040】

又、液晶表示パネル300のロー方向領域のうち、左側領域に対応する画素のキックバック電圧 V_k と右側領域に対応する画素のキックバック電圧 V_k はほぼ同一である。従って、液晶表示パネル300の左側部に対応するキックバック電圧の大きさと右側部に対応するキックバック電圧の大きさは、その差をほぼ均一にすることができる。

【0041】

このように、液晶表示パネルのカラム方向の位置によるキックバック電圧の差を小さくして、液晶のカラム方向の位置に無関係にRMS電圧を均一にすることができ、互いに隣接するカラム領域の輝度も均一に維持することができる。

又、液晶表示パネルのロー方向の位置によるキックバック電圧の差も小さくすることができるので、液晶のロー方向の位置に無関係にRMS電圧を均一にすることができ、互いに隣接するロー領域の輝度も均一に維持することができる。

【0042】

(実施例2)

図13は、本発明の他の実施例による液晶表示装置を説明するためのブロック図であり、図14は、図13に図示されたゲート駆動チップとゲートラインを接続するファンアウト部を概略的に説明するための平面図である。

図13及び図14を参照すると、本発明の他の実施例による液晶表示装置は、ソースドライバ部400、ゲートドライバ部500、及び液晶表示パネル600を含む。

【0043】

ソースドライバ部400は、複数のソース駆動チップ410を含み、複数のデータ電圧を液晶表示パネル600に供給する。

ゲートドライバ部500は、複数のゲート駆動チップ510を含み、複数のゲート電圧を液晶表示パネル600に順次に供給する。ゲート駆動チップの出力端と該当するゲートラインGLを接続するファンアウト部の経路は均一に形成される。

【0044】

即ち、ゲート駆動チップ510の中間チャンネルに対応するファンアウト部の長さは、一番目チャンネル又は最終番目チャンネルに対応するファンアウト部の長さと同様に形成される。これによって、一番目チャンネル及び最終番目チャンネルに対応するファンアウト部は直線形態である反面、中間チャンネルに対応するファンアウト部は曲線形態、歯波形態、又はパルス波形態等のような多様な形状で形成される。

【0045】

前記したファンアウト部は、液晶表示パネル600のアレイ基板上にゲートラインGL

10

20

30

40

50

が形成される時、アレイ基板の周辺領域に形成されることが好ましい。勿論、前記したファンアウト部は、別のフレキシブル印刷回路基板上に形成することもできる。フレキシブル印刷回路基板には導電性経路が形成され、ゲート駆動チップ510を搭載する。フレキシブル印刷回路基板は、液晶表示パネル600のゲートラインGLとゲート駆動チップ510を電氣的に接続する。

【0046】

液晶表示パネル600は、複数のゲートラインGL、複数のデータラインDL、互いに隣接するゲートラインGLと互いに隣接するデータラインDLにより囲まれる領域に形成されるスイッチング素子TF T、スイッチング素子TF Tに電氣的に接続された液晶キャパシタClc、及びスイッチング素子TF Tに電氣的に接続されたストレージキャパシタCstを含む。

10

【0047】

動作時、ゲートラインGLは、先の実施形態に関連して説明したように、強制遅延されたゲート電圧をスイッチング素子TF Tに伝達する。データラインDLは、データ電圧をスイッチング素子TF Tに伝達する。液晶キャパシタClcは、強制遅延されたゲート電圧に基づいてターンオンされるスイッチング素子TF Tを介して、データ電圧Vdにより充電される。ストレージキャパシタCstは、ターンオンされたスイッチング素子TF Tを経由して提供されるデータ電圧を保持し、スイッチング素子TF Tのターンオフ区間の間に充電されたデータ電圧を液晶キャパシタClcに提供する。

【0048】

前記した本発明の一実施例では、キックバック電圧の偏差を減らすために、ゲート駆動チップの出力端に数k程度の抵抗素子を形成して、ゲート駆動チップから出力されるゲート電圧を強制的に遅延させて該当ゲートラインに印加することを説明した。

20

又、前記した本発明の他の実施例では、キックバック電圧の偏差を減らすために、ゲート駆動チップの出力端と該当ゲートラインを接続するファンアウト部の経路を実質的に同様にファンアウト部の抵抗値を補償することにより、表示特性を向上させることを説明した。

【0049】

前記した本発明の一実施例と他の実施例は、互いに異なる液晶表示装置に独立的に具現されることもでき、一つの液晶表示装置に同時に具現されることもできる。例えば、本発明の他の実施例を実現するために、前記したファンアウト部のパターンは、アレイ基板の周辺領域やフレキシブル印刷回路基板に形成される。しかし、限定されたサイズの周辺領域やフレキシブル印刷回路基板(FPCB)上にファンアウト部のパターンの長さをほぼ同様に形成することは困難な場合があるので、一実施例と他の実施例を一つの液晶表示装置に実現することが好ましい。

30

【0050】

図15は、同一カラム方向の画素で感じる比較例のキックバック電圧と第1及び第2実施例のキックバック電圧を説明するための波形図である。ここで、第1キックバック電圧カーブCurve-Iは、比較例によるゲート電圧に対応するキックバック電圧を示し、第2キックバック電圧カーブCurve-IIは、第1実施例又は第2実施例によるゲート電圧に対応するキックバック電圧を示す。前記した第1実施例は、ゲート電圧を強制的に遅延させた例であり、前記した第2実施例は、ファンアウト部の長さを同様に形成させた例である。

40

【0051】

図15から分かるように、ゲート電圧を正常的に印加する場合には、最短経路を有するファンアウト部に対応する画素では、キックバック電圧が最大である反面、最長回路を有するファンアウト部に対応する画素ではキックバック電圧が最小である。

しかし、ゲート電圧を強制的に遅延させるか、又は、ファンアウト部の経路をほぼ同様に形成すると、同一カラム方向で配列された画素で感じるキックバック電圧は、ほぼ同じであることを確認できる。

50

【産業上の利用可能性】

【0052】

以上で説明したように、本発明によると、ゲート駆動チップの複数の出力端に大きい抵抗を形成して、該抵抗値だけ信号を強制遅延させることにより、同一データラインに対応する複数のゲートラインでほぼ同じ時間に有効なゲート電圧になるので、キックバック電圧を減らすことができ、これにより、輝度差を最小化することができる。

【0053】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離れることなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0054】

【図1】液晶表示素子の単位画素を説明するための回路図である。

【図2】本発明の比較例によるゲート電圧とデータ電圧との関係を説明するための波形図である。

【図3】本発明の比較例によるゲート電圧とデータ電圧との関係を説明するための波形図である。

【図4】図3に図示されたキックバック電圧により誘発される表示特性不良を説明するための説明図である。

【図5】ロー方向のゲートラインに順次に印加されるゲート電圧を説明するための波形図である。

【図6】本発明の一実施例による液晶表示装置を説明するためのブロック図である。

【図7】図6に図示されたゲートライン駆動回路を説明するためのブロック図である。

【図8】図7に図示されたゲートライン駆動回路で出力されるゲート電圧を説明するための波形図である。

【図9】図6に図示された単位画素に印加されるゲート電圧とデータ電圧を説明するための波形図である。

【図10】図9に図示されたゲート電圧により液晶層に印加されるデータ電圧を説明するための波形図である。

【図11】本発明の一実施例によって改善されたキックバック電圧を説明するための液晶表示装置の平面図である。

【図12】図11に図示された任意のゲートラインに印加されるゲート電圧を説明するための波形図である。

【図13】本発明の他の実施例による液晶表示装置を説明するためのブロック図である。

【図14】図13に図示されたゲートライン駆動回路とゲートラインを接続するファンアウト部を概略的に説明するための平面図である。

【図15】同一カラム方向の画素で感じる比較例のキックバック電圧と第1及び第2実施例のキックバック電圧を説明するための波形図である。

【符号の説明】

【0055】

100 ソースドライバ部
 110 ソース駆動チップ
 200 ゲートドライバ部
 210 ゲート駆動チップ
 212 シフトレジスタ
 214 レベルシフタ
 216 出力バッファ
 218 遅延部
 300 液晶表示パネル

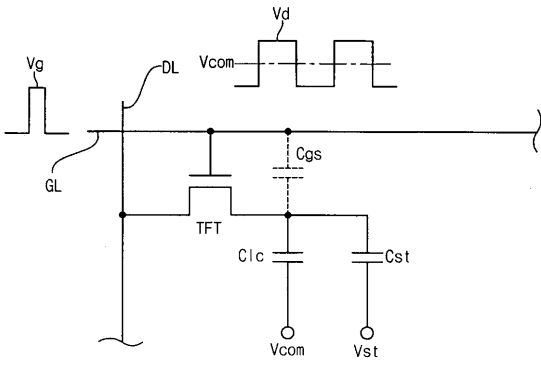
10

20

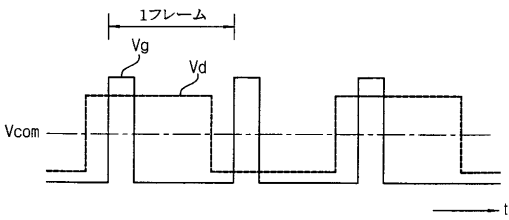
30

40

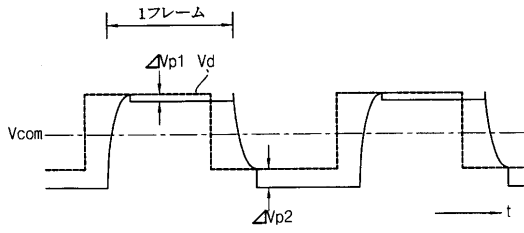
【 図 1 】



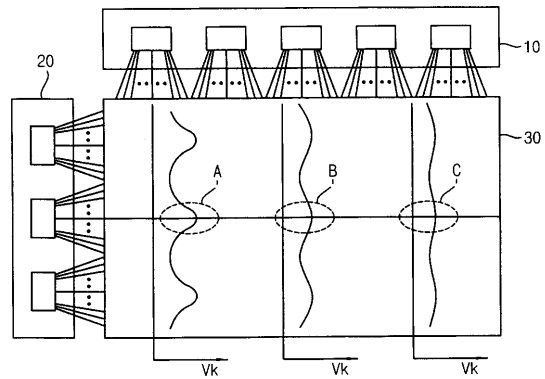
【 図 2 】



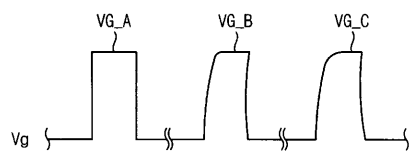
【 図 3 】



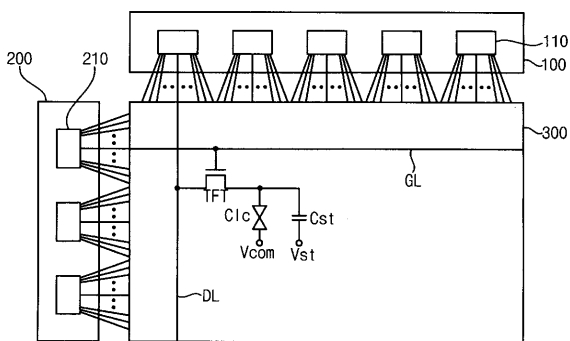
【 図 4 】



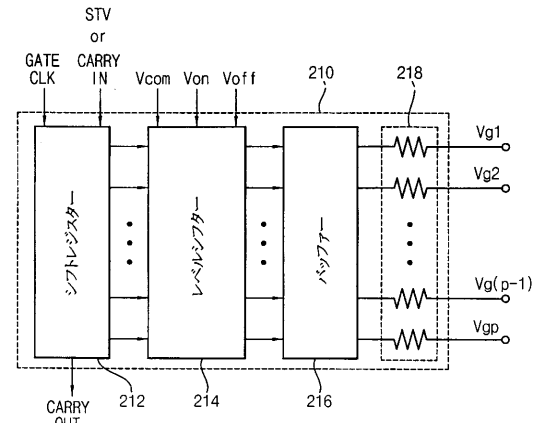
【 図 5 】



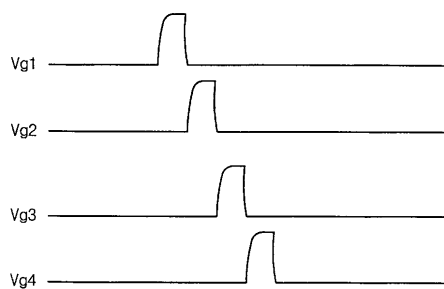
【 図 6 】



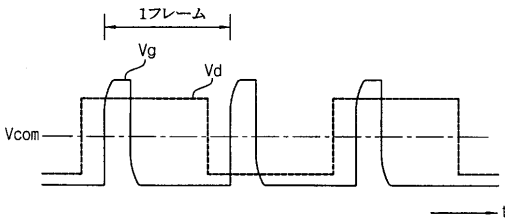
【 図 7 】



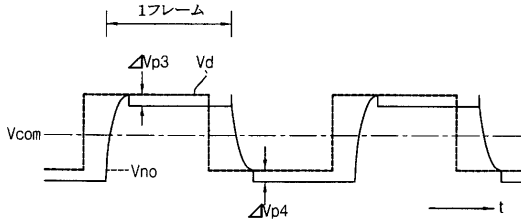
【 図 8 】



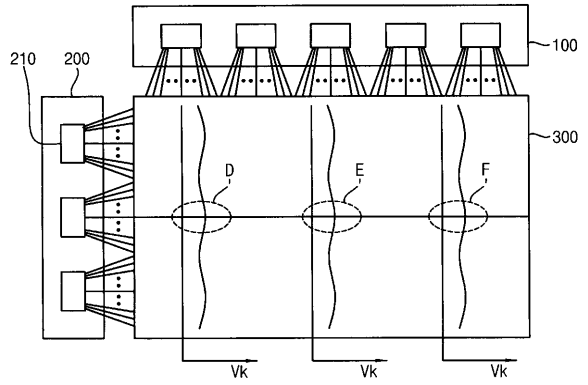
【図9】



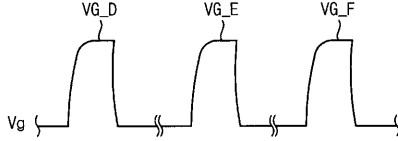
【図10】



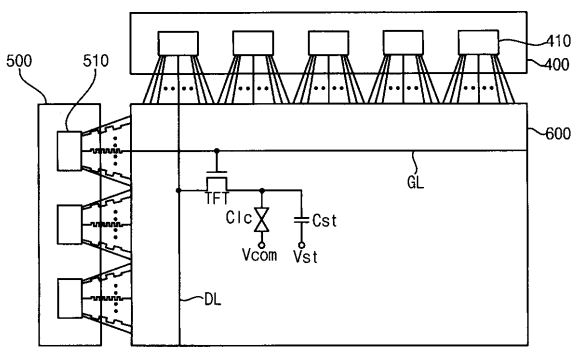
【図11】



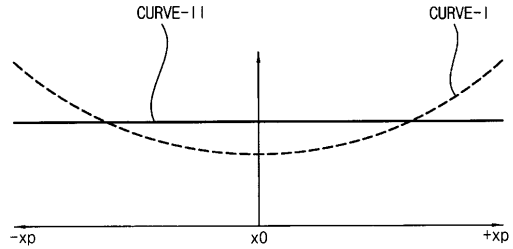
【図12】



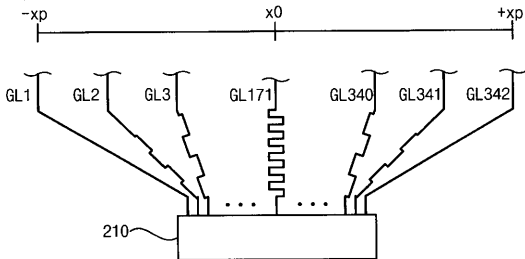
【図13】



【図15】



【図14】



フロントページの続き

(51) Int.Cl.

F I

テーマコード(参考)

G 0 9 G	3/20	6 2 2 A
G 0 9 G	3/20	6 2 2 B
G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	6 2 2 G
G 0 9 G	3/20	6 8 0 G

(72)発明者 キム, ビョン - スク

大韓民国ソウル特別市江南区駅三洞 6 7 1 - 2 5 3 0 4 戸

Fターム(参考) 2H093 NC09 NC10 NC11 NC12 NC22 NC34 ND60

5C006 AC11 AC22 AF50 AF71 AF84 BB16 BC02 BC03 BC11 BC20

BF03 BF07 BF25 EB04 FA23 FA37

5C080 AA10 BB05 DD06 DD09 EE28 FF11 JJ02 JJ04

专利名称(译)	栅极线驱动电路，具有该栅极线驱动电路的显示装置，驱动装置和方法		
公开(公告)号	JP2006154712A	公开(公告)日	2006-06-15
申请号	JP2005074352	申请日	2005-03-16
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
[标]发明人	朴鎮佑 羅柄善 キムビヨンスク		
发明人	朴鎮佑 羅柄善 キム,ビヨン-スク		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3677 G09G3/3611 G09G3/3648 G09G2300/0426 G09G2320/0219 G09G2320/0223		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.E G09G3/20.621.L G09G3/20.621.M G09G3/20.622.A G09G3/20.622.B G09G3/20.622.E G09G3/20.622.G G09G3/20.680.G		
F-TERM分类号	2H093/NC09 2H093/NC10 2H093/NC11 2H093/NC12 2H093/NC22 2H093/NC34 2H093/ND60 5C006/AC11 5C006/AC22 5C006/AF50 5C006/AF71 5C006/AF84 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC11 5C006/BC20 5C006/BF03 5C006/BF07 5C006/BF25 5C006/EB04 5C006/FA23 5C006/FA37 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD09 5C080/EE28 5C080/FF11 5C080/JJ02 5C080/JJ04 2H193/ZA04 2H193/ZF22 2H193/ZF36		
优先权	1020040098065 2004-11-26 KR		
外部链接	Espacenet		

摘要(译)

解决的问题：减少反冲电压引起的闪烁。在液晶显示装置的栅极驱动芯片210中，移位寄存器212响应于进位信号而顺序地移位并输出高电平数据值。电平移位器214基于高电平数据值对从外部提供的第一电压进行电平移位并输出。输出缓冲器216缓冲经电平移位的第一电压，并将其输出至延迟单元218。延迟单元延迟缓冲的第一电压并将其输出到栅极线。这使得可以消除由于反冲电压引起的不良显示特性。[选择图]图7

