

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-538407

(P2005-538407A)

(43) 公表日 平成17年12月15日(2005. 12. 15)

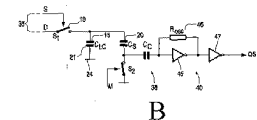
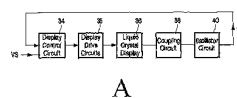
(51) Int.Cl. ⁷	F I	テーマコード (参考)
G09G 3/36	G09G 3/36	2H092
G02F 1/1343	G02F 1/1343	5C006
G09G 3/20	G09G 3/20 611H	5C080
	G09G 3/20 612R	
	G09G 3/20 624B	
審査請求 未請求 予備審査請求 未請求 (全 16 頁) 最終頁に続く		

(21) 出願番号	特願2004-533775 (P2004-533775)	(71) 出願人	590000248
(86) (22) 出願日	平成15年8月22日 (2003. 8. 22)		コーニンクレッカ フィリップス エレク
(85) 翻訳文提出日	平成17年3月4日 (2005. 3. 4)		トロニクス エヌ ヴィ
(86) 国際出願番号	PCT/IB2003/003925		Koninklijke Philips
(87) 国際公開番号	W02004/023449		Electronics N. V.
(87) 国際公開日	平成16年3月18日 (2004. 3. 18)		オランダ国 5621 ペーアー アイン
(31) 優先権主張番号	0220617.5		ドーフエン フルーネヴァウツウェッハ
(32) 優先日	平成14年9月5日 (2002. 9. 5)		1
(33) 優先権主張国	英国 (GB)		Groenewoudseweg 1, 5
			621 BA Eindhoven, T
			he Netherlands
		(74) 代理人	100075812
			弁理士 吉武 賢次
		(74) 代理人	100088889
			弁理士 橘谷 英俊
最終頁に続く			

(54) 【発明の名称】 アクティブマトリクス液晶表示装置

(57) 【要約】

表示領域(25)に、対向する共通電極(24)と共にLC表示素子(21)を定義する画素電極(15)と、画素電極に接続された蓄積キャパシタ(20)とをそれぞれが有する画素(12)の配列を具備してなるアクティブマトリクス液晶(LC)表示装置は、LCキャパシタンスの変化に応じて画素(12)に対して駆動回路(35)が供給する駆動信号を調整する調整手段(40、34)を含んでいる。調整手段は、配列における画素の少なくとも一部に結合され、またその発振周波数が、これらの画素に関連し、そのLC表示素子のキャパシタンスに依存するキャパシタンスによって決定される発振回路(40)を含んでいる。発振回路は、スイッチ手段(50、61、72)を介して、画素(12)の蓄積キャパシタ(20)を相互接続する蓄積キャパシタライン(22)、または共通電極(24)に結合されていてもよい。発振回路は、画素駆動回路(35)と共に、装置の基板上に集積されていてもよい。



【特許請求の範囲】

【請求項 1】

表示領域に、表示画像を生成する動作可能な画素の配列を有するアクティブマトリクス液晶表示装置であって、各画素が、対向する共通の電極と共に液晶表示素子を定義する画素電極と、前記画素電極に接続された蓄積キャパシタとを具備してなり、前記装置が、液晶キャパシタンスの変化に応じて前記画素に印加される駆動信号を調整する調整手段を含んでおり、前記調整手段が、前記配列における複数の画素に結合されている発振回路を具備してなり、前記発振回路の発振周波数が前記複数の画素に関連しかつこれらの各液晶表示素子のキャパシタンスに依存するキャパシタンスを測定する、アクティブマトリクス液晶表示装置。

10

【請求項 2】

前記複数の画素の前記蓄積キャパシタの各第 1 電極が共に接続されており、また前記調整手段が前記蓄積キャパシタの前記接続された第 1 電極のキャパシタンスを測定するように配列されている、請求項 1 に記載の装置。

【請求項 3】

前記蓄積キャパシタが、それらのそれぞれの画素電極と、前記複数の画素の前記蓄積キャパシタに共通の接続ラインとの間に接続され、また前記調整手段が、前記接続ラインに関連する前記キャパシタンスを測定するように配列されている、請求項 1 または 2 に記載の装置。

【請求項 4】

前記蓄積キャパシタ接続ラインが、前記調整手段が測定動作を実行できるよう、前記接続ラインを所定電位源または前記発振回路に結合する選択的動作可能なスイッチ手段に接続されている、請求項 3 に記載の装置。

20

【請求項 5】

前記調整手段が、前記共通電極のキャパシタンスを測定するように配列されている、請求項 1 に記載の装置。

【請求項 6】

前記共通電極が、前記調整手段が測定動作を実行できるよう、前記共通電極を所定電位源または前記発振回路に結合する選択的動作可能なスイッチ手段に接続されている、請求項 5 に記載の装置。

30

【請求項 7】

前記調整手段の前記発振回路が前記配列の全ての画素に結合されており、これによって行なわれる測定が前記配列の全ての画素の表示素子に関連するキャパシタンスに依存している、請求項 1 ないし請求項 6 のいずれかに記載の装置。

【請求項 8】

前記調整手段の前記発振回路が、前記画素電極を搭載する前記装置の基板に集積された薄膜回路を具備してなる、請求項 1 ないし請求項 7 のいずれかに記載の装置。

【請求項 9】

前記調整手段の前記発振回路の入力が、キャパシタを含む結合回路を介して、前記複数の画素に結合されている、請求項 1 ないし請求項 8 のいずれかに記載の装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、アクティブマトリクス液晶表示装置（以下、A M L C D—Active Matrix Liquid Crystal Display—）に関し、特に、表示領域に、表示画像を生成する動作可能な画素の配列を有し、各画素が、対向する共通の電極と共に液晶表示素子を定義する画素電極と、画素電極に接続された蓄積キャパシタとを具備してなり、また液晶キャパシタンスの変化に応じて画素に印加される駆動信号を調整する調整手段を含む A M L C D に関する。

【背景技術】

【0002】

50

例えば、ＡＭＬＣＤにおける表示素子全体に現れるＤＣ〔Direct Current—直流—〕バイアスなど、表示駆動パラメータを自動的に制御する技術が知られている。しかし、このような技術は複雑で、実施が困難であることが多い。フィードバックタイプの制御回路を使用して駆動信号を自動的に調整するには、液晶（以下、ＬＣ—Liquid Crystal—）材料が印加される駆動電圧によってどのように影響を受けるかを決定する方法を識別することが必要である。この点における好適な特徴は、ＬＣ材料のキャパシタンスである。ＬＣ層のキャパシタンスは、ＬＣ分子の配向に関連しているため、ＬＣ表示素子の光学的作用に密接に関連している。

【０００３】

ＷＯ０１／９１４２７には、表示領域の外に位置する相互接続されたダミーＬＣ表示素子の対が、特定の方法で駆動され、共に短絡され、またその結果生じた電圧がセンスアンプで測定され、この電圧がＬＣ材料の応答時間またはクリアリング温度を示しているＬＣ表示装置が記載されている。しかし、これらの技術は通常、アナログ回路を使用しなければならないので、例えば画素における切替装置として多結晶シリコンタイプの薄膜トランジスタ（以下、ＴＦＴ—Thin Film Transistor—）を使用するポリシリコンＡＭＬＣＤｓなど、画素配列と同様の薄膜技術を使用して製造された集積駆動回路を有する表示装置においては適していない。このような目的のため、ＴＦＴを使用する表示装置の基板に簡単に集積可能な簡素な回路を使用して実施でき、ディスプレイを動作させるのに必要な外部回路を最小化し、また各ディスプレイの駆動状態を個別に調整する必要のない技術を使用することが望ましい。

10

20

【０００４】

また、ＷＯ０１／９１４２７には、ＬＣ材料のクリアリング点〔clearing point—透明点—〕を感知するために、ＡＭＬＣＤにおいて、発振回路に接続されて、そのキャパシタンスが発振周波数を決定するパラメータの１つである画素配列の領域の外に位置する単一のダミーＬＣ表示素子を使用することも提案されている。このアプローチは、クリアリング点を単に感知する場合には受け入れられるが、装置の他の動作特徴、特に例えば印加電圧や温度変化に対するＬＣ材料の応答など、実際の表示素子の動作に関連する特徴を測定する場合には適していない。このダミー表示素子は、その動作の全ての面において実際の表示素子を完全に表していなければならない、これは実際に実現することは困難である。とりわけ、単一のダミー表示素子の動作への、測定回路あるいはそれに対する接続の浮遊容量の効果により、おそらく、このような測定目的でダミー表示素子を使用することが不可能になってしまう。

30

【発明の開示】

【０００５】

本発明によれば、冒頭の段落で説明したように、調整手段が、配列における複数の画素に結合され、またその発振周波数により、複数の画素に関連し、そのＬＣ表示素子のキャパシタンスに依存するキャパシタンスの測定が行なわれる発振回路を具備してなるＡＭＬＣＤが提供される。

【０００６】

本発明により、著しい利点を得られる。調整手段は表示領域において実際の画素を使用するため、その動作の全ての面において実際の表示素子を完全に表しているダミー表示素子を作成するという困難が回避される。測定は、必ずしも特殊な駆動信号を生成する必要なく、例えば長期にわたって表示される異なる画像から得られる、表示素子が長時間経験する異なる駆動状態を考慮に入れるものである。また、調整手段によって行なわれた測定の結果は、例えば直線状の画素配列の領域や誘電層の厚さにおける変化、そしてその結果の非均一性を考慮に入れながら、使用する画素のＬＣ表示素子が経験する平均駆動状態を表すことになる。

40

【０００７】

また、調整手段は、単一の表示素子のキャパシタンスではなく、複数の画素が寄与するキャパシタンスを測定するため、調整手段またはそれに対する接続の浮遊容量の影響は回

50

避、あるいは少なくとも著しく減少する。重要なことには、先の提案で使用されているアプローチとは異なり、本発明は、個別のＬＣ表示素子キャパシタンスの直接測定には頼っていない。また、本発明で使用されている技術は、配列中の画素の利用に完全に適合しており、例えば特定の方法で共に接続される画素電極を必要としない。この点において、調整手段は、好適には、共通電極または複数の画素の蓄積キャパシタに関連するキャパシタンスを測定するよう配列されており、後者の場合、好適には、画素の行の蓄積キャパシタを共に接続するのに従来使用されていた蓄積キャパシタラインを介している。蓄積キャパシタおよび共通電極のキャパシタンスが、ＬＣ表示素子キャパシタンスに依存しているため、特殊な表示素子配置を必要とすることなく、キャパシタンスと、ＬＣ表示素子の状態とを決定する間接的手段を提供可能であることが理解されよう。

10

【 0 0 0 8 】

調整手段において、測定キャパシタンスが（少なくとも部分的に）発振周波数を決定する発振回路を使用することにより、調整手段の提供が簡素化される。このような発振回路は、例えばＣＭＯＳ〔Complementary Metal Oxide Semiconductor〕論理ゲートを有する簡素な回路を使用して簡単に実施でき、また例えばポリシリコンＴＦＴなどのＴＦＴを含む薄膜回路成分を使用する装置のアクティブ基板上に簡単に集積化することが可能であるため、必要な外部回路を最小化し、また各表示装置の駆動状態を個別に調整する必要性を無くすることができる。回路の発振周波数により、印加電圧や周囲温度などの要因に対するＬＣの応答を測定することができる。周波数を示す回路からの出力信号を使用して、使用する駆動波形の１つ以上のパラメータを簡単に自動調整することができる。

20

【 0 0 0 9 】

例えば、ＬＣ全体に現れる電圧波形に影響することのある測定動作の実行によって生じる、画素から生成される表示画像の乱れを回避、あるいは少なくとも最小に抑えるために、調整手段による測定を、配列中の全ての画素に対して同時またはグループごとに行なうことができる。従って、これによって、例えば数行の画素のみを測定で使用する場合に明らかとなる表示画像におけるバンディングまたはブロッキング効果〔banding or blocking effects〕を回避することができる。

【 0 0 1 0 】

電位源と発振回路との間で共通電極または蓄積キャパシタ接続ラインを切替える選択的動作可能なスイッチ手段が、好適には含まれる。

30

【 0 0 1 1 】

測定の実行中、表示素子電圧の考えられる乱れが発生する可能性がある。測定を実行するのに要する時間は、フレーム期間よりもかなり短くすることができるので、表示素子の乱れは、表示素子全体に現れるｒｍｓ〔root-mean-square—二乗平均—〕電圧または平均電圧にあまり影響を及ぼさない。

【 0 0 1 2 】

次に、添付図面を参照して、一例として本発明によるＡＭＬＣＤの実施例を説明する。

【 0 0 1 3 】

図面は全て概略的なものであることが理解されよう。同一または同様の部分または機能を示すのに、同一の参照番号および記号を図面全体にわたって使用する。

40

【 発明を実施するための最良の形態 】

【 0 0 1 4 】

次に、本発明によるＡＭＬＣＤの様々な実施例を説明する。これら装置の構成および一般的動作は、従来の方法に従うものであり、ここでは詳細に説明しない。これらの点についての詳細は、例えばＡＭＬＣＤの基本的動作および構成の原理について記載したＵＳ - A - 5 1 3 0 8 2 9を参照すること。

【 0 0 1 5 】

代表的なＡＭＬＣＤの回路構成を、図１に概略的に示す。装置は、行列アドレス導線１４および１６の交差するセットの間のそれぞれの交点に位置する画素１２の行列マトリクス配列を含んでいる。各画素は、そのドレイン電極が画素電極１５に接続され、またその

50

ゲートおよびソース電極が行導線 14 および列導線 16 にそれぞれ接続されている T F T (薄膜トランジスタ) 18 を有している。画素 12 の行における T F T のゲートは同一の行の導線 14 に接続される一方、画素の列における全ての T F T のソース電極は同一の列の導線 16 に接続されている。各画素 12 は更に、画素電極 15 と画素の行が共有する各キャパシタライン 22 との間に接続された蓄積キャパシタ 20 を含んでいる。配列中の全行に対するキャパシタライン 22 は、その端部で、例えばアースである所定の基準電位源 23 に接続されている。導線 14 および 16、T F T 18、画素電極 15、蓄積キャパシタ 20、およびライン 22 は全て、例えばガラスの絶縁第 1 基板 (図示せず) 上に搭載されている。第 1 基板から離れている例えば同様にガラスの第 2 基板は、配列中の全画素 12 に共通する、代表的には I T O [Indium Tin Oxide] である電極層 24 を搭載している。L C 材料は、共通電極 24 のすぐ上の部分と共に 2 つの基板と各画素電極 15 との間に設けられ、またこれらの間にある L C 材料は L C 表示素子 21 を構成している。2 つの基板並びにその間に密封された L C 材料は、L C セル構造を形成している。

【0016】

画素 12 の配列は、動作中に表示画像が生成される表示領域 25 (ここでは、点線で示す領域) を画定している。画素 12 の行は、行の T F T 18 をオンにする各行アドレス期間において順に選択 (ゲート) 信号を各行導線 14 に供給する行駆動回路 28 によって、1 つずつ順にアドレス指定される。列駆動回路 30 は、選択された行の画素電極 15 が、各列導線 16 のデータ信号の電圧のレベルに応じて、T F T を介して帯電するように、行アドレス指定に同期して入力映像信号をサンプリングすることによって得たデータ信号を列導線 16 に供給する。画素電極 15 に供給された駆動電圧は、中間階調レベルを介して完全オン (白) から完全オフ (黒) にわたる表示出力を生成するために表示素子 21 を介しての光透過が印加駆動電圧のレベルに応じて変調された状態で、所望の表示効果を決定する。行アドレス期間の終わりには、選択信号の終了の後、行の T F T がオフになって電極 15 を分離し、また通常は次のフレーム期間において再びアドレス指定されるまで、印加電圧は表示素子キャパシタンスおよびその関連する蓄積キャパシタ 20 に蓄積される。画素の各行は、次のフレーム期間において、1 フレームおよびこのように繰り返しアドレス指定される画素の配列全体で完全表示映像を形成するよう、順にアドレス指定される。

【0017】

説明する各 A M L C D の実施例において、フィードバック制御回路の形で調整手段を使用して、説明するように、例えば様々な目的で画素駆動波形の自動調整を行なう。このため、装置の表示素子で L C 層のキャパシタンスを、例えば電圧およびタイミングなど、印加駆動波形の L C に対する効果を決定する手段として利用するが、L C キャパシタンスは L C 分子の配向に関連しているため、L C 表示素子の光学的動作に密接に関連している。これらの実施例において、発振回路を調整手段において使用して、また L C のキャパシタンスは発振周波数を決定するパラメータの 1 つとなる。従って、この周波数により、印加電圧および温度などの要因に対する L C の応答の測定が行なわれる。

【0018】

L C キャパシタンスを得るには、平均キャパシタンス測定を行なうよう、画素のグループ、画素の複数のグループあるいは画素配列における全画素を使用することができる。

【0019】

調整手段を有する A M L C D の実施例の動作の一般的方式を図 2 のブロック図に示すが、ここで、ブロック 35 は行列駆動回路 28 および 30 を含む配列駆動回路を表しており、またブロック 36 は画素 12 の配列を表している。駆動回路 35 は、L C 表示素子全体で必要な L C 駆動電圧波形を生成するよう配列されている。これらの波形は一般に、従来使用されていた波形と同様である。

【0020】

表示制御回路 34 は、配列駆動回路 35 の必要なタイミングおよび制御信号と、外部映像源から回路 34 に送られる映像信号 V S とを供給するが、映像信号 V S からは画素のデータ信号が得られる。配列における画素は、ここで、ブロック 40 で示す発振回路に、結

10

20

30

40

50

合回路 38 を介して接続されている。回路 38 の機能は、発振周波数が表示素子キャパシタンスに依存するよう、画素 12 の LC 表示素子 21 のキャパシタンスを発振回路 40 の入力に結合する一方、回路 40 の動作が表示素子 21 全体の電圧に影響を及ぼす程度を制限し、また表示素子に印加された駆動波形が回路 40 の動作に及ぼす直接的効果も制限することである。もちろん、駆動波形は、LC 表示素子のキャパシタンスを変化させることによって、間接的に発振周波数に影響する。

【0021】

図 3 は、結合および発振回路の実施例を更に詳細に概略的に示している。簡単にするために、実際には複数の表示素子を使用されるが、ここでは、1 つの LC 表示素子 12 のみを示している。液晶駆動回路 35 は、交流電圧波形 D (例えば、列駆動回路 30 からの LC データ信号駆動波形) 源と、LC 表示素子を LC 駆動波形 D のレベルに (スイッチ S_1 を制御する切替え信号 S に応じて) 定期的に帯電させる TFT 18 から構成されるスイッチ S_1 とを含んでいる。LC 表示素子のキャパシタンス C_{LC} に並列に接続されているのは、キャパシタンス C_S を有する蓄積キャパシタ 20 である。蓄積キャパシタの第 2 端子は、スイッチ S_2 を介してアースに接続されている。発振回路 40 の入力は、直列に接続されたキャパシタ C_C および C_S によって表示素子 21 に結合されている。発振器は、インバータの出力から入力にフィードバックを行なうレジスタ 46 を有する CMOS インバータ 45、 R_{OSC} を使用して形成されている。発振器の出力は第 2 インバータ 47 によってバッファリングされる。スイッチ S_2 が閉じると発振器の入力のキャパシタンスは C_C にほぼ等しくなる。LC 表示素子 21 のキャパシタンスを表す測定を行なうときに、スイッチ S_2 は開く。次に、発振器の入力のキャパシタンスはほぼ $(1/C_{LC} + 1/C_S + 1/C_C)^{-1}$ になる。従って、回路の発振周波数は、 C_{LC} の値に依存する。

【0022】

この回路がどのように動作するかを説明する波形を、図 4 に示す。LC 表示素子駆動信号波形 D は、(VGA 表示の場合には) 16.6ms 毎に極性を変化させるフレーム反転データ信号電圧波形から構成される。選択波形 S によって、毎 16.6ms 周期に 1 回スイッチ S_1 が閉じるので、蓄積キャパシタ 20 および LC 表示素子 21 のキャパシタンスは LC 駆動信号電圧に帯電される。LCE は、LC 表示素子 21 全体の電圧である。表示素子 21 のキャパシタンスを測定する場合には、スイッチ S_2 に印加される測定イネーブル波形 M がハイになり、スイッチ S_2 が開く。この例における測定イネーブルパルスの継続時間は、1ms にセットされている。発振器は連続的に動作し、また、測定イネーブル信号がローになると、発振周波数は主にキャパシタンス C_C の値に依存する。測定イネーブル信号がハイになると、発振周波数は C_{LC} 、 C_S および C_C の直列組み合わせの値、すなわち $(1/C_{LC} + 1/C_S + 1/C_C)^{-1}$ に依存する。一連の出力クロックパルスで構成される発振回路出力波形は、OS に示されている。この信号は表示制御回路 34 にフィードバックされ、ここで様々な異なる目的で駆動波形を調整するのに使用される。測定処理中、小さな信号が発振回路の入力から LC 表示素子 21 に結合される。しかし、これはその振幅が低く、またその継続期間も比較的短いため、液晶の動作にあまり影響を及ぼさない。LC 表示素子 21 のキャパシタンスの測定は、測定が可能になると、1ms 期間中に発振器出力の周期数をカウントすることによって得ることができる。発振器周波数により、LC 表示素子 21 のキャパシタンスは瞬間的に測定される。この例では、液晶分子の応答時間を可能にするために、液晶に印加される駆動電圧の極性を変化させた後、少ししてから測定が可能となる (M)。

【0023】

図 5 は、1ms の測定期間中に発振器クロック周期数 N が、液晶駆動回路 35 によって LC 表示素子に印加されるピーク間駆動電圧 P によってどのように変化するかを説明する測定結果を示している。駆動電圧がローの場合、LC 素子のキャパシタンスは比較的低下するため、発振周波数および発振器クロック周期のカウントは比較的高くなる。駆動電圧が上昇すると、液晶分子は、その配向の変化によって、印加電圧に対して反応し始め、その結果、LC 素子のキャパシタンスが上昇する。これにより、発振器の入力のキャパシタ

10

20

30

40

50

ンスが上昇し、発振器周波数および発振器クロック周期のカウントが低下する。駆動電圧が更に上昇すると、液晶分子の動きが飽和し始めるので、LC素子のキャパシタンスは最大値に向かい、また発振器クロック周波数は最小値に向かう。

【0024】

図5に示す駆動電圧による発振器周波数の変化は、印加ピーク間駆動電圧に対する液晶の応答を表しているので、表示制御回路34で使用して、表示装置の駆動電圧波形の自動調整を行なうことができる。例えば、ディスプレイの変化した周辺温度としての液晶の動作の変化を、この技術を用いて検出することが可能である。この場合、液晶のキャパシタンスがその最小値から上昇し始める駆動電圧（発振器周波数がその最大値から低下し始める点）を検出することにより、液晶の閾値電圧を決定することが必要となる。液晶の閾値電圧が分かれば、それを利用して表示装置が必要とする駆動電圧を決定することができる。更に高度な方式では、液晶の駆動電圧に対する測定キャパシタンスの動作を利用して、表示装置に行なわれるガンマ補正を決定することができる。これはキャパシタンス情報を利用して参照テーブルのデータを生成することにより、あるいはキャパシタンス情報を利用して所定のガンマ関数のいずれかを選択することにより実行される。

10

【0025】

液晶表示装置の適切な駆動電圧を確立する別の側面は、液晶全体のdc電圧を最小化することである。LC表示素子21に印加されるdc電圧が適切に設定されていない場合、低周波数の揺らぎや画像の焼付きなどの問題が発生しうる。正負の駆動電圧から得られるLC表示素子のキャパシタンスを比較することにより、液晶全体のdc電圧をいつ適切に調整するかを決定することができる。図6は、LC素子が正負の駆動電圧を受ける間に、LC表示素子2の共通電極24に印加されるdc電圧を変化させることで、発振器周波数に与えられる効果を示している。この図において、CEは共通電極電圧であり、またNは1msにおける発振器クロック周期数であり、NDP[Negative Drive Period]およびPDP[Positive Drive Period]はそれぞれ負の駆動期間と正の駆動期間である。

20

【0026】

共通電極電位が適切に調整されると、液晶全体の電圧の大きさは等しくなるが、正負の駆動期間中に極性は逆になる。従って、LC表示素子21のキャパシタンスおよび発振器の周波数は、正負の駆動期間の場合同じである。共通電極24のdc電圧がその最適値よりもマイナスになると、液晶全体の電圧は、正の駆動期間の間に上昇し、また負の駆動期間の間に低下する。その結果、液晶のキャパシタンスは、正の駆動期間の間に上昇し、また負の駆動期間の間に低下する。これは、正の駆動期間の間の低下発振器周波数と、負の駆動期間の間の上昇周波数に反映されており、図6に示すとおりである。共通電極電位がその最適値よりもプラスになると、変化は逆になる。

30

【0027】

正の駆動期間(PDP)の間に発振器周波数は上昇し、また負の駆動期間(NDP)の間に周波数は低下する。従って、出力信号OSを使用すると、正負の駆動期間における発振器周波数の差が最小になるまで、共通電極24のdc電位を調整することにより、LC表示素子全体に現れるdc電圧を最小化することができる。

【0028】

再び図2を参照すると、発振回路40からの出力は、表示制御回路34にフィードバックされる。この回路は、駆動回路35を介して画素配列に駆動信号を供給し、また発振回路40の出力周波数を決定することによってこの応答を測定する。回路34は、配列に供給される駆動信号の特性を制御し、またLC表示素子のキャパシタンスの測定から得られた情報を使用して、印加された駆動波形が適切に調整されるようにする。上述した目的に対して駆動信号を修正または調整する適切な回路は、当業者に明らかとなるであろう。

【0029】

発振回路40を使用して、様々な方法で液晶のキャパシタンスを測定してもよい。例えば、発振周波数が、液晶セル構造のキャパシタンスが経時的に変化する様子を示すように、発振回路を連続的に動作させることができる。あるいは、発振回路を特定の時間に動作

40

50

させて、これにより液晶キャパシタンスの値を効果的にサンプリングすることができる。駆動電圧に対する液晶の応答を特徴付けるために、液晶に印加される駆動電圧は、多数の値と、各々の値毎に測定されたキャパシタンスとを経る。駆動信号の他の特徴は変化し、また測定した液晶の応答、例えば駆動周波数またはアドレス指定周波数の変化に対する応答を測定することができる。

【 0 0 3 0 】

次に、上述したタイプの測定手段を使用する本発明による A M L C D の実施例を説明する。これらの実施例において、表示領域配列における全ての L C 表示素子 2 1 は、調整手段によって使用される。そのため、選択された表示素子のみをこの目的で使用したときに発生しうる不要な表示人為現象 [artefacts] の可能性は無くなる。しかし、所望であれば、表示画素の一部のみを使用してもよい。これらの実施例において、発振回路 4 0 は、L C 表示素子キャパシタンスを直接測定するのではなく、表示素子に関連し、また L C 表示素子キャパシタンスに依存するキャパシタンスを測定するように配列されている。キャパシタライン 2 2 または共通電極 2 4 は、この目的で使用される。ダミー画素ではなく、配列表示領域における実際の画素が使用されるので、結果として、特殊な駆動信号の生成を必要とすることなく、測定では、例えば長期に表示されている異なる映像から得られる、画素が経験する異なる駆動状態を考慮に入れる。測定結果は、配列や誘電体の厚みの変化による配列の領域全体の変化も考慮に入れつつ、画素が経験する平均駆動状態を表すことになる。

10

【 0 0 3 1 】

図 7 を参照すると、本発明による A M L C D の第 1 実施例の回路構成が示されており、ここではキャパシタライン 2 2 を使用して発振回路 4 0 へ入力を行なっている。ほとんどの点において、装置は図 1 の装置と類似している。キャパシタライン 2 2 はその一端で互いに相互接続されており、また、この場合、図 3 の回路構成のスイッチ S_2 に相当するスイッチ 5 0 を介することを除き、再び低インピーダンスの参照電位源 2 3 に接続されている。ライン 2 2 はまた、図 3 の回路構成と同様に、結合キャパシタ C_c を介して発振回路 4 0 の入力にも接続されている。

20

【 0 0 3 2 】

測定が実行されていると、ライン 2 2 を低インピーダンス源 2 3 に接続するスイッチ 5 0 が開くので、表示素子 2 1 のキャパシタンスは、回路 4 0 の発振周波数を決定するパラメータの 1 つとなる。

30

【 0 0 3 3 】

L C 表示素子 2 1 に印加される駆動電圧の極性は通常、周期的に反転させなければならない。従来、この反転はフレーム毎に行なってもよい。しかし、例えば、駆動電圧の極性が連続する行に対して反転するライン反転駆動方式など、方式によっては、画素のアドレス指定が、表示素子の半分が正の駆動電圧でアドレス指定され、また表示素子の半分が負の駆動電圧でアドレス指定される性質となる。これら 2 つの駆動極性に対する L C 表示素子 2 1 の応答を別個に測定する必要がある場合、正と負の駆動電圧を受ける表示素子に対して別々の接続を設けなければならない。例えば、画素の交互の行が反対の極性でアドレス指定される行反転駆動方式を使用して配列をアドレス指定する場合、交互の行のキャパシタライン 2 2 は、共通の点と、2 組の行の一方における素子を発振器の入力に接続するのに使用される切替構成とに結合される。これにより、同じフレーム期間内で、正の駆動電圧を受ける表示素子と、負の駆動電圧を受ける表示素子とでキャパシタンス測定を行なうことが可能になる。

40

【 0 0 3 4 】

上述したように、液晶分子の有限応答速度とは、液晶に印加される駆動電圧が変化するとき、液晶がこの変化に応答するのにある程度時間がかかることを意味している。上述した測定方式 (図 4) において、液晶が電圧の変化に反応する時間が得られるよう、L C 表示素子 2 1 全体の電圧が反転する直ぐ前に、キャパシタンス測定を行なう。表示素子に関連するキャパシタンスが、図 8 に示す別の装置回路の結合構成を用いて測定されている

50

場合、同様のアプローチを実施することができる。この場合、切替スイッチ 61 のグループを選択的に制御するキャパシタライン選択回路 60 を使用して、随時キャパシタライン 22、あるいはキャパシタラインのグループのいずれかを発振回路 40 の入力に接続するかを決定する。画素の各行のアドレス指定周期内で適切な時間にキャパシタンス測定が行なわれるよう、キャパシタライン選択回路 60 の切替を、装置の行駆動回路 28 の動作に同期させることができる。

【0035】

上記説明は、例えば、印加駆動波形に対するその応答を決定するために、発振回路を使用して LC 表示素子のキャパシタンスを測定する一般的な方法を示している。発振回路 40 の具体例について述べたが (図 3)、これは特に簡素で、薄膜トランジスタを使用する AMLCD の第 1 基板上への集積に適している。他のタイプの発振回路も、LC 表示素子の変化するキャパシタンスがその発振周波数を決定するパラメータの 1 つである限り、同様に使用することができる。上記例においては、AMLCD の消費電力を最小に抑えるために、測定期間のみ発振回路を動作させることは明らかに可能であるが、発振回路 40 を連続的に動作させることは好都合である。図 7 および 8 の実施例において、LC 表示素子への発振回路の入力の結合は、通常 LC 表示素子と並列に接続されている蓄積キャパシタを使用し、また別の結合キャパシタ C_c を追加することにより行なわれる。また、当業者に明らかなように、LC 素子 21 のキャパシタンスを発振器の入力に結合させる別の方法も存在する。このような他の方法の 1 つは、キャパシタライン 22 ではなく、AMLCD の共通電極 24 を使用してこの接続を行なうものである。

10

20

【0036】

図 9 は、共通電極 24 を使用して発振回路 40 へ入力を行なう、本発明による AMLCD の第 2 実施例の回路構成を示している。この例も、別個のキャパシタラインが設けられておらず、代わりに画素電極 15 から離れた蓄積キャパシタ 20 側が画素 12 の隣接する行の行アドレス導線 14 に接続されている蓄積キャパシタの別の構成を使用している。

【0037】

共通電極 24 は、図 3 の回路配列におけるスイッチ S_2 に機能的に対応し、また測定インーブル波形 M が印加されるスイッチ 72 を介して、共通電極駆動回路 70 に接続されている。共通電極 24 はまた、結合キャパシタ C_c を介して、発振回路 40 の入力にも接続されている。他の点においては、調整手段の回路および動作は、前述した実施例と同様である。

30

【0038】

上記実施例においては、単一の発振回路を使用して、異なる LC 表示素子 21 のキャパシタンスを測定している。これは、実測周波数が発振回路の特性に依存するため、素子のキャパシタンスを直接比較することが必要である場合に重要である。しかし、複数の発振回路を設けることが好適である状況も存在しうる。LC 表示素子の異なる組に対して、別個の発振回路を設けることができる。例えば、図 8 の実施例の場合、画素の各行に対して、1 つの発振回路を設けてもよい。

【0039】

LC 表示素子のキャパシタンスの測定を利用して、例えば画素に印加される駆動電圧、具体的には液晶全体に現れる dc 電圧および装置の階調性能を決定するピーク間駆動電圧の自動調整を行なうために、前述したように AMLCD の駆動波形を制御することができる。原則的には、アプローチを拡張して、変化に対して液晶の応答を生じさせる表示駆動波形のいずれかの側面を自動調整することができる。例えば、行アドレス導線 14 に対する駆動回路 28 で印加される波形の行選択 (ゲート) または非選択電圧は、これらの電圧の小さな変化が配列内の表示素子のキャパシタンス (および階調) に何らかの影響を及ぼしているかどうかを検出することによって調整可能である。別の例としては、AMLCD の消費電力を最小に抑えるために、周波数の更なる低下によってフレーム期間中に表示素子の受け入れがたい放電がいつ発生するかを検出することによって決定されるレベルまで、アドレス指定周波数を低下させることができる。表示素子電圧の放電は、液晶のキャパ

40

50

シタンスの変化を介して検出できる。この測定技術を使用して、液晶の切替速度を決定し、また正しいアルゴリズムを調整することも可能である。

【 0 0 4 0 】

駆動波形パラメータのこれらの測定および調整の内の幾つかは、長期間隔、例えば、A M L C D がオンになる度に実行することができる。理想的には、あるデフォルト設定からパラメータを確立するのではなく、装置がオンになるときにパラメータをわずかに調整するだけで済むよう、パラメータの数値を保存する。これらの調整には、テスト中に A M L C D または L C 表示素子 2 1 に印加される幾つかの特定のテスト波形またはテストパターンが必要となる。例えば、異なる階調を表す信号を供給するか、あるいは駆動周波数を変化させるか、あるいは駆動状態のまた別の側面を変化させる。

10

【 0 0 4 1 】

別の測定は、A M L C D の動作中に実行される。例えば、温度変化の影響を補正するための駆動電圧の調整は、装置の動作中に周期的に実行することが可能である。

【 0 0 4 2 】

複数の別個の L C 表示素子キャパシタンス測定回路を装置基板に集積化することは、有利である。これらの回路は、配列に印加される駆動波形の異なる側面を制御することができ、またその機能に最も適した方法で設計および動作させることが可能である。例えば、配列内の L C 表示素子 2 1 を使用して、配列に印加される d c 電圧を決定することができる。d c 電圧を決定するパラメータの 1 つは、T F T 1 8 がオフの時に画素 1 2 内で発生するオフセット電圧である。従って、配列内の表示素子のキャパシタンスを測定することによって、d c 電圧を調整することは有利である。

20

【 0 0 4 3 】

提案する調整手段の形状は、駆動回路が装置のアクティブ基板に集積されている A M L C D に非常に関連している。しかし、この調整手段および測定技術も、例えば集積駆動回路を有していない A M L C D の結晶シリコン駆動 I C 内で外部回路を用いて実現することができる。

【 0 0 4 4 】

本開示を読むことにより、他の変形例は当業者に明らかとなるであろう。このような変形例は、アクティブマトリクス液晶表示装置および成分部品の分野において既知であり、そのためここに説明した特徴に代わって、あるいはこれらに加えて使用される他の特徴を必要とすることがある。

30

【 図面の簡単な説明 】

【 0 0 4 5 】

【 図 1 】 従来の A M L C D の等価回路を示す。

【 図 2 】 本発明による A M L C D の動作原理をブロック図で示す。

【 図 3 】 本発明の A M L C D で使用する調整手段で用いる例示回路の概略図を示す。

【 図 4 】 図 3 の回路の動作に現われる例示波形を示す。

【 図 5 】 ある駆動電圧と図 3 の回路の出力との関係を示すグラフである。

【 図 6 】 A M L C D の共通電極電圧と図 3 の回路出力の関係を示すグラフである。

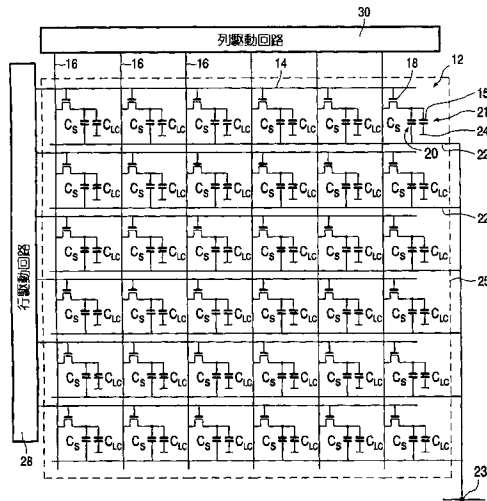
【 図 7 】 本発明による A M L C D の第 1 実施例の等価回路を示す。

40

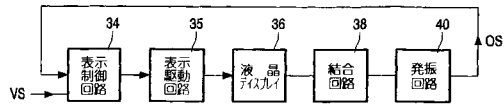
【 図 8 】 図 7 の A M L C D の別の配列を示す。

【 図 9 】 本発明による A M L C D の第 2 実施例の等価回路を示す。

【図 1】



【図 2】



【図 4】

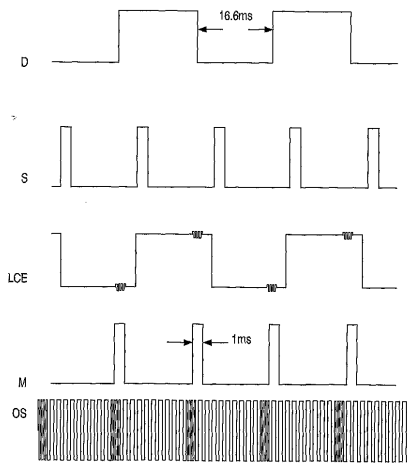


FIG.4

【図 3】

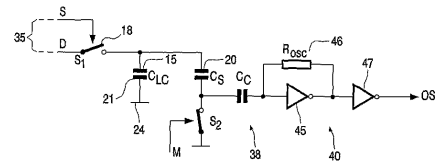


FIG.3

【図 5】

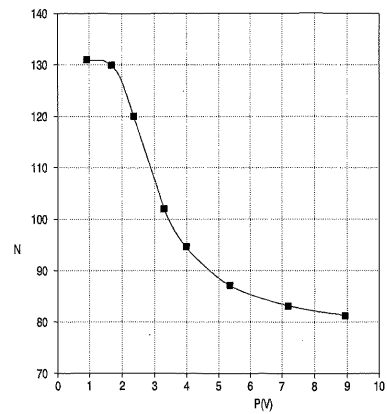


FIG.5

【 図 6 】

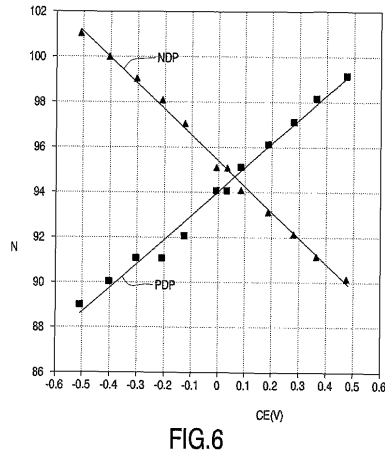


FIG.6

【 図 7 】

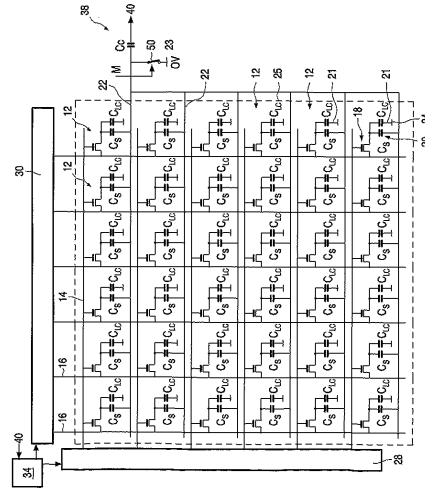


FIG.7

【 図 8 】

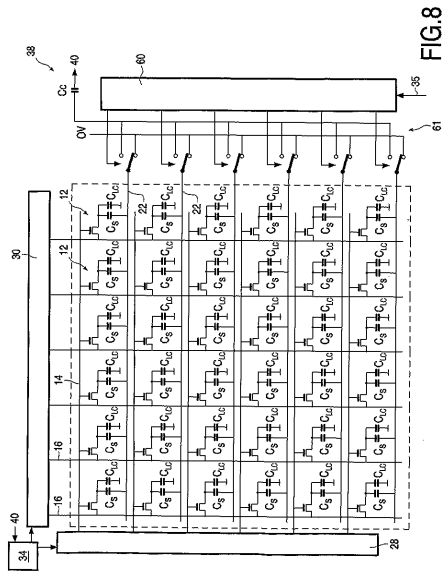


FIG.8

【 図 9 】

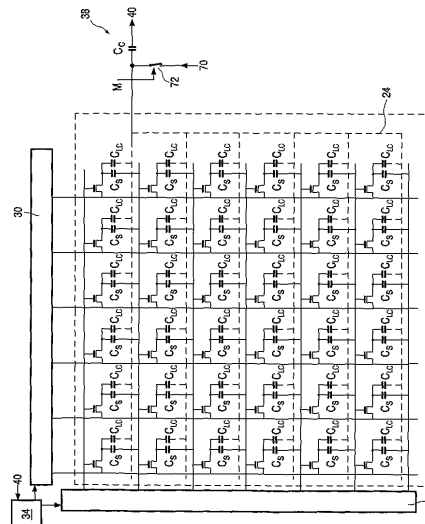


FIG.9

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International Application No PCT/IB 03/03925
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G G01L G02F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 98 39794 A (MICRODISPLAY CORP ;ALVELDA PHILLIP (US); BOLOTSKI MICHAEL (US)) 11 September 1998 (1998-09-11)	1-3,5, 7-9
Y	page 2, line 15 -page 2, line 31 page 9, line 8 -page 11, line 15 page 17, line 22 -page 17, line 28 page 19, line 30 -page 20, line 9; figures 3,5,10	4,6
Y	US 4 278 325 A (KANEKO NOBORU ET AL) 14 July 1981 (1981-07-14) column 3, line 5 -column 3, line 37 column 4, line 43 -column 4, line 61; figures 3,4A,4B,7A,7B	4,6
-/--		
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *&* document member of the same patent family		
Date of the actual completion of the international search 3 December 2003		Date of mailing of the international search report 12/12/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Morris, D

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/IB 03/03925

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 01 91427 A (BUMGARDNER RODNEY J ;GALE RONALD P (US); ELLERTSON DAVE (US); FAN) 29 November 2001 (2001-11-29) cited in the application page 55, line 18 -page 57, line 16; figures 27,28 ----	1-9
A	PATENT ABSTRACTS OF JAPAN vol. 2002, no. 11, 6 November 2002 (2002-11-06) -& JP 2002 189438 A (SHARP CORP), 5 July 2002 (2002-07-05) abstract paragraph '0012! - paragraph '0018! paragraph '0034! - paragraph '0036! paragraph '0040! - paragraph '0042! paragraph '0062!; figures 1,2,6 ----	1-9
A	US 4 795 248 A (NISHIOKA KIMIHIKO ET AL) 3 January 1989 (1989-01-03) column 8, line 50 -column 9, line 25; figure 9 -----	1-9

INTERNATIONAL SEARCH REPORT

Internatic	lication No
PCT/IB	03/03925

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
WO 9839794	A	11-09-1998	AU 6446398 A US 6108000 A WO 9839794 A2	22-09-1998 22-08-2000 11-09-1998
US 4278325	A	14-07-1981	JP 54081879 A GB 2010543 A ,B	29-06-1979 27-06-1979
WO 0191427	A	29-11-2001	AU 6499401 A CN 1444819 T EP 1284081 A2 WO 0191427 A2	03-12-2001 24-09-2003 19-02-2003 29-11-2001
JP 2002189438	A	05-07-2002	NONE	
US 4795248	A	03-01-1989	JP 61061129 A JP 61061133 A JP 61061134 A JP 61061128 A GB 2163864 A ,B US 4919520 A	28-03-1986 28-03-1986 28-03-1986 28-03-1986 05-03-1986 24-04-1990

フロントページの続き

(51) Int.Cl.⁷

F I

テーマコード (参考)

G 0 9 G 3/20 6 7 0 Q

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IT,LU,MC,NL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA, GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ, EC,EE,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,M W,MX,MZ,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA ,ZM,ZW

(74)代理人 100082991

弁理士 佐藤 泰和

(74)代理人 100096921

弁理士 吉元 弘

(74)代理人 100103263

弁理士 川崎 康

(72)発明者 マーティン、ジェイ・エドワーズ

イギリス国サリー、レッドヒル、クロス、オーク、レーン、ケアオブ、フィリップス、インテレク
チュアル、プロパティー、アンド、スタンダーズ

(72)発明者 ロジャー、ブック

イギリス国サリー、レッドヒル、クロス、オーク、レーン、ケアオブ、フィリップス、インテレク
チュアル、プロパティー、アンド、スタンダーズ

F ターム(参考) 2H092 GA11 GA31 JA24 JB61 JB71 JB77 NA11 NA21

5C006 AA16 AC11 AC24 AF42 AF43 AF59 AF78 BB16 BF49 EB01

FA20

5C080 AA10 BB05 DD28 FF01 FF11 GG02 JJ02 JJ03 JJ04 JJ05

专利名称(译)	有源矩阵液晶显示装置		
公开(公告)号	JP2005538407A	公开(公告)日	2005-12-15
申请号	JP2004533775	申请日	2003-08-22
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	マーティンジェイエドワーズ ロジャーブック		
发明人	マーティン、ジェイ.エドワーズ ロジャー、ブック		
IPC分类号	G02F1/1343 G09G3/20 G09G3/36		
CPC分类号	G09G3/3655 G09G3/3659 G09G3/3688 G09G2300/0876 G09G2320/0223 G09G2320/0247 G09G2320/029 G09G2320/041		
FI分类号	G09G3/36 G02F1/1343 G09G3/20.611.H G09G3/20.612.R G09G3/20.624.B G09G3/20.670.Q		
F-TERM分类号	2H092/GA11 2H092/GA31 2H092/JA24 2H092/JB61 2H092/JB71 2H092/JB77 2H092/NA11 2H092/NA21 5C006/AA16 5C006/AC11 5C006/AC24 5C006/AF42 5C006/AF43 5C006/AF59 5C006/AF78 5C006/BB16 5C006/BF49 5C006/EB01 5C006/FA20 5C080/AA10 5C080/BB05 5C080/DD28 5C080/FF01 5C080/FF11 5C080/GG02 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05		
代理人(译)	耀希达凯贤治 弘吉 川崎靖		
优先权	2002020617 2002-09-05 GB		
其他公开文献	JP4711678B2		
外部链接	Espacenet		

摘要(译)

显示区域 (25) , 具有面向所述共用电极 (24) 和所述像素电极一起以限定LC显示元件 (21) (15) , 像素各自具有连接到像素电极的存储电容器 (20) (12) 液晶有源矩阵由包含以下物质的序列 (LC) 显示装置, 所述调节装置 (40来调整驱动信号供给驱动电路 (35) 按照与LC电容的变化的像素 (12) , 包含34) 。调节装置, 耦合到所述像素阵列中的其通过依赖于LC显示元件的电容的电容确定的至少一部分, 也振荡频率与这些像素相关联的, 包括振荡电路 (40) 那里。通过开关装置的振荡器电路 (50,61,72) , 被连接到存储电容器 (20) 相互连接的存储电容线 (22) , 或公共电极的一个像素 (12) (24) 不错。与像素驱动电路 (35) 振荡电路, 一起, 也可以在装置的基板上被集成化。

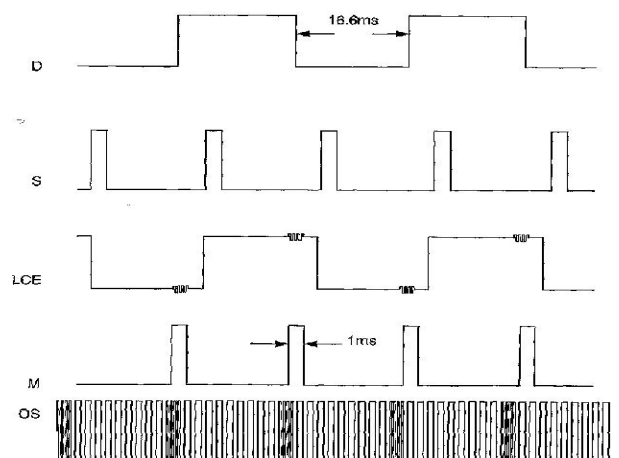


FIG.4