

【特許請求の範囲】

【請求項 1】

液晶を介して対向配置される各基板のうち、一方の基板の液晶側の画素領域に画素電極とこの画素電極との間に電界を発生せしめる対向電極を有し、

他方の基板の液晶側の画素領域とこの画素領域と隣接する画素領域の間に走行するシールド電極が形成され、このシールド電極は該他方の基板の液晶側の面に形成されるブラックマトリクスを含む他の材料層に対して他方の基板側に位置づけられていることを特徴とする液晶表示装置。

【請求項 2】

液晶を介して対向配置される各基板のうち、一方の基板の液晶側の画素領域に画素電極とこの画素電極との間に電界を発生せしめる対向電極を有し、 10

他方の基板にブラックマトリクスと、該ブラックマトリクスより他方の基板側に形成された導電層を有し、
該導電層は、該導電層に対向する領域で前記一方の基板に形成された最上層の電極あるいは配線より幅が狭く形成されていることを特徴とする液晶表示装置。

【請求項 3】

前記導電層は前記導電層に対向する領域で前記一方の基板に形成された最上層の電極あるいは配線と中心をほぼ一致されていることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】

前記導電層がシールド電極であることを特徴とする請求項 2 あるいは 3 のいずれか 1 項に記載の液晶表示装置。 20

【請求項 5】

前記導電層より前記ブラックマトリクスが幅広であることを特徴とする請求項 2 ないし 4 のいずれか 1 項に記載の液晶表示装置。

【請求項 6】

前記一方の基板にゲート信号線が形成され、該ゲート信号線より上層に絶縁膜を介して対向電極あるいは対向電圧信号線が形成され、該対向電極あるいは対向電圧信号線が前記最上層の電極あるいは配線であることを特徴とする請求項 2 ないし 5 のいずれか 1 項に記載の液晶表示装置。 30

【請求項 7】

前記一方の基板にゲート信号線が形成され、該ゲート信号線より上層に絶縁膜を介して該ゲート信号線の幅よりも大きな幅を有する対向電圧信号線が形成され、前記対向電極は該対向電圧信号線と接続されて形成され、前記ブラックマトリクスから前記対向電圧信号線までの距離が、前記ブラックマトリクスから前記導電層までの距離よりも大きくなっていることを特徴とする請求項 2 ないし 5 のいずれか 1 項に記載の液晶表示装置。

【請求項 8】

前記一方の基板にゲート信号線が形成され、該ゲート信号線より上層に絶縁膜を介して該ゲート信号線の幅よりも大きな幅を有する対向電圧信号線が形成され、前記対向電極は該対向電圧信号線と接続されて形成され、前記ブラックマトリクスから前記対向電圧信号線までの距離が、前記ブラックマトリクスから前記導電層までの距離よりも大きくなっていることを特徴とする請求項 2 ないし 5 のいずれか 1 項に記載の液晶表示装置。 40

【請求項 9】

前記ブラックマトリクスと前記一方の基板に形成された最上層の電極あるいは配線までの距離が、前記ブラックマトリクスから前記導電層までの距離よりも大きくなっていることを特徴とする請求項 2 ないし 5 のいずれか 1 項に記載の液晶表示装置。

【請求項 10】

液晶を介して対向配置される各基板のうち、一方の基板の液晶側の画素領域に複数のゲート信号線と複数のドレイン信号線を有し、隣接するゲート信号線とドレイン信号線で囲まれた領域として定まる画素領域に画素電極と、この画素電極との間に電界を発生せしめ 50

る対向電極を有し、

他方の基板にブラックマトリクスと、該ブラックマトリクスより他方の基板側に形成された導電層を有し、
隣接する導電層間の平面的距離が隣接するブラックマトリクス間の距離より大きいことを特徴とする液晶表示装置。

【請求項 1 1】

液晶を介して対向配置される各基板のうち、一方の基板の液晶側の画素領域に複数のゲート信号線と複数のドレイン信号線を有し、隣接するゲート信号線とドレイン信号線で囲まれた領域として定まる画素領域に画素電極と、この画素電極との間に電界を発生せしめる対向電極を有し、

10

他方の基板に導電層を有し、

前記導電層が前記ゲート信号線延在方向に形成され、

前記ドレイン信号線の延在方向で、前記導電層間の距離が前記ゲート信号線間の距離より大きいことを特徴とする液晶表示装置。

【請求項 1 2】

液晶を介して対向配置される各基板のうち、一方の基板の液晶側の画素領域に複数のゲート信号線と複数のドレイン信号線を有し、隣接するゲート信号線とドレイン信号線で囲まれた領域として定まる画素領域に画素電極と、この画素電極との間に電界を発生せしめる対向電極を有し、

20

他方の基板に導電層を有し、

該導電層間の距離は、該導電層に対向する領域で前記一方の基板に形成された最上層の電極あるいは配線間の距離より大きく形成されていることを特徴とする液晶表示装置。

【請求項 1 3】

他方の基板に形成されたブラックマトリクスを有し、前記導電層は該ブラックマトリクスより他方の基板側に形成されていることを特徴とする請求項 1 1 あるいは 1 2 のいずれか 1 項に記載の液晶表示装置。

【請求項 1 4】

液晶を介して対向配置される各基板のうち、一方の基板の液晶側の画素領域に画素電極とこの画素電極との間に電界を発生せしめる対向電極を有し、

30

他方の基板に形成された幅 W_1 の導電層を有し、

該導電層に対向する領域で前記一方の基板に形成された幅 W_3 の最上層の電極あるいは配線を有し、

該導電層は該最上層の電極あるいは配線より幅が狭く、かつ該導電層と該最上層の電極あるいは配線までの距離が L_3 であり、

前記他方の基板から液晶側の表面までの距離を d_2 とした場合、

$W_3 > W_1$ かつ $L_3 > d_2$ の関係を満たすことを特徴とする液晶表示装置。

【請求項 1 5】

前記一方の基板から液晶側の表面までの距離を d_1 とした場合、

$W_3 > W_1$ かつ $L_3 > (d_1 + d_2)$ の関係を満たすことを特徴とする請求項 1 4 に記載の液晶表示装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置に係り、特に、液晶を介して対向配置される各基板の一方の液晶側の面の画素領域に、画素電極と対向電極とが形成されている液晶表示装置に関する。

【背景技術】

【0002】

この種の液晶表示装置は、基板に平行であって互いに近接される各面内にそれぞれ配置される各電極に電界を発生せしめて液晶を駆動させるため、いわゆる広視野角特性が得られる表示を達成することができる。

50

このため、各基板のうち他方の基板の液晶側の面には、液晶を駆動させるための電極等の導電層を設ける必要のない構成とすることができる。

しかし、該他方の基板には、上述したような導電層が形成されていないため、電荷が蓄積されやすい構成となり、該電荷が液晶を駆動させる電界に悪影響を及ぼすことは免れなかった。

このため、該他方の基板側に形成するブラックマトリクスに導電性をもたせた材料を用いたものが知られている（下記の特許文献参照）。

【特許文献１】特願平９－８０４１５号公報

【発明の開示】

【発明が解決しようとする課題】

10

【０００３】

しかし、このように構成された液晶表示装置は、該ブラックマトリクスは、それ本来の機能をもたせなければならぬことから、その幅の最小値が規定され、この結果、該ブラックマトリクスによって画素内の電界の分布に影響を及ぼすということが指摘された。

特に、一方の基板の側に画素電極と対向電極とを備えた構成の液晶表示装置にあっては、それら各電極の間隔を狭くすることができることから、それらの間に発生する電界の量も少なく、該ブラックマトリクスによって影響を受けやすくなっている。

本発明は、このような事情に基づいてなされたもので、その目的は、画素の液晶に影響を与えることなく、基板に蓄積された電荷を速やかに除去できる液晶表示装置を提供することにある。

20

【課題を解決するための手段】

【０００４】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。

（１）本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち、一方の基板の液晶側の画素領域に画素電極とこの画素電極との間に電界を発生せしめる対向電極を有し、他方の基板の液晶側の画素領域とこの画素領域と隣接する画素領域の間に走行するシールド電極が形成され、このシールド電極は該他方の基板の液晶側の面に形成されるブラックマトリクスを含む他の材料層に対して他方の基板側に位置づけられていることを特徴とする。

30

【０００５】

（２）本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち、一方の基板の液晶側の画素領域に画素電極とこの画素電極との間に電界を発生せしめる対向電極を有し、他方の基板にブラックマトリクスと、該ブラックマトリクスより他方の基板側に形成された導電層を有し、該導電層は、該導電層に対向する領域で前記一方の基板に形成された最上層の電極あるいは配線より幅が狭く形成されていることを特徴とする。

【０００６】

（３）本発明による液晶表示装置は、たとえば、（２）において前記導電層は前記導電層に対向する領域で前記一方の基板に形成された最上層の電極あるいは配線と中心をほぼ一致されていることを特徴とする。

40

【０００７】

（４）本発明による液晶表示装置は、たとえば、（２）あるいは（３）において前記導電層がシールド電極であることを特徴とする。

【０００８】

（５）本発明による液晶表示装置は、たとえば、（２）ないし（４）のいずれかにおいて、前記導電層より前記ブラックマトリクスが幅広であることを特徴とする。

【０００９】

（６）本発明による液晶表示装置は、たとえば、（２）ないし（５）のいずれかにおいて、前記一方の基板にゲート信号線が形成され、該ゲート信号線より上層に絶縁膜を介して

50

対向電極あるいは対向電圧信号線が形成され、該対向電極あるいは対向電圧信号線が前記最上層の電極あるいは配線であることを特徴とする。

【0010】

(7) 本発明による液晶表示装置は、たとえば、(2)ないし(5)のいずれかにおいて、前記一方の基板にゲート信号線が形成され、該ゲート信号線より上層に絶縁膜を介して該ゲート信号線の幅よりも大きな幅を有する対向電圧信号線が形成され、前記対向電極は該対向電圧信号線と接続されて形成され、前記ブラックマトリクスから前記対向電圧信号線までの距離が、前記ブラックマトリクスから前記導電層までの距離よりも大きくなっていることを特徴とする。

【0011】

(8) 本発明による液晶表示装置は、たとえば、(2)ないし(5)のいずれかにおいて、前記一方の基板にゲート信号線が形成され、該ゲート信号線より上層に絶縁膜を介して該ゲート信号線の幅よりも大きな幅を有する対向電圧信号線が形成され、前記対向電極は該対向電圧信号線と接続されて形成され、前記ブラックマトリクスから前記対向電圧信号線までの距離が、前記ブラックマトリクスから前記導電層までの距離よりも大きくなっていることを特徴とする。

【0012】

(9) 本発明による液晶表示装置は、たとえば、(2)ないし(5)のいずれかにおいて、前記ブラックマトリクスと前記一方の基板に形成された最上層の電極あるいは配線までの距離が、前記ブラックマトリクスから前記導電層までの距離よりも大きくなっていることを特徴とする。

【0013】

(10) 本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち、一方の基板の液晶側の画素領域に複数のゲート信号線と複数のドレイン信号線を有し、隣接するゲート信号線とドレイン信号線で囲まれた領域として定まる画素領域に画素電極と、この画素電極との間に電界を発生せしめる対向電極を有し、他方の基板にブラックマトリクスと、該ブラックマトリクスより他方の基板側に形成された導電層を有し、隣接する導電層間の平面的距離が隣接するブラックマトリクス間の距離より大きいことを特徴とする。

【0014】

(11) 本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち、一方の基板の液晶側の画素領域に複数のゲート信号線と複数のドレイン信号線を有し、隣接するゲート信号線とドレイン信号線で囲まれた領域として定まる画素領域に画素電極と、この画素電極との間に電界を発生せしめる対向電極を有し、他方の基板に導電層を有し、前記導電層が前記ゲート信号線延在方向に形成され、前記ドレイン信号線の延在方向で、前記導電層間の距離が前記ゲート信号線間の距離より大きいことを特徴とする。

【0015】

(12) 本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち、一方の基板の液晶側の画素領域に複数のゲート信号線と複数のドレイン信号線を有し、隣接するゲート信号線とドレイン信号線で囲まれた領域として定まる画素領域に画素電極と、この画素電極との間に電界を発生せしめる対向電極を有し、他方の基板に導電層を有し、該導電層間の距離は、該導電層に対向する領域で前記一方の基板に形成された最上層の電極あるいは配線間の距離より大きく形成されていることを特徴とする。

【0016】

(13) 本発明による液晶表示装置は、たとえば、(11)あるいは(12)において他方の基板に形成されたブラックマトリクスを有し、前記導電層は該ブラックマトリクスより他方の基板側に形成されていることを特徴とする。

【0017】

(14) 本発明による液晶表示装置は、たとえば、液晶を介して対向配置される各基板のうち、一方の基板の液晶側の画素領域に画素電極とこの画素電極との間に電界を発生せし

10

20

30

40

50

める対向電極を有し、他方の基板に形成された幅 W_1 の導電層を有し、該導電層に対向する領域で前記一方の基板に形成された幅 W_3 の最上層の電極あるいは配線を有し、該導電層は該最上層の電極あるいは配線より幅が狭く、かつ該導電層と該最上層の電極あるいは配線までの距離が L_3 であり、前記他方の基板から液晶側の表面までの距離を d_2 とした場合、 $W_3 > W_1$ かつ $L_3 > d_2$ の関係を満たすことを特徴とする。

【0018】

(15) 本発明による液晶表示装置は、たとえば、(14)において前記一方の基板から液晶側の表面までの距離を d_1 とした場合、 $W_3 > W_1$ かつ $L_3 > (d_1 + d_2)$ の関係を満たすことを特徴とする。

【0019】

なお、本発明は以上の構成に限定されず、本発明の技術思想を逸脱しない範囲で種々の変更が可能である。

【発明の効果】

【0020】

このように構成した液晶表示装置は、基板に蓄積された電荷を除去する機能を有するシールド電極を設けるようにしており、その幅を任意に設定できることから、画素の電界の分布に影響を及ぼさないように構成することができる。

したがって、画素の液晶に影響を与えることなく、基板に蓄積された電荷を速やかに除去できるようになる。

【発明を実施するための最良の形態】

【0021】

以下、本発明による液晶表示装置の実施例を図面を用いて説明をする。

実施例1.

図1は、本発明に係る液晶表示装置の画素の構成の一実施例を示す平面図である。同図は液晶を介して対向配置される各基板のうち一方の基板の液晶側から見た図を示している。なお、図1のA-A'線における断面図を図2に、B-B'線における断面図を図3に、C-C'線における断面図を図4に示している。

【0022】

この実施例における液晶表示装置の画素は、ゲート信号線 GL からの走査信号によってオンされる薄膜トランジスタ TFT を介して、ドレイン信号線 DL からの映像信号が画素電極 PX に供給されるようになっている。該画素電極 PX は、映像信号に対して基準となる対向電圧信号が供給される対向電極 CT との間に電界を発生せしめ、この電界が印加される液晶の光変調率が該電界の量によって制御されるようになっている。また、画素電極 PX と対向電極 CT の間には容量素子 $Cstg$ が形成され、この容量素子 $Cstg$ によって、前記薄膜トランジスタ TFT がオフになっても該映像信号を画素電極 PX に該映像信号を比較的長い時間蓄積されるようになっている。

【0023】

図1において、透明基板 $SUB1$ があり、この液晶側の面に、まず、 x 方向に延在し y 方向に並設されるゲート信号線 GL が形成されている。

これらゲート信号線 GL は後述のドレイン信号線 DL とともに矩形状の領域を囲むようになっており、この領域を画素領域として構成するようになっている。

【0024】

また、当該画素領域内において、図中上側のゲート信号線 GL (図示せず)に近接しかつ平行に対向電圧信号線 CL が形成されている。この対向電圧信号線 CL は、後述の対向電極 CT に対向電圧信号を供給する信号線で、たとえばゲート信号線 GL の形成の際に同時に形成されるようになっている。

【0025】

なお、この対向電圧信号線 CL は、当該画素領域内において、後述のドレイン信号線 DL に近接し、かつ、該ドレイン信号線 DL の走行方向に沿って延在する延在部を有し、この延在端は、当該画素領域と図中 x 方向に隣接する他の画素領域において、対向電圧信号

10

20

30

40

50

線 C L の対応する延在部の延在端と互いに接続されるように形成されている。

【 0 0 2 6 】

これにより、該ドレイン信号線 D L は各画素領域毎に対向電圧信号線 C L に囲まれるように形成され、該ドレイン信号線 D L からの電気力線を後述の画素電極 P X へ終端させるのを回避できるようになっている。該電気力線が画素電極 P X へ終端されるとそれがノイズとなるからである。

【 0 0 2 7 】

このようにゲート信号線 G L および対向電圧信号線 C L が形成された透明基板 S U B 1 の表面にはたとえば S i N からなる絶縁膜 G I が該ゲート信号線 G L および対向電圧信号線 C L をも被って形成されている。

10

【 0 0 2 8 】

この絶縁膜 G I は、後述のドレイン信号線 D L の形成領域においては前記ゲート信号線 G L に対する層間絶縁膜としての機能を、後述の薄膜トランジスタ T F T の形成領域においてはそのゲート絶縁膜としての機能を有するようになっている。また、容量素子 C s t g の形成領域においては該容量 C s t g の誘電体膜としての機能を有するようになっている。

【 0 0 2 9 】

そして、この絶縁膜 G I の表面であって、前記ゲート信号線 G L の一部に重畳するようにしてたとえばアモルファス S i からなる半導体層 A S が形成されている。

この半導体層 A S は、薄膜トランジスタ T F T のそれであって、その上面にドレイン電極 S D 1 およびソース電極 S D 2 を形成することにより、ゲート信号線 G L の一部をゲート電極とする逆スタガ構造の M I S 型トランジスタを構成することができる。

20

【 0 0 3 0 】

ここで、前記ドレイン電極 S D 1 およびソース電極 S D 2 はドレイン信号線 D L の形成の際に同時に形成されるようになっている。

すなわち、 y 方向に延在され x 方向に並設されるドレイン信号線 D L が形成され、その一部が前記半導体層 A S の上面にまで延在されてドレイン電極 S D 1 が形成され、また、このドレイン電極 S D 1 と薄膜トランジスタ T F T のチャンネル長分だけ離間されてソース電極 S D 2 が形成されている。

【 0 0 3 1 】

30

また、このソース電極 S D 2 は画素領域内にまで及び、さらに、たとえば 3 つに分岐され、それぞれの分岐部は前記対向電圧信号線 C L に重畳される部分にまで延在され、その延在端は該対向電圧信号線 C L の走行方向に沿って並設されるように形成されている。

このソース電極 S D 2 の各延在端は後述の画素電極 P X とのコンタクトをとる部分となる。

【 0 0 3 2 】

このように、薄膜トランジスタ T F T、ドレイン信号線 D L (ドレイン電極 S D 1)、およびソース電極 S D 2 が形成された透明電極 S U B 1 の上面には第 1 の保護膜 P A S 1 および第 2 の保護膜 P A S 2 が形成されている。

【 0 0 3 3 】

40

これら各保護膜 P A S は、薄膜トランジスタ T F T の液晶との直接の接触を回避して該薄膜トランジスタ T F T の特性劣化を防止するもので、第 1 の保護膜 P A S 1 はたとえば無機材料から構成され、第 2 の保護膜 P A S 2 は有機材料から構成されている。

無機材料によって保護膜としての信頼性を向上させるとともに、有機材料によって保護膜自体の誘電率を低減させるためである。

【 0 0 3 4 】

そして、第 2 の保護膜の上面には、画素電極 P X と対向電極 C T とが形成されている。これらは、画素の開口率を向上させるため、たとえば、ITO (Indium Tin Oxide)、ITZO (Indium Tin Zinc Oxide)、IZO (Indium Zinc Oxide)、SnO₂ (酸化スズ)、In₂O₃ (酸化インジウム) 等の透光性の導電膜から形成されている。

50

【 0 0 3 5 】

まず、画素電極 P X は、y 方向に延在し x 方向に並設される複数の帯状の電極からなり、たとえば当該画素領域にて 6 本からなる電極群を構成している。

ここで、各画素電極 P X は、たとえば図中左側から 2 本ずつ前記対向電圧信号線 C L の上方で互いに接続されたパターンをなし、その接続部はその下側の層に位置づけられている前記ソース電極 S D 2 の分岐された各延在端に、前記第 2 の保護膜 P A S 2、第 1 の保護膜 P A S 1、および絶縁膜 G I を貫通するスルーホールを通して T H 1、T H 2、T H 3 を通して電氣的に接続されている。

【 0 0 3 6 】

このように構成することによって、3 区分された各区分内の画素電極 P X のうちたとえば 1 区分内の画素電極 P X の部分に何らかの支障が生じて表示されないようなことが生じてても、他の残りの区分において表示ができる効果を奏する。 10

【 0 0 3 7 】

なお、画素電極 P X と薄膜トランジスタ T F T のソース電極 S D の延在端を接続する前記スルーホール T H 1、T H 2、T H 3 の周辺は、十分な面積で該画素電極 P X と延在端との重畳部分が確保され、この部分において、前記第 2 の保護膜 P A S 2、第 1 の保護膜 P A S 1、および絶縁膜 G I を誘電体膜とする容量素子 C s t g が形成されている。

【 0 0 3 8 】

また、対向電極 C T も、y 方向に延在し x 方向に並設される複数の帯状の電極からなり、それぞれの電極は、前記画素電極 P X の各電極を間にして位置づけるように該電極の両脇に配置されている。したがって、合計 7 本の対向電極 C T で構成されている。 20

【 0 0 3 9 】

ここで、電極群からなる対向電極 C T のうち、その両端に位置づけられる 2 本は、それぞれドレイン信号線 D L に近接して配置されるものとなり、これらは当該画素領域に対し図中左右に隣接される他の画素領域において該ドレイン信号線 D L に近接して配置される対向電極 C T と共通に接続されている。換言すれば、ドレイン信号線 D L とその中心軸をほぼ一致させ、該ドレイン信号線 D L よりも幅の大きな対向電極 C T が該ドレイン信号線 D L を十分に被って形成され、ドレイン信号線 D L からはみ出した部分のうち図中左側の画素領域においては該画素領域の対向電極 C T を構成し、図中右側の画素領域においては該画素領域の対向電極を構成するようになっている。これにより、ドレイン信号線 D L からの電気力線を対向電極 C T に終端させる効果を大ならしめる。 30

【 0 0 4 0 】

同様に、ゲート信号線 G L においてもこのような効果をもたらしめるため、該ゲート信号線 G L を十分に被った導電層が形成され、この導電層は対向電極 C T をパターン化する際に該対向電極 C T に接続されたパターンとして形成されている。このため、この部分における導電層は対向電極 C T に対向電圧信号を供給するための経路としても機能でき、この明細書では対向電圧信号線 C L' と称す。

【 0 0 4 1 】

そして、このように画素電極 P X、および対向電極 C T が形成された透明基板 S U B 1 の上面には該画素電極、および対向電極 C T をも被って配向膜 A L が形成されている。この配向膜 A L は液晶 L C と直接に当接する膜で該液晶の分子の初期配向方向を決定づけるようになっている。 40

【 0 0 4 2 】

このように構成される透明基板 S U B 1 は、図 2 ないし図 4 に示すように、液晶 L C を介して透明基板 S U B 2 と対向するように配置されている。

透明基板 S U B 2 の液晶 L C 側の面には、まず、導電層としてのシールド電極 S E が形成されている。このシールド電極 S E は、たとえば金属層等で形成され、透明基板 S U B 2 に蓄積された電荷を散在させ、あるいは取り除くために設けられている。そして、このシールド電極 S E は、図 1 において重ねて示しているように、S U B 1 上のシールド電極 S E と対向する領域での最上層の電極あるいは配線と相関して配置されている。図 1 では 50

、対向電圧信号線 C L ' がゲート信号線 G L 上に配置されシールド電極 S E と対向する領域での S U B 1 上の最上層の電極となっているため、この対向電圧信号線と相関して配置されている。すなわち、シールド電極 S E は対向電圧信号線 C L ' 上になるように配置することが必要である。さらに望ましくは対向電圧信号線 C L ' より幅の狭いものとして形成することが望ましい。また中心軸を一致させて配置されると、対向電圧信号線 C L ' の端部とシールド電極 S E 端部の間の距離を等しくできるため、シールド電極 S E の効果を実現し、かつ表示電界への影響を回避する上でより望ましい。

【 0 0 4 3 】

またシールド電極 S E と対向する最上層の電極がゲート信号線 G L やドレイン信号線 D L のように他の信号線である場合には、シールド電極 S E は該ゲート信号線 G L やドレイン信号線 D L に対し、対向電圧信号線 C L ' に対して説明した上記関係と同様の関係を満たすことが望ましい。

10

【 0 0 4 4 】

そして、このシールド電極 S E を十分に被ってブラックマトリクス B M が形成されている。このブラックマトリクス B M は、図 1 において重ねて示しているように、ゲート信号線 G L の走行方向に沿って形成され、該ゲート信号線 G L および該ゲート信号線 G L に近接されて配置される対向電圧信号線 C L をも十分に被って形成され、その幅方向は、その方向の画素領域における画素電極 P X の一端部をも被うに至るまで及んでいる。

【 0 0 4 5 】

そして、カラーフィルタ C F が形成され、このカラーフィルタ C F はたとえば赤 (R) 、緑 (G) 、青 (B) の各色のフィルタからなり、y 方向に並設される各画素領域群には同色のフィルタが共通に形成され、該画素領域群に x 方向に順次隣接する画素領域群にたとえば赤 (R) 色、緑 (G) 色、青 (B) 色、赤 (R) 色、... ...、というような配列で形成されている。

20

【 0 0 4 6 】

ブラックマトリクス B M およびカラーフィルタ C F が形成された透明基板の表面にはこれらブラックマトリクス B M およびカラーフィルタ C F をも被って平坦化膜 O C が形成されている。この平坦化膜 O C は塗布によって形成できる樹脂膜からなり、前記ブラックマトリクス B M およびカラーフィルタ C F の形成によって顕在化する段差をなくすために設けられる。

30

この平坦化膜 O C の表面には配向膜 A L が形成され、この配向膜 A L は液晶と直接に当接する膜で該液晶 L C の分子の初期配向方向を決定づけるようになっている。

【 0 0 4 7 】

上述のように構成した液晶表示装置は、透明基板 S U B 2 の液晶側の面にシールド電極 S E が設けられ、これにより、透明基板 S U B 2 に蓄積される電荷を該シールド電極 S E を通して放電させるようになっている。

【 0 0 4 8 】

ここで、図 5 は透明基板 S U B 1 、 S U B 2 との関係で該シールド電極 S E を平面的に示したパターンであり、図中 x 方向に延在された各シールド電極 S E が y 方向に複数並設されており、その各両端は互いに接続された構成となっている。

40

【 0 0 4 9 】

そして、このシールド電極 S E は、表示領域 (画素領域の集合体から構成される領域) の一角において、接続部 C P を介して透明基板 S U B 1 側の接続配線層 J L に電氣的に引き出されるようになっている。該シールド電極 S E をたとえばグラウンドの電位とするためである。

【 0 0 5 0 】

図 6 は、該接続部 C P の個所を断面にとった該接続部 C P とその近傍を示す図で、たとえば透明基板 S U B 1 に対する透明基板 S U B 2 の支持を兼ねるシール剤 C L の一部に内蔵されて形成される導電ビーズ C B を通して、透明基板 S U B 2 側のシールド電極 S E が透明基板 S U B 1 側の接続配線 J L に引き出されている。

50

【 0 0 5 1 】

しかし、この実施例で示される液晶表示装置は、極めて近接配置された対向電極 C T と画素電極 P X との間の僅かな量の電界によって液晶の光変調率を制御しているため、該電界が前記シールド電極 S E によって影響（擾乱）されないように配慮することが重要となる。このため、以下に示すように、その配置が工夫されたものとなっている。

【 0 0 5 2 】

すなわち、図 4 に示すように、

1) シールド電極 S E の幅を W_1 とし、このシールド電極 S E と対向する透明基板 S U B 1 側の最上層の電極としての対向電圧信号線 C L ' (対向電極 C T と一体に形成される信号線) の同方向の幅を W_3 とした場合、 $W_1 < W_3$ が成立するようになっている。これは、該シールド電極 S E による透明基板 S U B 1 側の影響を、透明基板 S U B 1 側に形成されている電極あるいは信号線の影響よりも小さくするためである。なお、シールド電極 S E と対向する最上層の電極が別の電極や配線である場合は、該配線や電極を W_3 として同様の関係を満たすことが望ましい。

10

【 0 0 5 3 】

なお、シールド電極 S E と対向する最上層の電極が対向電極 C T あるいは対向電圧信号線 C L ' である場合、その電位は共通電位として安定したものであるため、シールド電極 S E の電位安定化効果を奏し、シールド効果の一層の向上を図ることができる。さらに、表示電界はより表示領域に違い位置に配置された対向電極 C T あるいは対向電圧信号線 C L ' に終端されやすいため、シールド電極 S E の表示電界の擾乱をより確実に抑制することができる。また、表示領域外での電氣的接続等によりシールド電極 S E の電位を対向電極 C T あるいは対向電圧信号線 C L ' と同じ電位とした場合、一層の効果の向上が達成される。

20

【 0 0 5 4 】

2) また、シールド電極 S E の幅が W_1 であって、このシールド電極 S E を被うブラックマトリクス B M の同方向の幅を W_2 とした場合、 $W_1 < W_2$ が成立するようになっている。これは、ブラックマトリクス B M とシールド電極 S E を別体として構成することにより、ブラックマトリクス B M の形成領域の一部分であって、かつ、最適な位置に、電荷放電機能と電界擾乱回避機能をもたせるようにしたものである。このことから、ブラックマトリクス B M の材料の電氣的抵抗 > シールド電極 S E の材料の電氣的抵抗の関係にあり、該ブラックマトリクス B M の材料としてはたとえば樹脂層とし、該シールド電極 S E の材料としてはたとえば金属層とすることが望ましい。

30

【 0 0 5 5 】

3) 上述したシールド電極 S E と対向電圧信号線 C L ' との配置、およびシールド電極 S E とブラックマトリクス B M との配置は、それぞれ独立に上述した関係で規定してもよいが、この場合、 $W_1 < W_3 < W_2$ を満足する関係で規定することにより、上記効果を奏するための最適構成とすることが出来る。

【 0 0 5 6 】

4) さらに、当該画素領域において、ブラックマトリクス B M の長手方向と平行な辺を基準とし、そこからシールド電極 S E (その長手方向の各辺のうち最短の辺) までの距離を L_2 、対向電圧信号線 (その長手方向の各辺のうち最短の辺) までの距離を L_1 とした場合、 $L_2 > L_1$ が成立するようになっている。これにより、該シールド電極 S E による透明基板 S U B 1 側の影響を、透明基板 S U B 1 側に形成されている電極あるいは信号線の影響よりも小さくすることができる。

40

【 0 0 5 7 】

また、シールド電極 S E による電界の擾乱を十分に回避するには、さらに次の関係を満たすことが望ましい。

- 1) シールド電極 S E の厚さ < ブラックマトリクス B M の厚さの関係で設定されている。
- 2) さらに、ブラックマトリクス B M の少なくとも表示領域側の辺部にカラーフィルタ C F が重畳している。

50

【0058】

これにより、シールド電極SEと液晶層との電氣的距離を拡大でき、より電界の擾乱回避を確実にすることができる。

さらに、望ましくは、ブラックマトリクスBMの表示領域側の辺部にはカラーフィルタCFと平坦化膜OCとが重畳させた構成とする。

【0059】

上述した実施例では、ブラックマトリクスBMの近傍に位置づけられるカラーフィルタCFは該ブラックマトリクスBMの中央部を除く辺部のみに重畳させた構成としたものである。しかし、これに限定されず、該中央部をも被って形成するようにしてもよいことはいうまでもない。このようにした場合、シールド電極SEの透明基板SUB1までの電氣的距離を拡大でき画素電極PXへの影響を低減させることができる。図7は、図4に対応した図であり、ブラックマトリクスBMの近傍に位置づけられるカラーフィルタCFが該ブラックマトリクスBMをその全域にわたって被っている構成を示したものである。

10

【0060】

また、上述した実施例では、シールド電極SEは、ゲート信号線GLと対向するように該ゲート信号線GLに沿って形成されたものである。このため、該シールド電極SEは図中x方向に延在されy方向に並設されて形成されたものとなっている。しかし、ゲート信号線GLのみでなくドレイン信号線DLにも対向するように該ドレイン信号線DLに沿って形成するようにしてもよいことはいうまでもない。

【0061】

20

図8は、図1に対応する図であり、透明基板SUB1の液晶側の面に、シールド電極SEを重ねて示したものである。該シールド電極SEは、図1の場合と異なり、ドレイン信号線DLにも対向して形成され、透明基板SUB2側に各画素領域に開口が設けられた格子状をなすパターンとして形成されている。

【0062】

実施例2.

図9は、本発明による液晶表示装置の画素の他の実施例を示す他の実施例を示す平面図である。なお、図9のA-A'線における断面図を図10に、B-B'線における断面図を図11に、C-C'線における断面図を図12に示している。

図9に示す画素はその薄膜トランジスタTFTの半導体層がポリシリコン(p-Si)で形成されたものとなっている。

30

【0063】

まず、透明基板SUB1の液晶側の面の薄膜トランジスタTFTの形成領域に、ポリシリコン層からなる半導体層LTPSが形成されている。この半導体層PSはたとえばプラズマCVD装置によって成膜したアモルファスSi膜をエキシマレーザによって多結晶化したものである。

【0064】

この半導体層PSは、後述するゲート信号線GLをたとえば2回横切るように蛇行したパターンをなすように形成されている。

そして、このように半導体層PSが形成された透明基板SUB1の表面には、該半導体層PSをも覆ってたとえばSiO₂あるいはSiNからなる第1絶縁膜INSが形成されている。

40

【0065】

この第1絶縁膜INSは前記薄膜トランジスタTFTのゲート絶縁膜として機能するとともに、後述する容量素子Cstgの誘電体膜の一つとして機能するようになっている。

そして、第1絶縁膜INSの上面には、図中x方向に延在しy方向に並設されるゲート信号線GLが形成され、このゲート信号線GLは後述するドレイン信号線DLとともに矩形状の画素領域を画するようになっている。この場合、ゲート信号線GLは前記半導体層LTPSを2回横切るように走行され、その重畳部において薄膜トランジスタTFTのゲート電極として機能するようになっている。

50

【 0 0 6 6 】

なお、このゲート信号線 G L は耐熱性を有する導電膜であればよく、たとえば A l、C r、T a、T i W 等が選択される。この実施例ではゲート信号線 G L としてたとえば T i W が用いられている。

【 0 0 6 7 】

また、このゲート信号線 G L の形成後は、第 1 絶縁膜 I N S を介して不純物のイオン打ち込みをし、前記半導体層 L T P S において前記ゲート電極 G T の直下を除く領域を導電化させることによって、薄膜トランジスタ T F T のソース領域およびドレイン領域が形成されるようになっている。

【 0 0 6 8 】

また、画素領域のたとえば中央を図中 x 方向に延在する対向電圧信号線 C L が形成され、この対向電圧信号線 C L と一体となって対向電極 C T が形成されている。この対向電極 C T は、図中 y 方向に延在し x 方向に並設される 2 本の電極群から構成され、それぞれは画素領域の両脇に配置される後述のドレイン信号線 D L に近接して配置されている。

【 0 0 6 9 】

対向電圧信号線 C L および対向電極 C T をも被って透明基板 S U B 1 の上面には第 2 の絶縁膜 G I が形成され、この第 2 の絶縁膜 G I の表面には前記ドレイン信号線 D L が図中 y 方向に延在し x 方向に並設されて形成されている。このドレイン信号線 D L は前記ゲート信号線 G L とともに画素領域を囲むようになっている。

【 0 0 7 0 】

ここで、該ドレイン信号線 D L は、その形成時に、予め第 2 の絶縁膜 G I および第 1 の絶縁膜 I N S を貫通して設けたスルーホールを通して前記半導体層 L T P S の一端に接続されるようになっている。これにより、該ドレイン信号線 D L は薄膜トランジスタ T F T の一方の領域（便宜上、ドレイン領域と称す）に接続され、その接続部は薄膜トランジスタ T F T のドレイン電極を構成するようになる。

【 0 0 7 1 】

ドレイン信号線 D L をも被って透明基板 S U B 1 の上面には保護膜 P A S が形成され、この保護膜 P A S の表面には画素電極 P X が形成されている。この画素電極 P X は画素領域の中央を図中 y 方向に延在する 1 本の電極から構成され、その材料としては、たとえば I T O (Indium Tin Oxide)、I T Z O (Indium Tin Zinc Oxide)、I Z O (Indium Zinc Oxide)、Sn O₂ (酸化スズ)、I n₂O₃ (酸化インジウム) 等の光透過性の導電膜が用いられている。画素の開口率を向上させるためである。

【 0 0 7 2 】

ここで、該画素電極 P X は、その形成時に、予め保護膜 P A S、第 2 の絶縁膜 G I および第 1 の絶縁膜 I N S を貫通して設けたスルーホールを通して前記半導体層 L T P S の他端に接続されるようになっている。これにより、該画素電極 P X は薄膜トランジスタ T F T の他方の領域（ソース領域）に接続され、その接続部は薄膜トランジスタ T F T のソース電極を構成するようになる。

【 0 0 7 3 】

また、画素電極 P X は前記対向電圧信号線 C L との重畳部において、該対向電圧信号線 C L の走行方向に若干沿って形成された延在部を有し、比較的面積の広いこの部分にて該対向電圧信号線 C L との間に容量素子 C s t g を構成するようになっている。その誘電体膜は保護膜 P A S、第 2 の絶縁膜 G I および第 1 の絶縁膜 I N S である。

【 0 0 7 4 】

画素電極 P X をも被って透明基板 S U B 1 の上面には配向膜 A L が形成されている。この配向膜 A L は液晶と直接に接触し、液晶の分子の初期配向方向を規定するようになっている。

【 0 0 7 5 】

このように構成される透明基板 S U B 1 は、図 1 0 ないし図 1 2 に示すように、液晶 L C を介して透明基板 S U B 2 と対向するように配置されている。

10

20

30

40

50

透明基板SUB2の液晶LC側の面には、まず、シールド電極SEが形成されている。このシールド電極SEは透明基板SUB2に蓄積された電荷を散在させ、あるいは取り除くために設けられるもので、図9において重ねて示しているように、ゲート信号線GLとほぼ中心軸が一致づけられ、該ゲート信号線GLよりも幅が小さく形成されている。

【0076】

そして、このシールド電極SEを充分に被ってブラックマトリクスBMが形成されている。このブラックマトリクスBMは、図9において重ねて示しているように、ゲート信号線GLおよびドレイン信号線DLを充分に対向するように形成され、換言すれば、画素領域の周辺を除く中央部に開口が設けられたパターンによって形成されている。

【0077】

そして、カラーフィルタCFが形成され、このカラーフィルタCFはたとえば赤(R)、緑(G)、青(B)の各色のフィルタからなり、y方向に並設される各画素領域群には同色のフィルタが共通に形成され、該画素領域群にx方向に順次隣接する画素領域群にたとえば赤(R)色、緑(G)色、青(B)色、赤(R)色、...、というような配列で形成されている。

【0078】

ブラックマトリクスBMおよびカラーフィルタCFが形成された透明基板の表面にはこれらブラックマトリクスBMおよびカラーフィルタCFをも被って平坦化膜OCが形成されている。この平坦化膜OCは塗布によって形成できる樹脂膜からなり、前記ブラックマトリクスBMおよびカラーフィルタCFの形成によって顕在化する段差をなくすために設けられる。

【0079】

この平坦化膜OCの表面には配向膜ALが形成され、この配向膜ALは液晶と直接に当接する膜で、その表面に形成されたラビングによって該液晶LCの分子の初期配向方向を決定づけるようになっている。

【0080】

図9で、導電層としてのシールド電極SEは、隣接するシールド電極SE間の距離が、隣接するゲート信号線GL間の距離より大きく構成されている。

また隣接するシールド電極SE間の距離が、隣接するブラックマトリクスBMの辺部間の距離より、大きく構成されている。

【0081】

このように構成した場合においても、図1に示す構成の場合と同様に、シールド電極SEによって透明基板SUB1に蓄積された電荷を速やかに取り除くことができ、また、このシールド電極SEによって、画素領域内に発生する電界に影響を与えるようなことはなくなる。

ここで、シールド電極SEとブラックマトリクス等の他の材料層との位置関係は上述した規定をそのまま適用できるものである。

【0082】

なお、図13は、図12に対応した図であり、ブラックマトリクスBMの近傍に位置づけられるカラーフィルタCFが該ブラックマトリクスBMをその全域にわたって被っている構成を示したものである。上述したと同様、シールド電極SEの透明基板SUB1までの電氣的距離を拡大でき画素電極PXへの影響を低減させることができるようになるからである。

【0083】

実施例3.

図14は、本発明による液晶表示装置の画素の構成の他の実施例を示す平面図で、図9と対応した図となっている。また、図14のD-D'線における断面図を図15に示している。

図9の場合と比較して異なる構成は、透明基板SUB2側に形成されるシールド電極SEをゲート信号線GLではなく、対向電圧信号線CLに対向するようにして形成した点に

10

20

30

40

50

ある。

【 0 0 8 4 】

また、この実施例の場合、ブラックマトリクス B M は画素領域の周辺を除く中央部に開口を設けたパターンとしていることは図 9 の場合と同じである。

このため、シールド電極 S E は画素領域においてブラックマトリクス B M によって覆われていない構成となり、該シールド電極 S E の画素領域の電界に対する影響（電界の擾乱）は、図 9 の場合と比較して大きくなることは免れない。

【 0 0 8 5 】

それ故、図 1 5 に示すように、シールド電極 S E の幅を W_1 、対向電圧信号線 C L の幅を W_3 、シールド電極 S E の走行の方向に平行な各辺のうち一方側の辺から対向電圧信号線 C L の同方向側の辺までの距離を L_3 、透明基板 S U B 2 のブラックマトリクス B M が形成されていない領域における、カラーフィルタ C F、平坦化膜 O C および配向膜 A L の積層体からなる厚さを d_2 とした場合、

[数 1] $W_3 > W_1$ 、かつ $L_3 > d_2$ (1)

の関係を満足するようにそれらの位置関係を規定している。これにより、シールド電極 S E を電氣的に遠く配置できたことになり、シールド電極 S E の画素領域の電界への影響を抑制できる。

【 0 0 8 6 】

また、他の実施例として、透明基板 S U B 1 側において、対向電圧信号線 C L を被う第 2 の絶縁膜 G I から液晶表面の配向膜 A L までの積層体からなる厚さを d_2 とした場合、

[数 2] $W_3 > W_1$ 、かつ $L_3 > (d_2 + d_1)$ (2)

の関係を満足するようにそれらの位置関係を規定するようにしてもよい。このようにした場合、有効領域に対し、シールド電極 S E を信号線より電氣的に遠い位置に位置付けられるからである。

【 0 0 8 7 】

さらに、シールド電極と下層の信号線に関する上記 (1) 式で示す関係あるいは上記 (2) 式で示す関係は、ブラックマトリクス等の遮光層を有する領域に適用してもよいことはもちろんである。さらに効果の向上が図れるからである。

【 0 0 8 8 】

実施例 4 .

図 1 6 は、本発明による液晶表示装置の画素の他の実施例を示す平面図で、図 1 4 と対応した図となっている。また、図 1 6 の A - A ' 線における断面図を図 1 7 に、B - B ' 線における断面図を図 1 8 に示している。

【 0 0 8 9 】

図 1 6 において、シールド電極 S E はたとえばゲート信号線 G L と対向するように形成したものであり、画素領域の構成において、画素電極 P X と対向電極 C T の構成が異なるのみで他は同様となっている。

【 0 0 9 0 】

また、この場合、画素電極 P X および対向電極 C T は、そのいずれもがたとえば I T O 等の透光性の導電膜から構成されている。

すなわち、対向電極 C T は第 1 の絶縁膜 I N S と第 2 の絶縁膜 G I との間に形成され、画素領域のほぼ全域に、この実施例の場合は図中 x 方向に隣接する他の画素領域の対向電極 C T と互いに接続されて、形成されている。

【 0 0 9 1 】

また、画素電極 P X は保護膜 P A S の上面に形成され、図中 x 方向に延在する電極がその延在方向と交差する方向に複数並設されてなす電極群によって形成されている。

なお、実施例に示す画素電極 P X の各電極は、画素領域の中央を y 方向に走行する仮想の線を境にし、その両脇における各電極が若干傾いて形成され、“へ”の字のパターンとなっている。いわゆるマルチドメイン方式を採用しているからである。

【 0 0 9 2 】

画素電極 P X の各電極はその電極群の周辺にて枠体を有するパターンとすることにより互いに電氣的に接続され、該枠体の一部において、保護膜 P A S、第 2 の絶縁膜 G I、第 1 の絶縁膜 I N S を貫通して形成したスルーホールを通して薄膜トランジスタ T F T のソース電極に接続されている。

【 0 0 9 3 】

このような構成からなる画素は、対向電極 C T が隣接する画素領域のそれと接続され、それ自体が対向電圧信号線 C L の機能をもたせることから、たとえば金属層で形成した対向電圧信号線 C L が存在しないことから、シールド電極 S E の配置個所としてゲート信号線 G L と対向する個所を選択したものである。なお、この場合において、ドレイン信号線 D L と対向するようにして形成してもよく、またゲート信号線 G L およびドレイン信号線 D L に対向するようにして形成してもよい。

10

【 0 0 9 4 】

上述した各実施例はそれぞれ単独に、あるいは組み合わせて用いても良い。それぞれの実施例での効果を単独であるいは相乗して奏することができるからである。

【図面の簡単な説明】

【 0 0 9 5 】

【図 1】本発明による液晶表示装置の画素の一実施例を示す平面図である。

【図 2】図 1 の A - A ' 線における断面図である。

【図 3】図 1 の B - B ' 線における断面図である。

【図 4】図 1 の C - C ' 線における断面図である。

20

【図 5】シールド電極を基板との関係で示した平面図である。

【図 6】シールド電極をそれが形成されている基板と異なる他の基板に引き出す部分を示した断面図である。

【図 7】本発明による液晶表示装置の画素の他の実施例を示す断面図である。

【図 8】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図 9】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図 10】図 9 の A - A ' 線における断面図である。

【図 11】図 9 の B - B ' 線における断面図である。

【図 12】図 9 の C - C ' 線における断面図である。

【図 13】本発明による液晶表示装置の画素の他の実施例を示す断面図である。

30

【図 14】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図 15】図 14 の D - D ' 線における断面図である。

【図 16】本発明による液晶表示装置の画素の他の実施例を示す平面図である。

【図 17】図 16 の A - A ' 線における断面図である。

【図 18】図 16 の B - B ' 線における断面図である。

【符号の説明】

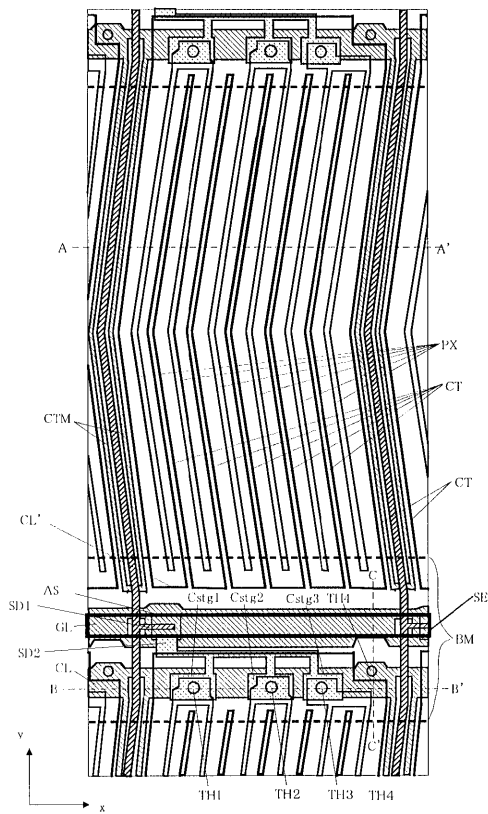
【 0 0 9 6 】

S U B ... 透明電極、G L ... ゲート信号線、D L ... ドレイン信号線、C L ... 対向電圧信号線、T F T ... 薄膜トランジスタ、P X ... 画素電極、C T ... 対向電極、G I ... 絶縁膜、P A S ... 保護膜、B M ... ブラックマトリクス、F I L ... カラーフィルタ、O C ... 平坦化膜、S E ... シールド電極

40

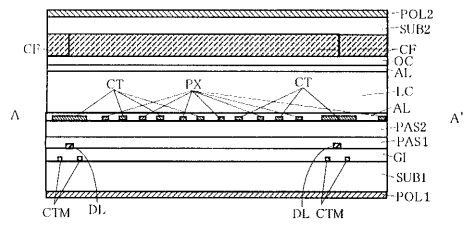
【図1】

図1



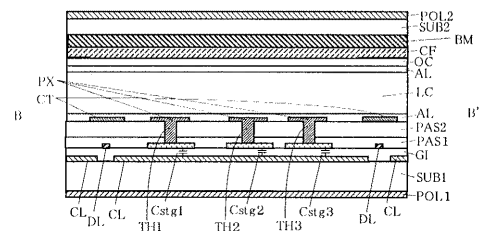
【図2】

図2



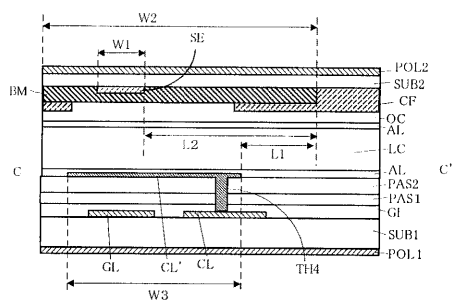
【図3】

図3



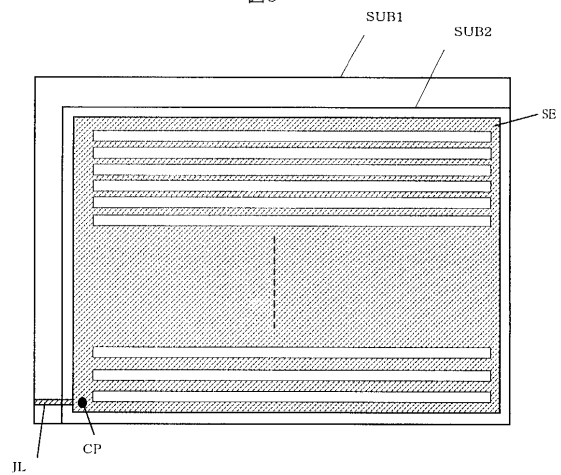
【図4】

図4



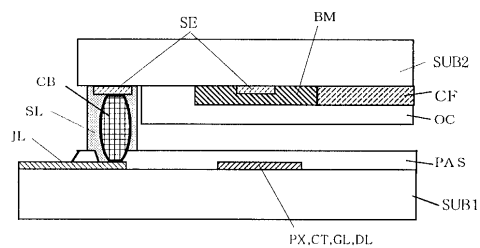
【図5】

図5



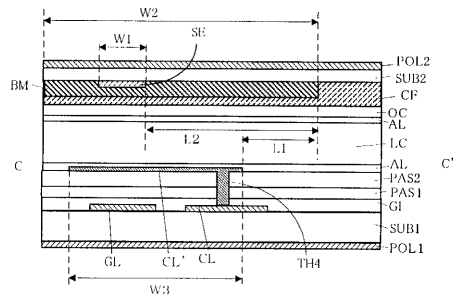
【図6】

図6



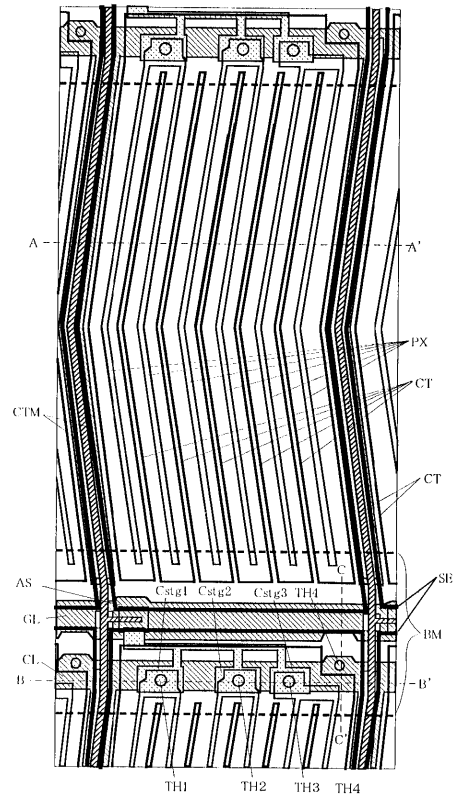
【図 7】

図7



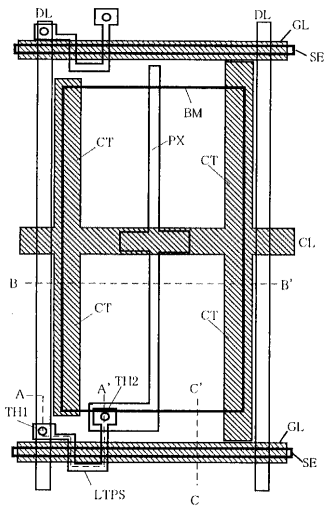
【図 8】

図8



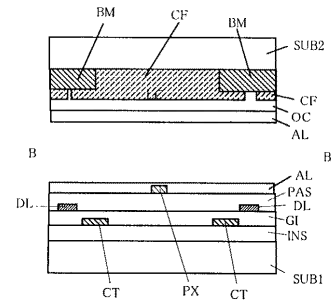
【図 9】

図9



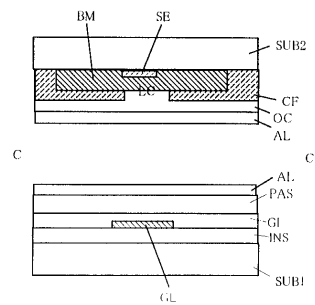
【図 11】

図11



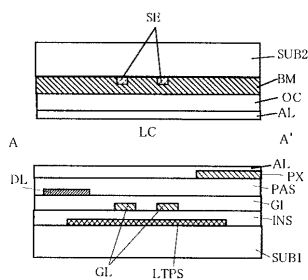
【図 12】

図12



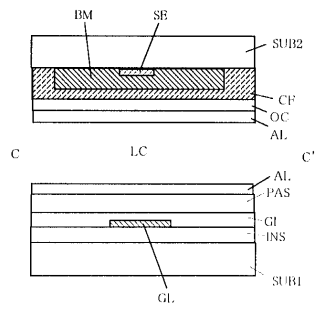
【図 10】

図10



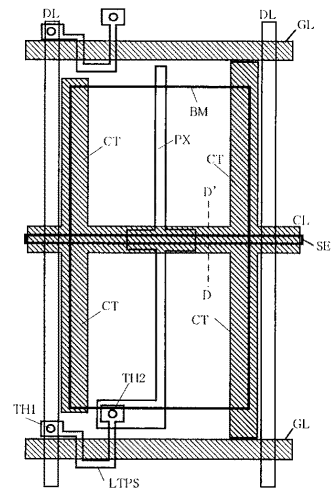
【図 13】

図13



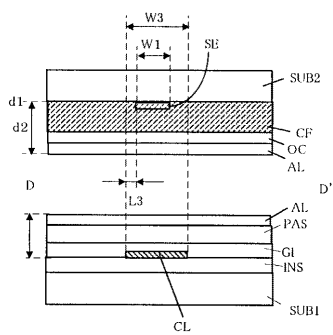
【図 14】

図14



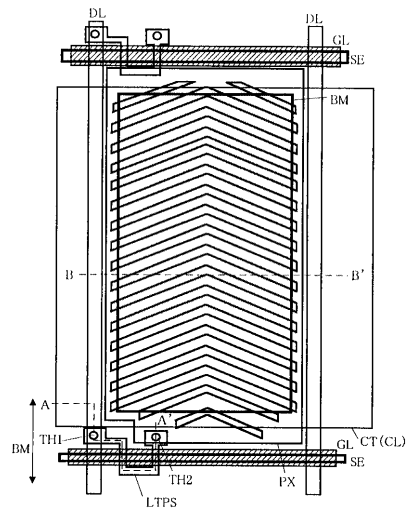
【図 15】

図15



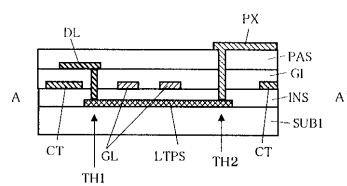
【図 16】

図16



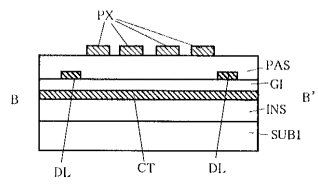
【図 17】

図17



【図 18】

図18



フロントページの続き

F ターム(参考) 2H092 GA14 JA25 JA38 JA42 JB14 JB38 JB53 JB63 JB69 NA04
NA25
5C094 AA02 BA03 BA43 CA19 ED15

专利名称(译)	液晶表示装置		
公开(公告)号	JP2005156899A	公开(公告)日	2005-06-16
申请号	JP2003394936	申请日	2003-11-26
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	日立显示器有限公司		
[标]发明人	石井克彦 丹野淳二 三輪広明		
发明人	石井 克彦 丹野 淳二 三輪 広明		
IPC分类号	G02F1/1337 G02F1/1343 G02F1/1368 G09F9/30		
FI分类号	G02F1/1343 G02F1/1337.500 G02F1/1368 G09F9/30.349.C		
F-TERM分类号	2H090/JB02 2H090/KA04 2H090/MA02 2H090/MA07 2H092/GA14 2H092/JA25 2H092/JA38 2H092/JA42 2H092/JB14 2H092/JB38 2H092/JB53 2H092/JB63 2H092/JB69 2H092/NA04 2H092/NA25 5C094/AA02 5C094/BA03 5C094/BA43 5C094/CA19 5C094/ED15 2H192/AA24 2H192/BB02 2H192/BB03 2H192/BB53 2H192/BB73 2H192/BB82 2H192/BC42 2H192/CB05 2H192/CB13 2H192/CC04 2H192/CC14 2H192/CC55 2H192/DA32 2H192/EA22 2H192/EA43 2H192/FA14 2H192/GA03 2H192/JA32 2H290/AA72 2H290/BB63 2H290/BF13 2H290/CA13 2H290/CA46 2H290/CA48		
其他公开文献	JP4381785B2		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种能够在不影响像素的液晶的情况下快速去除累积在基板上的电荷的液晶显示装置。像素电极和在像素电极与像素电极之间产生电场的对电极形成在彼此相对的基板之一的液晶侧的像素区域中，并且在其间插入有液晶，并且形成了另一个电极。形成在基板的液晶侧的像素区域和与该像素区域相邻的像素区域之间延伸的屏蔽电极，该屏蔽电极用于在另一基板的液晶侧表面上形成的其他材料层。它位于较低的层。[选型图]图1

