

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-334115

(P2004-334115A)

(43) 公開日 平成16年11月25日(2004.11.25)

(51) Int.Cl.⁷

G09G 3/36

G02F 1/133

G09G 3/20

F I

G09G 3/36

G02F 1/133 550

G09G 3/20 611J

G09G 3/20 612T

G09G 3/20 623D

テーマコード (参考)

2H093

5C006

5C080

審査請求 未請求 請求項の数 14 O L (全 28 頁) 最終頁に続く

(21) 出願番号

特願2003-133279 (P2003-133279)

(22) 出願日

平成15年5月12日 (2003.5.12)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(74) 代理人 100095728

弁理士 上柳 雅普

(74) 代理人 100107076

弁理士 藤綱 英吉

(74) 代理人 100107261

弁理士 須澤 修

(72) 発明者 石井 賢哉

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

Fターム(参考) 2H093 NA16 NA42 NA53 NC11 NC21

NC22 NC23 NC34 NC49 ND34

ND36 ND55 ND60 NG02

最終頁に続く

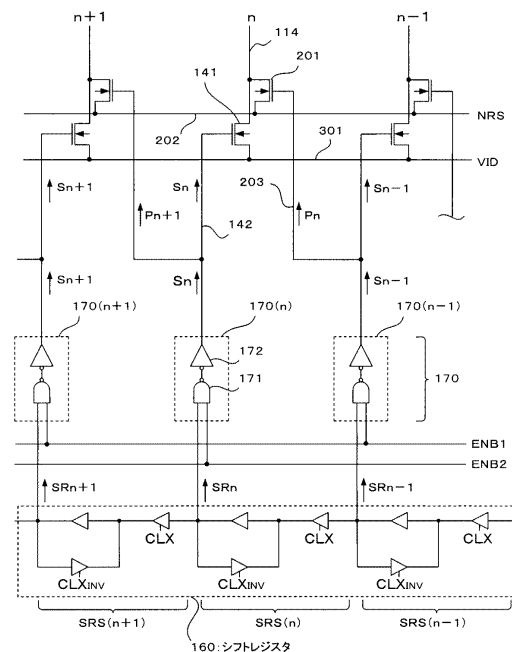
(54) 【発明の名称】 電気光学パネルの駆動回路並びにこれを備えた電気光学装置及び電子機器

(57) 【要約】

【課題】 液晶パネル等の電気光学パネルの駆動回路において、基板や装置の小型化を図りつつ、或いは基板上における装置構成や制御形態を簡略化しつつ、転送プリチャージ或いは順次プリチャージを行う。

【解決手段】 電気光学パネルの駆動回路は、基板上に形成されており、転送信号を順次出力するシフトレジスタ回路(160)と、順次出力された n (但し、 n は、2以上の自然数)番目の転送信号をサンプリング回路駆動信号として画像信号をサンプリングして、データ線(114)に書き込むサンプリング回路(140)と、順次出力された $n-1$ 番目の転送信号をプリチャージ回路駆動信号として、データ線(114)に対する画像信号の供給に先立って所定電位のプリチャージ信号をデータ線(114)に書き込むプリチャージ回路とを備える。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

基板上に、画素電極、該画素電極をスイッチング制御するスイッチング素子及び前記画素電極に前記スイッチング素子を介して画像信号を供給するためのデータ線を備えた電気光学パネルを駆動する電気光学パネルの駆動回路であって、
転送信号を順次出力するシフトレジスタ回路を含むデータ線駆動回路と、
前記順次出力された n (但し、 n は、2 以上の自然数) 番目の転送信号をサンプリング回路駆動信号として前記画像信号をサンプリングして、前記データ線に書き込むサンプリング回路と、
前記順次出力された $n - 1$ 番目の転送信号をプリチャージ回路駆動信号として、前記データ線に対する前記画像信号の供給に先立って所定電位のプリチャージ信号を前記データ線に書き込むプリチャージ回路と
を備えたことを特徴とする電気光学パネルの駆動回路。

10

【請求項 2】

前記データ線駆動回路、前記サンプリング回路及び前記プリチャージ回路は、前記基板上において、前記データ線の一端側に配置されており、
前記画像信号及び前記プリチャージ信号は、前記データ線の一端側から書き込まれることを特徴とする請求項 1 に記載の電気光学パネルの駆動回路。

【請求項 3】

前記データ線に対して、前記 $n - 1$ 番目の転送信号に対応して前記プリチャージ信号が書き込まれる期間と、前記 n 番目の転送信号に対応して前記画像信号が書き込まれる期間とは、時間軸上で重ねられていないことを特徴とする請求項 1 又は 2 に記載の電気光学パネルの駆動回路。

20

【請求項 4】

一のデータ線に対して前記 n 番目の転送信号に対応して前記画像信号が書き込まれる期間と、前記一のデータ線の次に前記画像信号が書き込まれる他のデータ線に対して前記 n 番目の転送信号に対応して前記プリチャージ信号が書き込まれる期間とは、少なくとも部分的に前記時間軸上で重ねられていることを特徴とする請求項 3 に記載の電気光学パネルの駆動回路。

【請求項 5】

前記画像信号は、 m (但し、 m は、2 以上の自然数) 相にシリアルーパラレル展開されており、
前記データ線は、前記データ線を m 本含んでなると共に同一の転送信号に対応して同時に書き込まれる同時駆動データ線単位に分けられており、
前記 n 番目の転送信号に対応して前記画像信号が書き込まれる前記同時駆動データ線単位に対して、前記 $n - 1$ 番目の転送信号に対応して前記プリチャージ信号が書き込まれる期間と、前記 n 番目の転送信号に対応して前記画像信号が書き込まれる期間とは、前記時間軸上で重ねられていないことを特徴とする請求項 1 又は 2 に記載の電気光学パネルの駆動回路。

30

【請求項 6】

前記 n 番目の転送信号に対応して前記画像信号が書き込まれる前記同時駆動データ線群に対して前記 $n - 1$ 番目の転送信号に対応して前記プリチャージ信号が書き込まれる期間と、前記 $n - 1$ 番目の転送信号に対応して前記画像信号が書き込まれる前記同時駆動データ線群に対して前記 $n - 1$ 番目の転送信号に対応して前記画像信号が書き込まれる期間とは、前記時間軸上で少なくとも部分的に重ねられていることを特徴とする請求項 5 に記載の電気光学パネルの駆動回路。

40

【請求項 7】

前記データ線駆動回路は、同一の前記データ線に対して前記プリチャージ信号が書き込まれる期間と前記画像信号が書き込まれる期間とが重ならないように、前記転送信号がトリガレベルとなる期間に制限をかけるイネーブル手段を含むことを特徴とする請求項 3 から

50

6 のいずれか一項に記載の電気光学パネルの駆動回路。

【請求項 8】

前記イネーブル手段は、外部から供給されると共に相隣接するイネーブルパルス同士は互いに重複しない該イネーブルパルスに基づいて、前記トリガレベルとなる期間に制限をかけることを特徴とする請求項 7 に記載の電気光学パネルの駆動回路。

【請求項 9】

前記プリチャージ回路と前記サンプリング回路との間に、同一の前記データ線に対して前記プリチャージ信号が書き込まれる期間と前記画像信号が書き込まれる期間とが重ならないように、前記転送信号がトリガレベルとなる期間に制限をかけるトリミング手段を更に備えたことを特徴とする請求項 3 から 6 のいずれか一項に記載の電気光学パネルの駆動回路。 10

【請求項 10】

前記トリミング手段は、同一の前記データ線に接続された前記プリチャージ回路及び前記サンプリング回路について、前記 $n - 1$ 番目の転送信号に応じて前記プリチャージ回路から出力される前記プリチャージ信号に対して、前記 n 番目の転送信号によってトリミングをかけることで、前記プリチャージ信号がトリガレベルとなる期間を制限することを特徴とする請求項 9 に記載の電気光学パネルの駆動回路。

【請求項 11】

前記シフトレジスタ回路は、双方向性のシフトレジスタ回路であり、
前記シフトレジスタ回路の複数の出力段の配列における前記転送信号を転送する方向である転送方向は、共通の方向制御信号部からの転送方向制御信号に基づいて制御され、
前記転送方向に応じて、前記プリチャージ回路駆動信号の供給源を選択する選択回路を更に備えたことを特徴とする請求項 2 から 6 のいずれか一項に記載の電気光学パネルの駆動回路。 20

【請求項 12】

前記選択回路は、前記転送方向制御信号に基づいて、前記プリチャージ回路駆動信号として、前記 n 番目の転送信号に対して先行する $n + 1$ 番目の転送信号及び $n - 1$ 番目の転送信号のうちいずれか一方を選択することを特徴とする請求項 11 に記載の電気光学パネルの駆動回路。

【請求項 13】

請求項 1 から 12 のいずれか一項に記載の電気光学パネルの駆動回路及び前記電気光学パネルを備えたことを特徴とする電気光学装置。 30

【請求項 14】

請求項 13 に記載の電気光学装置を具備してなることを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば液晶パネル等の電気光学パネルを駆動する駆動回路、該電気光学パネル及び駆動回路を備えてなる例えば液晶装置等の電気光学装置、並びに該電気光学装置を備えてなる例えば液晶プロジェクタ等の電子機器の技術分野に属する。 40

【0002】

【背景技術】

この種の電気光学パネルの駆動装置として、例えば、電気光学パネルのデータ線を駆動するデータ線駆動回路、サンプリング回路、プリチャージ回路等がある。データ線駆動回路は、そのシフトレジスタ回路から出力される転送信号を、サンプリングパルスとして、サンプリング回路に順次出力するように構成されている。このサンプリングパルスに応じて、サンプリング回路は、画像信号線上の画像信号をサンプリングしてデータ線に供給するように構成されている。

【0003】

このようにサンプリング回路によってデータ線に画像信号を書き込むことは、駆動周波数 50

が低い、アクティブマトリクス駆動方式等の電気光学パネルであれば問題は無い。しかるに、画像の高品位化という一般的要請の下で、画像の精細度が高まったり駆動周波数が高まったりすると、データ線の配線容量等の影響が無視できなくなる。即ち、駆動周波数が高まるのに連れて、データ線駆動回路による駆動力不足やサンプリング回路における書込能力不足が顕在化してくる。係る書込能力不足等は、ゴースト等の画像不良を引き起こす。

【 0 0 0 4 】

このため従来は、各データ線に対して画像信号を書き込む前に、例えば灰色或いは中間色に対応する所定電位レベルのプリチャージ信号を当該各データ線に対して書き込むことで、データ線駆動回路による駆動力不足やサンプリング回路における書込能力不足を補うようにしている。

10

【 0 0 0 5 】

更に、例えば高駆動周波数であり且つ帰線期間が短いハイビジョン対応の画像表示用など、より駆動周波数を低くする或いは帰線期間を短くする等のために、転送プリチャージ或いは順次プリチャージと呼ばれる方式のプリチャージ回路も開発されている。このような転送プリチャージ回路によれば、データ線に対する画像信号を書き込む直前に、サンプリング回路による順次動作に先んじてプリチャージ回路による順次動作を先に行うことで、相対的に短時間で効率良くプリチャージを実行可能であるとされている（特許文献 1 参照）。

【 0 0 0 6 】

20

【 特許文献 1 】

特開平 8 - 2 8 6 6 3 9 号公報

【 0 0 0 7 】

【 発明が解決しようとする課題 】

しかしながら、従来の転送プリチャージ回路によれば、基板上において、データ線の一方の片側に、サンプリング回路及びこれを駆動するためのシフトレジスタ回路を含んでなるデータ線駆動回路が配置されており、データ線の他方の片側に、プリチャージ回路及びこれを駆動するためのシフトレジスタ回路を含んでなるプリチャージ回路駆動回路が配置されている。即ち、基板上において、データ線が配線された画像表示領域の周囲に位置する周辺領域において、例えばその下側付近に、サンプリング回路及びこれを駆動するデータ線駆動回路等が配置され、且つ例えばその上側付近にプリチャージ回路及びこれを駆動するプリチャージ回路駆動回路等が配置される。このため、プリチャージ回路の採用によって、基本的に基板の小型化や装置全体の小型化が非常に困難になるという技術的問題点がある。特に、データ線の両端に別個の回路を設ける必要により、基板上における各種配線の引き回しも困難となる。また、外付 IC 回路として、これらの各種回路を構築する際にも、IC 個数が増大したり、実装領域の確保が困難、製造工程が困難など、各種の困難性を招いてしまう。

30

【 0 0 0 8 】

本発明は上記課題に鑑みなされたものであり、例えば、基板や装置の小型化を図りつつ、或いは基板上における装置構成や制御形態を簡略化しつつ、転送プリチャージ或いは順次プリチャージを行うことが可能である電気光学パネルの駆動回路、該駆動回路及び電気光学パネルを備えてなる電気光学装置、並びに、該電気光学装置を備えてなる各種電子機器を提供することを課題とする。

40

【 0 0 0 9 】

【 課題を解決するための手段 】

本発明の電気光学パネルの駆動回路は上記課題を解決するために、基板上に、画素電極、該画素電極をスイッチング制御するスイッチング素子及び前記画素電極に前記スイッチング素子を介して画像信号を供給するためのデータ線を備えた電気光学パネルを駆動する電気光学パネルの駆動回路であって、転送信号を順次出力するシフトレジスタ回路を含むデータ線駆動回路と、前記順次出力された n （但し、 n は、2 以上の自然数）番目の転送信

50

号をサンプリング回路駆動信号として前記画像信号をサンプリングして、前記データ線に書き込むサンプリング回路と、前記順次出力された $n - 1$ 番目の転送信号をプリチャージ回路駆動信号として、前記データ線に対する前記画像信号の供給に先立って所定電位のプリチャージ信号を前記データ線に書き込むプリチャージ回路とを備える。

【0010】

本発明の電気光学パネルの駆動回路によれば、その動作時には、データ線駆動回路から出力されるサンプリングパルスに応じて、サンプリング回路によって画像信号がサンプリングされる。これにより、データ線に対して、サンプリングされた画像信号が供給される。すると、電気光学パネル内では、データ線を介して供給される画像信号は、例えば別途走査線を介して供給される走査信号に応じて、薄膜トランジスタ (Thin Film Transistor; 以下適宜、“TFT”と称する) 等からなるスイッチング素子を介して画素電極に供給される。これにより、アクティブマトリクス駆動による画像表示が可能となる。このような動作中、プリチャージ回路によって、サンプリング回路による各データ線に対する画像信号の供給に先立って、プリチャージ信号が該各データ線に書き込まれる。従って、データ線への画像信号の書込能力不足は、殆ど又は実践上全く問題となることは無くなる。そして、相対的に十分な書込能力で書き込まれた画像信号に応じて、ゴースト等が低減された高品位の画像表示が可能となる。

10

【0011】

ここで本発明の電気光学パネルの駆動回路では特に、サンプリング回路とプリチャージ回路とは、同一のデータ線駆動回路により出力される転送信号を夫々サンプリング回路駆動信号及びプリチャージ回路駆動信号として利用して動作する。即ち、転送プリチャージ或いは順次プリチャージを同一のデータ線駆動回路により出力される転送信号を用いて実行可能となる。しかも、前述した従来の転送プリチャージ或いは順次プリチャージ方式の駆動回路の如く、サンプリング回路とプリチャージ回路とに対して、シフトレジスタを夫々有するサンプリング回路を順次駆動させるための専用回路 (即ち、データ線駆動回路) とプリチャージ回路を順次駆動させるための専用回路 (即ち、プリチャージ回路駆動回路) とを、基板上に別々に設ける必要がなくなる。従ってまた、素子基板上の周辺領域において、データ線の両側に別々の回路を構築する必要性も無くなる。

20

【0012】

以上の結果、本発明の電気光学パネルの駆動回路によれば、基板や装置の小型化を図りつつ、或いは基板上における装置構成や制御形態を簡略化しつつ、転送プリチャージ或いは順次プリチャージを実行可能となる。

30

【0013】

本発明の電気光学パネルの駆動回路の一態様では、前記データ線駆動回路、前記サンプリング回路及び前記プリチャージ回路は、前記基板上において、前記データ線の一端側に配置されており、前記画像信号及び前記プリチャージ信号は、前記データ線の一端側から書き込まれる。

【0014】

この態様によれば、データ線の一端側に設けられた一つのデータ線駆動回路によって、サンプリング回路及びプリチャージ回路の両方を駆動可能となる。従って、例えば、素子基板上の周辺領域においてデータ線の両側に別々のシフトレジスタ回路を伴う駆動回路を設ける場合のように、限られた素子基板上において比較的大きなスペースを確保する必要がなく、基板の小型化や、電気光学パネル全体の小型化を促進することが可能となる。更には、別々の駆動回路を設ける場合のように、基板上において各種信号線を複雑に或いは長距離に渡って引き回す必要がなく、基板上における駆動回路全体の占有面積をより一層減少させることができる。また、配線の引き回し量の低減によって、当該配線の容量は著しく低減され、これに起因する信号遅延等の不具合を防止することも可能となる。従って、例えば、高駆動周波数を擁する高速表示モード採用時においても、駆動周波数に応じてデータ線駆動回路の駆動能力を確保することも可能となり、ゴースト等の画像不良を防止可能となる。

40

50

【0015】

本発明の電気光学パネルの駆動回路の他の態様では、前記データ線に対して、前記 $n - 1$ 番目の転送信号に対応して前記プリチャージ信号が書き込まれる期間と、前記 n 番目の転送信号に対応して前記画像信号が書き込まれる期間とは、時間軸上で重ねられていない。

【0016】

この態様によれば、1本のデータ線に関して、先行するプリチャージ信号の書き込み終了から、画像信号の書き込み開始までの間には、時間間隔が存在する。即ち、 $n - 1$ 番目の転送信号に基づきプリチャージ回路駆動信号が「OFFレベル（例えば、ローレベル）」になる時点と、 n 番目の転送信号に基づきサンプリング回路駆動信号が「ON（例えば、ハイレベル）」となる時点との間に時間間隔があり、これら両駆動信号が同時に「ON」
10
となる期間が無いように、転送信号の出力が制御されているか又は転送信号に対して信号処理が加えられた後にプリチャージ回路駆動信号或いはサンプリング回路駆動信号が生成される。従って、サンプリング回路とプリチャージ回路とにおいて、同一のデータ線駆動回路により出力される転送信号を駆動信号として共用しても、プリチャージ信号により影響されずに適切に画像信号の書き込みを行うことが可能となる。このため、特にデータ線に対する画像信号の書き込み初期において、当該データ線に対してプリチャージ信号が同時に書き込まれた場合に発生するゴースト等の表示品位の劣化を防止することが可能となる。

【0017】

この態様では、一のデータ線に対して前記 n 番目の転送信号に対応して前記画像信号が書き込まれる期間と、前記一のデータ線の次に前記画像信号が書き込まれる他のデータ線に対して前記 n 番目の転送信号に対応して前記プリチャージ信号が書き込まれる期間とは、
20
少なくとも部分的に前記時間軸上で重ねられているように構成してもよい。

【0018】

このように構成すれば、画像信号の書き込み動作とプリチャージ信号の書き込みの動作とが、順次互いにオーバーラップしながら進行することとなる。このため、例えば、予め一度に全てのデータ線にプリチャージ信号を書き込む場合と比較して、短時間で効率よくプリチャージを行うことが可能である。また、一のデータ線の次に画像信号が書き込まれる他のデータ線には、常に画像信号が書き込まれる直前に、先行してプリチャージ信号が書き込まれるため、画像信号の書き込み開始までの期間に、プリチャージ信号が劣化すること
30
がなく、データ線の電圧レベルを安定させることができる。従って、上述のような高速表示モード採用時であっても、充分且つ適切なプリチャージを可能とし、高品位な画像表示が可能となる。

【0019】

尚、一のデータ線に対して前記 n 番目の転送信号に対応して前記画像信号が書き込まれる期間と、前記一のデータ線の次に前記画像信号が書き込まれる他のデータ線に対して前記 n 番目の転送信号に対応して前記プリチャージ信号が書き込まれる期間とは、時間軸上で完全に一致していてもよいし、一部のみ重ねられていてもよい。

【0020】

本発明の電気光学パネルの駆動回路の他の態様では、前記画像信号は、 m （但し、 m は、
40
2以上の自然数）相にシリアルーパラレル展開されており、前記データ線は、前記データ線を m 本含んでなると共に同一の転送信号に対応して同時に書き込まれる同時駆動データ線単位に分けられており、前記 n 番目の転送信号に対応して前記画像信号が書き込まれる前記同時駆動データ線単位に対して、前記 $n - 1$ 番目の転送信号に対応して前記プリチャージ信号が書き込まれる期間と、前記 n 番目の転送信号に対応して前記画像信号が書き込まれる期間とは、前記時間軸上で重ねられていない。

【0021】

この態様によれば、1本のサンプリング回路駆動信号線に対して、 m 個のサンプリングスイッチが接続され、夫々に対応する m 本のデータ線が接続されている。そして、1本のサンプリング回路駆動信号線から転送信号を供給することによって、 m 個のサンプリングス
50

イチ群を同時に駆動して画像信号の書き込みを行うこととなる。従って、データ線の本数に対して、サンプリング回路駆動信号線を $1/m$ 本に減少させることができ、データ線駆動回路を構成するシフトレジスタ回路の周波数を $1/m$ に低減することができる。このことは、例えば、高駆動周波数を擁する高速表示モードを採用する際に、外部制御回路の負荷を低減するという観点からも非常に有利である。一方、プリチャージ回路においても同じく、1本のプリチャージ回路駆動信号線に対して、 m 個のプリチャージスイッチが接続され、夫々に対応する m 本のデータ線が接続されている。そして、1本のプリチャージ回路駆動信号線から転送信号を供給することによって、 m 個のプリチャージスイッチ群を同時に駆動してプリチャージ信号の書き込みを行うこととなる。このため、プリチャージ回路駆動信号線においても同じく $1/m$ 本に減少させることができる。更に、1本のプリチャージ回路駆動信号線は、対応する1本のサンプリング回路駆動信号線に接続され、同一の転送信号が、サンプリング回路駆動信号及びプリチャージ回路駆動信号として共用される。従って、プリチャージ回路の駆動によって更にシフトレジスタ回路の駆動周波数が高まることは無く、比較的低い駆動周波数を維持することができるため、高速表示モードの採用において有利である。

10

【0022】

尚、この態様では好ましくは、 m 本のデータ線群に対して、 $n-1$ 番目の転送信号に対応してプリチャージ信号が書き込まれる期間と、 n 番目の転送信号に対応して画像信号が書き込まれる期間とは、時間軸上で重ねられていない。このように構成すれば、 m 本のデータ線群に関して、先行するプリチャージ信号の書き込み終了から、画像信号の書き込み開始までの間には、時間間隔が存在するので、サンプリング回路とプリチャージ回路とにおいて、同一のデータ線駆動回路により出力される転送信号を駆動信号として共用しても、プリチャージ信号により影響されずに適切に画像信号の書き込みを行うことが可能となる。

20

【0023】

この態様では、前記 n 番目の転送信号に対応して前記画像信号が書き込まれる前記同時駆動データ線群に対して前記 $n-1$ 番目の転送信号に対応して前記プリチャージ信号が書き込まれる期間と、前記 $n-1$ 番目の転送信号に対応して前記画像信号が書き込まれる前記同時駆動データ線群に対して前記 $n-1$ 番目の転送信号に対応して前記画像信号が書き込まれる期間とは、前記時間軸上で少なくとも部分的に重ねられているように構成されてもよい。

30

【0024】

このように構成すれば、画像信号の書き込み動作とプリチャージ信号の書き込みの動作とが、順次互いにオーバーラップしながら進行することとなる。しかも、データ線の本数に対して、サンプリング回路駆動信号線は $1/m$ 本に減少されており、データ線駆動回路を構成するシフトレジスタ回路の周波数は $1/m$ に低減されている。従って、更に短時間で効率良くプリチャージを行うことが可能となる。このことは、1水平走査期間内におけるプリチャージ信号の供給タイミング及び供給時間に自由度を持たせることができるという観点からも、高速表示モードにおいて非常に有利となる。

【0025】

更にこの態様では、一のデータ線群の次に画像信号が書き込まれる他のデータ線群には、常に画像信号が書き込まれる直前に、先行してプリチャージ信号が書き込まれる。このため、画像信号の書き込み開始までの期間に、プリチャージ信号が劣化することがなく、データ線の電圧レベルを安定させることができる。従って、上述のような高速表示モード採用時であっても、充分且つ適切なプリチャージを可能とし、高品位な画像表示が可能となる。

40

【0026】

尚、前記 n 番目の転送信号に対応して前記画像信号が書き込まれる前記同時駆動データ線群に対して前記 $n-1$ 番目の転送信号に対応して前記プリチャージ信号が書き込まれる期間と、前記 $n-1$ 番目の転送信号に対応して前記画像信号が書き込まれる前記同時駆動デ

50

ータ線群に対して前記 $n - 1$ 番目の転送信号に対応して前記画像信号が書き込まれる期間とは、時間軸上で完全に一致していてもよいし、一部のみ重ねられていてもよい。

【0027】

本発明の電気光学パネルの駆動回路の他の態様では、前記データ線駆動回路は、同一の前記データ線に対して前記プリチャージ信号が書き込まれる期間と前記画像信号が書き込まれる期間とが重ならないように、前記転送信号がトリガレベルとなる期間に制限をかけるイネーブル手段を含む。

【0028】

この態様によれば、イネーブル手段によって、例えば、相隣接する n 番目と $n - 1$ 番目の転送信号が時間軸上で互いに重複しないように、転送信号の波形の選択或いは整形が行われる。これにより、一のデータ線或いはデータ線群に関して、 n 番目の転送信号がサンプリング回路のトリガレベルとなって画像信号が書き込まれる期間と、 $n - 1$ 番目の転送信号がプリチャージ回路のトリガレベルとなってプリチャージ信号が書き込まれる期間とに対して、夫々制限がかけられて、両期間は互いに重複することが無い。従って、特にデータ線に対する画像信号の書き込み初期において、当該データ線に対してプリチャージ信号が同時に書き込まれることに起因したゴースト等の不具合を、確実に防止することが可能となる。

【0029】

このイネーブル手段に係る態様では、外部から供給されると共に相隣接するイネーブルパルス同士は互いに重複しない該イネーブルパルスに基づいて、前記トリガレベルとなる期間に制限をかけるよう構成されてもよい。

【0030】

このような構成によれば、例えば、シフトレジスタ回路から出力される転送信号は、外部から入力されるイネーブルパルスとの間で論理積がとられ、イネーブルパルスが「ON（例えば、ハイレベル）」となる期間においてのみ、サンプリング回路又はプリチャージ回路のトリガレベルとなる。この際、互いに重複しない相隣接するイネーブルパルスによって論理積が取られて、時間軸上での波形の選択或いは整形が行われる。このため、相隣接する n 番目の転送信号と $n - 1$ 番目の転送信号を時間軸上で重複しないよう出力することが可能となる。従って、一のデータ線或いはデータ線群に関して、 n 番目の転送信号によって画像信号が書き込まれる期間と、 $n - 1$ 番目の転送信号によってプリチャージ信号が書き込まれる期間が重複することが無くなり、より確実に、ゴースト等の不具合を防止することが可能となる。

【0031】

本発明の電気光学パネルの駆動回路の他の態様では、前記プリチャージ回路と前記サンプリング回路との間に、同一の前記データ線に対して前記プリチャージ信号が書き込まれる期間と前記画像信号が書き込まれる期間とが重ならないように、前記転送信号がトリガレベルとなる期間に制限をかけるトリミング手段を更に備える。

【0032】

この態様によれば、プリチャージ回路とサンプリング回路との間に設けられたトリミング手段によって、転送信号がトリガレベルとなる期間に制限をかけられる。これにより、同一のデータ線に対してプリチャージ信号が書き込まれる期間と画像信号が書き込まれる期間とが重ならない。従って、一のデータ線或いはデータ線群に対して、プリチャージ信号と画像信号が同時に書き込まれることを確実に防止することが可能となる。よって、例えば、転送信号のパルス幅のばらつきが、高駆動周波数を擁する高速表示モード等の採用に伴い、無視し得ない程度に顕著となる場合においても、ゴースト等の表示品質の劣化を防止する上で、極めて有効となる。

【0033】

この態様では、前記トリミング手段は、同一の前記データ線に接続された前記プリチャージ回路及び前記サンプリング回路について、前記 $n - 1$ 番目の転送信号に応じて前記プリチャージ回路から出力される前記プリチャージ信号に対して、前記 n 番目の転送信号によ

ってトリミングをかけることで、前記プリチャージ信号がトリガレベルとなる期間を制限するよう構成されてもよい。

【0034】

このように構成すれば、例えば、一のデータ線或いはデータ線群に関して、トリミング手段は、 $n - 1$ 番目の転送信号に応じてプリチャージ回路から出力されるプリチャージ信号に対して、 n 番目の転送信号によってトリミングをかける。これにより、プリチャージ信号がトリガレベルとなる期間は制限される。従って、一のデータ線或いはデータ線群に関して、 n 番目の転送信号によって画像信号が書き込まれる期間と、 $n - 1$ 番目の転送信号によってプリチャージ信号が書き込まれる期間が重複することが無くなり、より確実に、ゴースト等の不具合を防止することが可能となる。

10

【0035】

本発明の電気光学パネルの駆動回路の他の態様では、前記シフトレジスタ回路は、双方向性のシフトレジスタ回路であり、前記シフトレジスタ回路の複数の出力段の配列における前記転送信号を転送する方向である転送方向は、共通の方向制御信号部からの転送方向制御信号に基づいて制御され、前記転送方向に応じて、前記プリチャージ回路駆動信号の供給源を選択する選択回路を更に備える。

【0036】

この態様によれば、選択回路によって、画像信号の書き込みに利用される転送信号に先行する転送信号が選択され、この転送信号がプリチャージ回路駆動信号として利用される。このように構成すれば、シフトレジスタ回路に双方向性のシフトレジスタが用いられる場合においても、画像信号の書き込みに先行して、プリチャージ信号の書き込みが可能となる。

20

【0037】

この態様では、前記選択回路は、前記転送方向制御信号に基づいて、前記プリチャージ回路駆動信号として、前記 n 番目の転送信号に対して先行する $n + 1$ 番目の転送信号及び $n - 1$ 番目の転送信号のうちいずれか一方を選択するように構成されてもよい。

【0038】

このように構成すれば、選択回路によって、該選択回路に入力された転送方向制御信号に応じて、 $n + 1$ 番目の転送信号と $n - 1$ 番目の転送信号のうちから、画像信号の書き込みに利用される n 番目の転送信号に対して先行するいずれか一方が選択され、プリチャージ回路駆動信号として利用される。従って、双方向性のシフトレジスタ回路により、いずれの方向から転送信号が順次出力される場合においても、画像信号の書き込みに先行して、プリチャージ回路によるプリチャージ信号の書き込みが可能となる。

30

【0039】

本発明の電気光学装置は上記課題を解決するために、上述した本発明の電気光学パネルの駆動回路（但し、その各種態様を含む）及び前記電気光学パネルを備える。

【0040】

本発明の電気光学装置によれば、上述した本発明の電気光学パネルの駆動回路を備えるので、基板や装置の小型化を図りつつ、或いは基板上における装置構成や制御形態を簡略化しつつ、転送プリチャージ或いは順次プリチャージの実行により高品位の画像表示が可能となる。

40

【0041】

本発明の電子機器は上記課題を解決するために、上述した本発明の電気光学装置（但し、その各種態様も含む）を具備してなる。

【0042】

本発明の電子機器は、上述した本発明の電気光学装置を具備してなるので、高品位の画像表示が可能な、投射型表示装置、液晶テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、ワークステーション、テレビ電話、POS端末、タッチパネルなどの各種電子機器を実現できる。また、本発明の電子機器として、例えば電子ペーパーなどの電気泳動装置を実現することも可能である。

50

【 0 0 4 3 】

本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【 0 0 4 4 】

【 発明の実施の形態 】

以下、本発明の実施形態を図面に基づいて説明する。以下の実施形態は、本発明の電気光学装置を、ＴＦＴアクティブマトリクス駆動形式の液晶装置に適用したものである。

【 0 0 4 5 】

（ 第 1 実施形態 ）

本発明の電気光学装置に係る第 1 実施形態について、図 1 から図 5 を参照して説明する。

【 0 0 4 6 】

先ず本発明に係る電気光学装置の全体構成について、図 1 を参照して説明する。図 1 は、本実施形態に係る液晶装置の全体構成を示すブロック図である。

【 0 0 4 7 】

図 1 に示すように、液晶装置 1 は、主要部として、本発明に係る「電気光学パネル」の一例たる液晶パネル 1 0 0、画像信号処理回路 3 0 0、タイミングジェネレータ 4 0 0、及びプリチャージ信号発生回路 5 0 0 を備える。

【 0 0 4 8 】

液晶パネル 1 0 0 は、その画像表示領域に画素スイッチング用のスイッチング素子としてＴＦＴ 1 1 6、画素電極等を形成した素子基板と、対向電極等を形成した対向基板とを、互いに電極形成面を対向させて且つ一定の間隙を保って貼付し、この間隙に液晶を挟持することで構成されている。

【 0 0 4 9 】

タイミングジェネレータ 4 0 0 は、各部で使用される各種タイミング信号を出力するように構成されている。タイミングジェネレータ 4 0 0 の一部であるタイミング信号出力手段により、最小単位のクロックであり各画素を走査するためのドットクロックが作成され、このドットクロックに基づいて転送開始パルス D X 及び転送クロック C L X が作成される。

【 0 0 5 0 】

画像信号処理回路 3 0 0 は、1 系統の画像信号 V I D が入力されると、これを m 相の画像信号 V I D 1 ~ V I D m にシリアル - パラレル変換して出力するように構成されている。

【 0 0 5 1 】

プリチャージ信号発生回路 5 0 0 は、プリチャージ信号を作成し、プリチャージ回路に供給するように構成されている。プリチャージ回路及びプリチャージ信号の詳細については後述する。

【 0 0 5 2 】

サンプリング回路 1 4 0 及びプリチャージ回路 2 0 0 は、夫々、画像信号 V I D 及びプリチャージ信号 N R S のサンプリングを行うための、複数のスイッチ群として図示されているが、その実際の構成、動作及び作用効果についても、後で詳述する。

【 0 0 5 3 】

本実施形態では特に、液晶パネル 1 0 0 は、駆動回路内蔵型であり、その素子基板上に、本発明に係る「駆動回路」の一例として、走査線駆動回路 1 3 0、サンプリング回路 1 4 0 及びデータ線駆動回路 1 5 0 を含み、更に、プリチャージ回路 2 0 0 を含む駆動回路 1 2 0 が構築されている。このような駆動回路 1 2 0 は、好ましくは、画像表示領域 1 1 0 に作り込まれる各画素に係るＴＦＴ 1 1 6 等と共に、素子基板の周辺領域に作り込まれる。若しくは、駆動回路 1 2 0 の一部又は全部は、外付けＩＣとして構築されて、素子基板に対して外付け又は後付けされる。

【 0 0 5 4 】

液晶パネル 1 0 0 は更に、その素子基板の中央を占める画像表示領域 1 1 0 に、縦横に配線されたデータ線 1 1 4 及び走査線 1 1 2 を備え、それらの交点に対応する各画素に、マトリクス状に配列された画素電極 1 1 8 及び画素電極 1 1 8 をスイッチング制御するため

10

20

30

40

50

のTFT116を備える。そして、画像信号線301に供給される画像信号VID1~VIDmを、サンプリング回路140によって、データ線駆動回路150から供給されるサンプリング信号S1、S2、・・・に応じてサンプリングして、データ線114に供給するように構成されている。

【0055】

TFT116のソース電極には、このように画像信号が供給されるデータ線114が電氣的に接続されている一方、TFT116のゲート電極には、走査信号が供給される走査線112が電氣的に接続されるとともに、TFT116のドレイン電極には、画素電極118が接続されている。そして、各画素は、画素電極118と、対向基板に形成された共通電極と、これら両電極間に挟持された液晶とによって構成される結果、走査線112とデータ線114との各交点に対応して、マトリクス状に配列されることになる。

【0056】

尚、保持された画像信号がリークするのを防ぐために、蓄積容量119が、画素電極118と対向電極との間に形成される液晶容量と並列に付加されている。例えば、画素電極118の電圧は、ソース電圧が印加された時間よりも3桁も長い時間だけ蓄積容量119により保持されるので、保持特性が改善される結果、高コントラスト比が実現されることとなる。

【0057】

駆動回路120は、画像表示領域110の周辺に位置する周辺領域に、走査線駆動回路130、サンプリング回路140、データ線駆動回路150、及びプリチャージ回路200を備えて構成されている。これらの回路の能動素子は、いずれもpチャネル型TFTおよびnチャネル型TFTの組み合わせにより形成可能であるから、画素をスイッチングするTFT116と共通の製造プロセスで形成すると、集積化や、製造コスト、素子の均一性などの点において有利となる。

【0058】

ここで、駆動回路120のうち、走査線駆動回路130は、シフトレジスタを有し、タイミングジェネレータ400からのクロック信号CLYや、その反転クロック信号CLY_N、転送開始パルスDY等に基づいて、走査信号を各走査線112に対して順次出力するものである。

【0059】

次に、図2及び図3を参照して、本実施形態のサンプリング回路140及びデータ線駆動回路150の構成及び動作について説明する。ここに図2は、本実施形態に係るサンプリング回路、データ線駆動回路及びプリチャージ回路の詳細を示す回路図であり、図3は、それらに係る各種信号の経時的变化を示すタイミングチャートである。尚、プリチャージ回路の構成及び動作については、後で詳述する。

【0060】

図2に示すように、データ線駆動回路150は、データ線114を順次駆動可能とするためのシフトレジスタ160を備える。シフトレジスタ160には、サンプリング回路駆動信号の転送をスタートさせるための転送開始パルスDXが入力される。そして、図2に示すX方向に対応する転送方向で、シフトレジスタ160の各段SR S(i) (但し、i = 0、1、2、3、・・・、n、・・・) から転送信号SR1、SR2、・・・として順次出力される。

【0061】

次に、データ線駆動回路150は、本発明に係る「イネーブル手段」の一例を構成する、イネーブル回路170を備える (以下適宜、シフトレジスタ160の各段SR S(i) に対応させ、“イネーブル回路170(i) (但し、i = 0、1、2、・・・、n、・・・)” と称して説明する)。イネーブル回路170は、シフトレジスタ160と、サンプリング回路140及びプリチャージ回路200との間に配置されており、NAND回路171及びインバータ172により構成されている。

【0062】

10

20

30

40

50

シフトレジスタ 160 から出力された転送信号 S R 1、S R 2、・・・は、イネーブル回路 170 (1)、170 (2)、・・・に供給される。イネーブル回路 170 (1) 及び 170 (2) の他方の入力端子にはイネーブル信号 E N B 1 及び E N B 2 が夫々入力される。これにより転送信号 S R 1、S R 2、・・・が出力されており (即ち、転送信号 S R 1、S R 2、・・・がハイレベルとされており) 且つイネーブル信号 E N B 1 又は E N B 2 が出力されている (即ち、イネーブル信号 E N B 1 又は E N B 2 がハイレベルとされている) ときにのみ、データ線 114 が駆動される。即ち、イネーブル信号 E N B 1 又は E N B 2 により、画像信号 V I D が安定出力時にデータ線 114 を活性状態にするように制御している。

【0063】

転送信号 S R 1、S R 2、・・・は、イネーブル回路 170 (1)、170 (2)、・・・によりイネーブル信号との論理積がとられた後、本発明に係る「サンプリングパルス」の一例であるデータ線駆動信号或いはサンプリング回路駆動信号 (以下「サンプリング信号」と称する) S 1、S 2、・・・としてサンプリング回路 140 に供給される。

【0064】

尚、図 2 に示すように、シフトレジスタ 160 の 1 段目に相当する S R S (0) からは、転送信号 S R 0 が出力され、更に、イネーブル回路 170 (0) を介して、サンプリング信号 S 0 が出力される。但し、このサンプリング信号 S 0 は、いずれのサンプリング回路にも供給されず、後述するプリチャージ回路駆動信号としてのみ用いられる。よって、以上の説明においては、第 1 データ線群に供給されるサンプリング信号を “ S 1 ” として対応させるため、シフトレジスタ 160 の初段 S R S (0) に係る各構成要素及び信号には “ 0 ” の対応番号を付し、便宜上、シフトレジスタ 160 の第 2 段 S R S (1) を「初段」として扱っている。このことは、以下の説明においても同様とする。

【0065】

本実施形態では特に、イネーブル回路 170 は、1 本のデータ線におけるプリチャージ信号が書き込まれる期間と画像信号が書き込まれる期間とが重ならないように、しかも同時駆動される一のデータ線群に属する各データ線 114 に画像信号が書き込まれる期間と該一のデータ線群に隣接する他のデータ線群に属する各データ線 114 に画像信号が書き込まれる期間とが重ならないように、転送信号がトリガレベルとなる期間に制限をかける手段として更に機能する (以下、この手段を「イネーブル手段」と称する)。イネーブル手段の動作方法及び作用効果については、後で詳述する。

【0066】

サンプリング回路 140 は、片チャンネル型 T F T からなるサンプリングスイッチ 141 を複数備える。尚、サンプリングスイッチ 141 は、P チャンネル型 T F T 及び N チャンネル型 T F T のいずれから構成されてもよいし、更に C M O S 型 T F T から構成されてもよい。

【0067】

サンプリング回路 140 は、m 本のデータ線 114 を 1 群とし、これらの群に属するデータ線 114 に対し、サンプリング信号 S 1、S 2、・・・に従って m 相にシリアル - パラレル展開された画像信号 V I D 1 ~ V I D m を夫々サンプリングして各データ線 114 に順次供給するように構成されている。詳細には、サンプリング回路 140 には、サンプリングスイッチ 141 が各データ線 114 の一端に設けられるとともに、各サンプリングスイッチ 141 のソース電極は、画像信号 V I D 1 ~ V I D m のいずれかが供給される信号線に接続され、ドレイン電極は一本のデータ線 114 に接続されている。また、各サンプリングスイッチ 141 のゲート電極は、その群に対応してサンプリング信号 S 1、S 2、・・・が供給される信号線のいずれかに接続されている。本実施形態においては、画像信号 V I D 1 ~ V I D m はパラレルに供給されるので、各データ線群毎に、サンプリング信号 S 1、S 2、・・・により同時にサンプリングされることになる。

【0068】

図 3 のタイミングチャートに示すように、シフトレジスタ 160 に入力された転送開始パルス D X は、シフトレジスタ 160 内で、データ線転送クロック C L X (以下単に「転送

10

20

30

40

50

クロック C L X」と称する) 及びその反転クロック信号である C L X_{I N V} により転送クロック C L X の半周期単位でシフトされる。これにより、シフトレジスタ 1 6 0 の各出力段から転送クロックの半周期分ずつ遅れた転送信号 S R 1、S R 2、・・・が順次出力される。

【0069】

転送信号 S R 1、S R 2、・・・は、データ線 1 1 4 の駆動期間を画像信号 V I D 1 ~ V I D m の安定出力期間と同期させるために、イネーブル回路 1 7 0 (1)、1 7 0 (2)、・・・によりイネーブル信号 E N B 1 又は E N B 2 との論理積がとられ、サンプリング信号 S 1、S 2、・・・として出力される。これにより、画像信号とサンプリング信号 (例えば、画像信号 V I D 1 ~ V I D m とサンプリング信号 S 1) の同期がとれて正しい表示が可能となる。この際特に図 3 に示したように、ハイレベルとなる期間が重ねられていないイネーブル信号 E N B 1 又は E N B 2 に基づきサンプリング信号 S 1、S 2、・・・がハイレベルとなる期間に制限をかけることで、各サンプリング信号 S 1、S 2、・・・がハイレベル或いはトリガレベルとなる期間が重なることはない。

10

【0070】

本実施形態では特に、データ線 1 1 4 は、m 本のデータ線を含むデータ線群として束ねられ、各データ線群に対して、シフトレジスタ 1 6 0 から供給される同一の転送信号に対応した 1 本のサンプリング回路駆動信号線 1 4 2 からサンプリング信号 (S 1、S 2、・・・のうちいずれか 1 つの信号) を供給することによって、画像信号のサンプリングを行う。即ち、データ線の本数に対して、サンプリング回路駆動信号線 1 4 2 の本数は、1 / m 本となるよう構成されている。このため、シフトレジスタ 1 6 0 は、その各段に対して 1 本のデータ線を駆動するような構成を採る場合と比較して、周波数が 1 / m に低減されている。このことは、例えば、高駆動周波数を擁する高速表示モードを採用する際に、外部制御回路の負荷を低減するという観点から非常に有利である。

20

【0071】

次に、本実施形態に係るプリチャージ回路 2 0 0 の構成及び動作について、図 2 に加えて、図 4 及び図 5 を参照して詳細に説明する。図 2 においては、上述のサンプリング回路 1 4 0 及びデータ線駆動回路 1 5 0 に加えて、更に、本実施形態に係るプリチャージ回路 2 0 0 の詳細構成、及びプリチャージ回路 2 0 0 とデータ線駆動回路 1 5 0 との接続関係が示されている。ここに図 4 は、図 2 で示した本実施形態のプリチャージ回路 2 0 0 に係る構成を、特に、n - 1 番目、n 番目、及び n + 1 番目のデータ線群に係る部分について抽出して示した回路図である。図 5 は、n - 1 番目、n 番目、及び n + 1 番目のデータ線群に係る主要信号の経時変化を示したタイミングチャートである。尚、図 4 では、各データ線群において、m 本のデータ線に対応して m 個ずつ備えるサンプリング回路 1 4 0 及びプリチャージ回路 2 0 0 夫々のスイッチング素子は、簡単のため、各データ線群につき 1 つのみ、即ち、1 本のデータ線に係る部分についてのみ図示されており、m 相に展開された画像信号線群についても 1 本の画像信号線として図示する。

30

【0072】

図 2 に示すように、プリチャージ回路 2 0 0 は、プリチャージ信号 N R S のサンプリング用の、即ちプリチャージ信号 N R S をサンプリングするスイッチとしての片チャンネル型 T F T からなるプリチャージスイッチ 2 0 1 を複数備える。尚、プリチャージ 2 0 1 は、P チャンネル型 T F T 及び N チャンネル型 T F T のいずれから構成されてもよいし、更に C M O S 型 T F T から構成されてもよい。

40

【0073】

各プリチャージスイッチ 2 0 1 のソース電極は、プリチャージ信号線 2 0 2 に接続され、ドレイン電極は一本のデータ線 1 1 4 に接続されている。また、各プリチャージスイッチ 2 0 1 のゲート電極はプリチャージ回路駆動信号線 2 0 3 に接続されている。プリチャージスイッチ 2 0 1 のソース電極には、外部のプリチャージ信号発生回路 5 0 0 からプリチャージ信号線 2 0 2 を介して所定電圧のプリチャージ信号 N R S が供給される。そして、ゲート電極には、画像信号 V I D の書き込みに先行するタイミング (詳細は後述) で、プ

50

リチャージ回路駆動信号線 203 を介してプリチャージ回路駆動信号 P1、P2、・・・が供給されることにより、プリチャージスイッチ 201 が導通状態となり、プリチャージ信号 NRS が各データ線 114 に書き込まれることになる。ここで、プリチャージ回路 200 に供給されるプリチャージ信号 NRS は、例えば中間階調レベル或いは灰色レベルなどに対応する適宜の電位レベルに設定された信号である。このようなプリチャージ信号 NRS が画像信号 VID のデータ線 114 への供給に先行して、該データ線 114 に書き込まれることにより、画像信号 VID をデータ線 114 に書き込む際に必要な電荷量を顕著に少なくすることができる。このため、画像信号 VID が高い周波数でデータ線 114 に供給される場合でも、各データ線 114 の電位レベルを安定させ、表示画面上のラインむらの低減、コントラスト比の向上を図ることができる。また、データ線 114 への画像信号 VID の書き込み能力不足は、殆ど又は実践上全く無くなり、相対的に十分な書き込み能力で書き込まれた画像信号に応じて、ゴースト等が低減された高品位の画像表示が可能となる。

10

【0074】

尚、プリチャージ回路 200 に供給されるプリチャージ信号 NRS は、画像信号と同一の極性で、中間階調レベルの画素データに相当する信号（画像補助信号）であることが好ましい。本実施形態では、液晶装置 1 を交流駆動するために、1 水平走査期間（1 フレーム）あるいは 1 フィールド（例えば 2 フレーム）といった所定周期毎に画像信号の電圧極性を反転させるが、このようなプリチャージ信号 NRS が供給されれば、画像信号を書き込む際の負荷は軽減されており、データ線 114 の電位レベルは、前回に印加された電位レベルによらずに安定している。このため、今回の画像信号を各データ線 114 に安定した電位により供給することができる。

20

【0075】

本実施形態では、プリチャージ回路 200 において、サンプリング回路 140 と同様に、1 本のプリチャージ回路駆動信号線に対して、m 個のプリチャージスイッチ 201 が接続され、夫々に対応する m 本のデータ線が接続されている。そして、この m 本で 1 束のデータ線群に対して、1 本のプリチャージ回路駆動信号線 203 からプリチャージ回路駆動信号（P1、P2、・・・のうちいずれか 1 つの信号）を供給することによって、m 個のプリチャージスイッチ 201 を同時に駆動してプリチャージ信号 NRS の書き込みを行う。このため、データ線の本数に対して、プリチャージ回路駆動信号線の本数についても同じく 1 / m 本となるよう構成されている。

30

【0076】

更に、本実施形態では特に、1 本のプリチャージ回路駆動信号線 203 は、1 本のサンプリング回路駆動信号線 142 に接続されており、データ線駆動回路 150 から出力される同一の転送信号が、これと対応するサンプリング回路駆動信号及びプリチャージ回路駆動信号として共用されて、プリチャージ回路 200 が駆動される。

【0077】

より具体的には、図 4 に示すように、n 番目のデータ線群における 1 本のデータ線には、画像信号のサンプリング用のスイッチング素子 141 及びプリチャージ信号のサンプリング用のプリチャージスイッチ 201 の夫々のドレイン電極が接続されている。これは、n - 1 番目及び n + 1 番目のデータ線群においても同様である。そして、n 番目のプリチャージスイッチ 201 のゲート電極に接続されたプリチャージ回路駆動信号線 203 は、更に、n - 1 番目のサンプリング回路起動信号線 142 に接続されている。このように接続されて構成されることにより、n - 1 番目のシフトレジスタ段 SRS (n - 1) から出力された転送信号 SRn - 1 は、イネーブル回路 170 (n - 1) を介してイネーブル信号と論理積がとられた後、サンプリング回路駆動信号 Sn - 1 として n - 1 番目のデータ線群に対応するサンプリング回路群に供給されるのと同時に、プリチャージ回路駆動信号 Pn として n 番目のデータ線群に対応するプリチャージ回路群に供給される。即ち、転送信号 SRn - 1 が、n - 1 番目のデータ線群に対応するサンプリング回路群の駆動と、n 番目のデータ線群に対応するプリチャージ回路群の駆動のために共用されることとなる。同

40

50

様に、転送信号 SR_n は、 n 番目のデータ線群に対応するサンプリング回路群の駆動と、 $n + 1$ 番目のデータ線群に対応するプリチャージ回路群の駆動のために共用される。

【0078】

そして、シフトレジスタ 160 により、転送信号 SR_i ($i = 0, 1, 2, \dots$) は順次シフトされて出力されるため、転送信号 SR_{n-1} の出力に引き続き、転送信号 SR_n が遅れて出力されることとなる。ここで、転送信号 SR_n が出力される時は、既に、上述の転送信号 SR_{n-1} により n 番目のデータ線群に対応するプリチャージ回路群が駆動され、プリチャージ信号 NRS が書き込まれているため、転送信号 SR_n によって n 番目のデータ線群へ画像信号が書き込まれるときには、既に、所定の電位にプリチャージされていることとなる。このことは、転送信号 SR_n と転送信号 SR_{n+1} の関係においても同様である。

10

【0079】

以上のような一連の動作が、シフトレジスタの転送方向 (X 方向) に、1 水平走査期間内で順次行なわれることにより、順次プリチャージ或いは転送プリチャージが行なわれることとなる。ここで特に、画像信号の書き込み動作と、プリチャージ信号の書き込みの動作は、順次互いにオーバーラップしながら進行することとなる。しかも、データ線 114 の本数に対して、サンプリング回路駆動信号線 142 は $1/m$ 本に減少されており、データ線駆動回路を構成するシフトレジスタ回路の周波数は $1/m$ に低減されている。従って、例えば、予め一度に全てのデータ線にプリチャージ信号を書き込む方法と比較して、1 水平走査期間内において、全体として短時間で効率良くプリチャージを行うことが可能となる。

20

【0080】

また、 $n - 1$ 番目のデータ線群の次に画像信号が書き込まれる n 番目のデータ線群には、常に画像信号が書き込まれる直前に、先行してプリチャージ信号が書き込まれるため、画像信号の書き込み開始までの期間に、プリチャージ信号が劣化することがなく、データ線の電圧レベルを安定させることができる。従って、上述のような高速表示モード採用時であっても、充分且つ適切なプリチャージを可能とし、高品位な画像表示が可能となる。

【0081】

更には、本実施形態では、プリチャージ回路の駆動のために、例えば、別のシフトレジスタ回路を伴う駆動回路 (例えば、専用のプリチャージ回路駆動回路なるもの) を素子基板上に設ける必要が無く、1 つのデータ線駆動回路 150 が、サンプリング回路 140 及びプリチャージ回路 200 の両方を駆動することができる。従って、例えば、データ線の両側に別々のシフトレジスタ回路を伴う駆動回路を設ける場合のように、限られた素子基板上において比較的大きなスペースを確保する必要が無く、基板の小型化や、電気光学パネル全体の小型化を促進することが可能となる。

30

【0082】

ここで特に、上述のような構成によれば、プリチャージ回路 200 は、液晶パネル 100 の素子基板上において、画像表示領域 110 とデータ線駆動回路 150 の間に位置するエリア、即ち、データ線 114 の一端側に配置されており、画像信号 VID 及びプリチャージ信号 NRS は、データ線の一端側から書き込まれることとなる (図 1 等参照)。従って、データ線の両側に別々の駆動回路を設ける場合のように、基板上において各種信号線を複雑に引き回す必要が無く、基板上における駆動回路全体の占有面積をより一層減少させることができる。また、配線の引き回しによる容量分の負荷は著しく低減され、これに起因する信号遅延等の不具合を防止することができる。このことは、例えば、高駆動周波数を擁する高速表示モード採用時においても、駆動周波数に応じてデータ線駆動回路の駆動能力を確保することに繋がり、ゴースト等の画像不良を防止することができる。

40

【0083】

次に、図 5 のタイミングチャートを参照して、本実施形態のプリチャージ動作について説明を加える。

【0084】

50

図 5 に示すように、 $n-1$ 番目、 n 番目及び $n+1$ 番目のデータ線群関係においても、図 3 で示したタイミングチャートと同様に、シフトレジスタ 160 により転送クロック CLX の半周期単位でシフトされて、シフトレジスタ 160 の各出力段から転送クロックの半周期分ずつ遅れた転送信号 SR_{n-1} 、 SR_n 、 SR_{n+1} 、 $\dots$ が順次出力される。そして、転送信号 SR_{n-1} 、 SR_n 、及び SR_{n+1} は、データ線 114 の駆動期間を画像信号 $VID_1 \sim VID_m$ の安定出力期間と同期させるために、イネーブル回路 170 ($n-1$)、170 (n)、及び 170 ($n+1$) によりイネーブル信号 ENB_1 或いは ENB_2 との論理積がとられ、サンプリング信号 S_{n-1} 、 S_n 、及び S_{n+1} として出力される。ここで、上述のように、 $n-1$ 番目のサンプリング回路駆動信号線 142 は、 n 番目のプリチャージ回路駆動信号線 203 にも接続されているため、サンプリング信号 S_{n-1} がトリガレベルとなるときの (t_5)、同時に、プリチャージ回路駆動信号 P_n もトリガレベルとなる。従って、サンプリング信号 S_n がトリガレベルとなり (t_8)、 n 番目のデータ線群に対して画像信号が書き込まれるのに先行して、プリチャージ信号の書き込みが行われることを示している。

10

【0085】

本実施形態では特に、データ線駆動回路 150 内のイネーブル回路 170 は、同一のデータ線 114 に対して、プリチャージ信号 NRS が書き込まれる期間と画像信号 VID が書き込まれる期間とが重ならないように、転送信号がトリガレベルとなる期間に制限をかける「イネーブル手段」として機能する。

【0086】

より具体的には、図 5 に示すように、シフトレジスタ 160 から出力された転送信号 SR_{n-1} 及び SR_n が「ON (即ち、ハイレベル)」となる期間は、そのままでは互いに時間軸上で重複する期間 (即ち、共に「ON」となる期間) が存在する。そこで、イネーブル回路 170 ($n-1$)、170 (n) の夫々において、イネーブルパルス ENB_1 及び ENB_2 との論理積がとられる。ここで特に、相隣接するイネーブルパルス ENB_1 及び ENB_2 は、時間軸上で互いに重複しないよう出力されているため、イネーブルパルスが「ON (即ち、ハイレベル)」となる期間においてのみトリガレベルとなるサンプリング信号 S_{n-1} 及び S_n が出力される。即ち、イネーブル回路において、相隣接するサンプリング信号 S_n と S_{n-1} が互いに重複して出力されないように、転送信号 SR_{n-1} 及び SR_n に対して時間軸上での波形の選択が行われることとなる。更に、このサンプリング信号 S_{n-1} は、それ自身が n 番目 (即ち、次段) のプリチャージ回路駆動信号 P_n となるため、同じく、該プリチャージ回路駆動信号 P_n とサンプリング信号 S_n も互いに重複することが無い。即ち、 n 番目のデータ線群に着目すると、プリチャージ回路駆動信号 P_n により先行してプリチャージ信号 NRS が書き込まれる期間と、サンプリング信号 S_n により画像信号 VID が書き込まれる期間とは、互いに重複しないこととなる。

20

30

【0087】

このように機能する「イネーブル手段」により、1 本のデータ線或いはデータ線群に対して、画像信号とプリチャージ信号が同時に書き込まれる場合に発生するゴースト等の不具合を確実に防止することが可能となる。

【0088】

本実施形態では好ましくは、相隣接するイネーブルパルス ENB_1 及び ENB_2 は、夫々のパルス幅が、クロック信号 CLX の半周期より狭い幅で出力されている。即ち、例えば、図 5 に示す時刻 $t_5 \sim t_6$ 或いは時刻 $t_8 \sim t_9$ の幅が、時刻 $t_4 \sim t_7$ 或いは時刻 $t_7 \sim t_{10}$ の幅に対して小さくなるよう出力されている。このよう出力されることにより、これらのイネーブルパルスと論理積がとられ、波形の選択が行われて出力される相隣接するサンプリング信号 S_{n-1} と S_n は、時間軸上で互いに分離されて出力されることとなる。従って、上述のように、このサンプリング信号 S_{n-1} は、それ自身が n 番目 (即ち、次段) のプリチャージ回路駆動信号 P_n となるため、同じく、該プリチャージ回路駆動信号 P_n とサンプリング信号 S_n も時間軸上で互いに分離されていることとなる。即ち、 n 番目のデータ線群に着目すると、プリチャージ回路駆動信号 P_n によるプリチャ

40

50

ージ信号 NRS の書き込みが終了した時点から、サンプリング信号 S_n による画像信号 VID の書き込みが開始されるまでの間に、時間的余裕（例えば、時刻 $t_6 \sim t_8$ ）が確保されることとなる。このように、先行してプリチャージ信号 NRS が書き込まれる期間と、画像信号が書き込まれる期間が時間軸上で分離されることにより、より確実にゴースト等の不具合を防止することが可能となる。

【0089】

（第2実施形態）

本発明の電気光学装置に係る第2実施形態について、図6及び図7を参照して以下に説明する。図6は、本実施形態のプリチャージ回路200に係る構成を、特に、 $n-1$ 番目、 n 番目、及び $n+1$ 番目のデータ線群に係る部分について抽出して示した回路図である。図7は、本実施形態に係る「トリミング手段」によるトリミングの様子を示したタイミングチャートである。

10

【0090】

第2実施形態は、上述の第1実施形態と比較して、相隣接するサンプリング回路駆動信号線の間の回路構成、並びにプリチャージ回路駆動信号の供給方法が異なる。従って、シフトレジスタ回路及びイネーブル回路の回路構成及びその動作、並びに液晶装置の全体構成については第1実施形態と同様である。このため以下においては、第1実施形態と異なる構成について説明する。尚、第1実施形態との共通箇所には、同一符号を付して説明を省略する。

【0091】

本実施形態では、プリチャージ回路200とサンプリング回路140との間に、同一のデータ線群に対して、プリチャージ信号 NRS が書き込まれる期間と画像信号 VID が書き込まれる期間とが重ならないように、転送信号がトリガレベルとなる期間に制限をかける「トリミング手段」を更に備える。

20

【0092】

図6に示すように、本実施形態では、 $n-1$ 番目のサンプリング回路駆動信号線142と n 番目のサンプリング回路駆動信号線142の間に、トリミング回路204を備え、該トリミング回路204は、インバータ205、 $NAND$ 回路206及びインバータ207を備えて構成されている。プリチャージ回路駆動信号線203上には、インバータ205及び $NAND$ 回路206が設けられ、インバータ205は、プリチャージスイッチ201のゲート電極に接続されている。そして、 $NAND$ 回路206の一つの入力端子は、 $n-1$ 番目のデータ線群に対応するサンプリング回路駆動信号線142に接続されている。一方、 $NAND$ 回路206の他方の入力端子は、インバータ207に接続されており、更に、 n 番目のデータ線群に対応するサンプリング回路駆動信号線142に接続されている。即ち、 $n-1$ 番目のデータ線群に対応するサンプリング信号 S_{n-1} が利用される n 番目のデータ線群に対応するイネーブル回路170($n-1$)からの出力と、 n 番目のデータ線群に対応するサンプリング信号 S_n の反転信号との間で、 $NAND$ 回路206により論理積がとられ、インバータ205を介して n 番目のプリチャージスイッチ201のゲート電極に入力される。このため、サンプリング信号 S_n が「 ON （即ち、ハイレベル）」、即ち、トリガレベルとなる期間は、必ず、プリチャージスイッチ201のゲート電極に入力されるプリチャージ回路駆動信号 P_n は「 OFF （即ち、ローレベル）」となり、サンプリング信号 S_{n-1} が「 OFF 」のときのみ、前段のサンプリング信号 S_{n-1} が「 ON 」となるのに応じてプリチャージ回路駆動信号 P_n が「 ON 」、即ち、トリガレベルとなる。即ち、トリミング回路204により、 n 番目のデータ線群に関して、そのサンプリング信号 S_n の「 ON 」又は「 OFF 」に応じて、プリチャージ回路駆動信号 P_n がトリガレベルとなる期間に制限をかけることとなる。

30

40

【0093】

ここで、例えば、高速表示モードの採用による高駆動周波数化に伴い、サンプリング信号のパルス幅が無視し得ない程度にばらつき、図7に示すように、相隣接するサンプリング信号 S_{n-1} と S_n が時間軸上で重複する場合が発生したと仮定する。この場合にも、重

50

複した期間 T は、上述の「トリミング手段」によりトリミングされ、トリミング信号 P R C G n として、プリチャージ回路駆動信号 P n がプリチャージスイッチ 2 0 1 に入力される。従って、サンプリング信号 S n とプリチャージ回路駆動信号 P n が重複することを確実に防止することが可能となっている。

【 0 0 9 4 】

以上のような「トリミング手段」によれば、シフトレジスタ 1 6 0 から出力される転送信号が、プリチャージ回路駆動信号及びサンプリング回路駆動信号として共用して用いられる場合にも、1つのデータ線群に対して、画像信号が書き込まれる期間とプリチャージ信号が書き込まれる期間は、時間軸上で互いに重複することが、殆ど又は全く無くなる。従って、両者が同時に書き込まれた場合に発生するゴースト等の不具合を、より確実に防止することが可能となる。

【 0 0 9 5 】

尚、本実施形態においては、イネーブル回路 1 7 0 による「イネーブル手段」を含まない形で構成されてもよく、この場合においても、本実施形態の「トリミング手段」により、1つのデータ線群に対して、画像信号とプリチャージ信号が同時に書き込まれることを防止することが可能である。

【 0 0 9 6 】

(第3実施形態)

本発明の電気光学装置に係る第3実施形態について、図8及び図9を参照して以下に説明する。図8は、本実施形態に係るサンプリング回路、データ線駆動回路、及びプリチャージ回路の構成を示す回路図であり、図9は、本実施形態のプリチャージ回路 2 0 0 に係る構成を、特に、n-1番目のデータ線群、n番目のデータ線群及びn+1番目のデータ線群に係る部分について抽出して示した回路図である。

【 0 0 9 7 】

第3実施形態は、上述の第1実施形態と比較して、データ線駆動回路内のシフトレジスタ回路の構成、並びにサンプリング回路駆動信号線及びプリチャージ回路駆動信号線の接続方法が異なる。図1に示した液晶装置の全体構成については、液晶パネル 1 0 0 内の各構成要素は同じであるため、図示を省略する。尚、図1において、第1実施形態と異なる駆動回路 1 2 0 における各信号線の接続方法については図8及び図9に示す。以下においては、第1実施形態と異なる構成について説明し、第1実施形態との共通箇所には、同一符号を付して説明を省略する。

【 0 0 9 8 】

本実施形態では、図8に示すように、データ線駆動回路 1 5 0 は、シフトレジスタとして、「双方向シフトレジスタ」を用いて構成されている。図8にはシフトレジスタ 1 6 0 が示されているが、このシフトレジスタは、スタートパルス D X の切り替え等によって、AからB方向にシフトするシフトレジスタとして機能する場合と、BからA方向にシフトするシフトレジスタとして機能する場合とに切り替え可能である、所謂「双方向性シフトレジスタ」である。

【 0 0 9 9 】

双方向性シフトレジスタ 1 6 0 は、図8に示すように、シフトレジスタを全てクロックドインバータで構成し、信号取込部のクロックドインバータ及び帰還部のクロックドインバータと直列に、転送方向制御用のクロックドインバータを接続したものである。この転送方向制御用のクロックドインバータのゲート端子には転送方向制御信号 D 及びこの反転信号である D_{INV} が入力されるように構成されており、転送方向制御信号 D がハイレベルの場合には、図8におけるAからBの方向へ信号の転送が行われ、反転信号 D_{INV} がハイレベルの場合には、BからAの方向へ信号の転送が行われる。

【 0 1 0 0 】

双方向性シフトレジスタの基本的な動作は、第1の実施形態のシフトレジスタと同様であり、図8におけるAからBの方向へ信号の転送が行われる場合には、転送信号は、S R 1、S R 2、・・・の順に、順次出力され、一方BからAの方向へ信号の転送が行われる場

合には、転送信号は、 SR_n 、 SR_{n-1} 、 $\dots$ の順に、順次出力される。

【0101】

本実施形態では、第1実施形態と同様に、1つのデータ線群に対応するプリチャージ回路駆動信号は、そのデータ線群の前に画像信号が書き込まれる他のデータ線群に対応するサンプリング信号が利用されて供給される。但し、本実施形態においては、「双方向シフトレジスタ」が用いられるため、 n 番目のデータ線群に対応するプリチャージ回路に対して、プリチャージ回路駆動信号 P_n を供給するために、シフトレジスタの転送方向に応じて、サンプリング信号 S_{n-1} を利用するか、或いは、サンプリング信号 S_{n+1} を利用するかの選択が行われる。即ち、転送方向が、図2に示す X 方向であり、転送信号が、 SR_1 、 SR_2 、 $\dots$ 、 S_{n-1} 、 S_n 、 $\dots$ の順に出力される場合は、プリチャージ回路駆動信号 P_n として、 $n-1$ 番目のデータ線群に対応するサンプリング信号 S_{n-1} が供給される。一方、転送方向が逆方向となり、転送信号が、 SR_{n+1} 、 SR_n 、 SR_{n-1} 、 $\dots$ の順に出力される場合は、プリチャージ回路駆動信号 P_n として、 $n+1$ 番目のデータ線群に対応するサンプリング信号 S_{n+1} が供給される。

10

【0102】

従って、本実施形態では、以下に説明するような、プリチャージ回路駆動信号線への入力信号を選択する「選択回路」を備える。

【0103】

図8に示すように、サンプリング回路140とデータ線駆動回路150の間に位置するエリアに、選択回路600が設けられている。以下、図9を参照して、特に $n-1$ 、 n 番目、及び $n+1$ 番目のデータ線群に係る部分について、選択回路600の詳細構成とともに説明する。

20

【0104】

図9に示すように、 $n-1$ 番目のサンプリング回路駆動信号線142と n 番目のサンプリング回路駆動信号線142の間に、選択回路600を備え、該選択回路600は、負論理回路として示されたNAND回路の等価回路601（以下適宜、単に“NAND回路”と称する）、NAND回路602及び603を備えて構成されている。NAND回路601は、プリチャージスイッチ201のゲート電極に接続されている。NAND回路602の一つの入力端子には、転送方向制御信号 D が入力されており、他方の入力端子は、 $n-1$ 番目のデータ線群に対応するサンプリング回路駆動信号線142に接続されている。NAND回路603の一つの入力端子には、転送方向制御信号の反転信号 D_{INV} が入力されており、他方の入力端子は、 $n+1$ 番目のデータ線群に対応するサンプリング回路駆動信号線142が接続されている。

30

【0105】

この構成によれば、 n 番目のデータ線群に関して、双方向シフトレジスタ160の転送方向が A から B の方向（転送方向制御信号 D が「ON（即ち、ハイレベル）」、且つ反転信号 D_{INV} が「OFF（即ち、ローレベル）」）の場合は、サンプリング信号 S_{n-1} が「ON」の場合にのみ、プリチャージ回路駆動信号 P_n が「ON」となり、一方、双方向シフトレジスタ160の転送方向が B から A の方向（転送方向制御信号 D が「OFF」、且つ反転信号 D_{INV} が「ON」）の場合は、サンプリング信号 S_{n+1} が「ON」の場合にのみ、プリチャージ回路駆動信号 P_n が「ON」となる。即ち、転送方向に応じて、プリチャージ回路駆動信号 P_n として、サンプリング信号 S_{n-1} 或いは S_n のいずれかが選択され、プリチャージ回路に入力される。

40

【0106】

このように、双方向シフトレジスタ160の転送方向に応じて、プリチャージ回路に入力されるプリチャージ回路駆動信号の元となる信号が選択されるため、いずれの転送方向においても、第1実施形態と同様な順次プリチャージが可能となる。

【0107】

尚、本実施形態では、「双方向シフトレジスタ」が用いられて、且つ、その転送方向に応じてプリチャージ回路駆動信号の入力が選択されることが第1実施形態と異なり、プリチ

50

ャージ回路及びイネーブル回路の動作及び作用効果は第1実施形態と同じである。従って、以上のような構成及び動作によって達成される順次プリチャージから得られる利得も第1実施形態と同様である。

【0108】

(第4実施形態)

本発明の電気光学装置に係る第4実施形態について、図10を参照して以下に説明する。図10は、第2実施形態及び第3実施形態と同様の、トリミング回路204と選択回路600の接続関係を示す回路図である。

【0109】

第4実施形態は、上述の第3実施形態と比較して、相隣接するサンプリング回路駆動信号線の間の回路構成、及びプリチャージ回路駆動信号の供給方法が異なる。従って、シフトレジスタ回路及びイネーブル回路の回路構成、それらの動作、並びに液晶装置の全体構成については第3実施形態と同様である。このため以下においては、第3実施形態と異なる構成について説明する。尚、第3実施形態との共通箇所には、同一符号を付して説明を省略する。

10

【0110】

本実施形態では特に、第3実施形態の「双方向シフトレジスタ」を備えたデータ線駆動回路の構成に加えて、第2実施形態において備えられた「トリミング手段」が付加された形で構成されている。

【0111】

以下では、図10を参照して、 n 番目のデータ線群に対するプリチャージ回路駆動信号 P_n の供給方法について説明する。

20

【0112】

図10に示すように、選択回路600におけるNAND回路602の1つの入力端子には、トリミング回路204aが接続され、他方の入力端子には、転送方向制御信号Dが入力される。一方、NAND回路603の1つの入力端子には、同じくトリミング回路204bが接続され、他方の入力端子には、反転信号 D_{INV} が入力される。ここで、2つのトリミング回路204は、これらの構成要素であるインバータ207について、その1つを互いに共用して構成されている。そして、トリミング回路204aのNAND回路205aにおいて、その1つの入力端子には、 $n-1$ 番目のデータ線群に対応するサンプリング信号 S_{n-1} が入力され、他方の入力端子には、 n 番目のデータ線群に対応するサンプリング信号 S_n の反転信号が入力される。一方、トリミング回路204bのNAND回路206bにおいて、その1つの入力端子に、 $n+1$ 番目のデータ線群に対応するサンプリング信号 S_{n+1} が入力され、他方の入力端子には、同じくサンプリング信号 S_n の反転信号が入力される。

30

【0113】

このように構成すれば、第3実施形態と同様の「双方向シフトレジスタ」を用い、且つ、第2実施形態と同様の「トリミング手段」を備えた順次プリチャージが可能となる。

【0114】

尚、本実施形態では、データ線駆動回路に「双方向シフトレジスタ」を備えることが第1実施形態と異なり、プリチャージ回路及びイネーブル回路の動作及び作用効果は第1実施形態と同じである。従って、以上のような構成及び動作によって達成される順次プリチャージから得られる利得も第1実施形態と同様である。

40

【0115】

(液晶装置の全体構成)

以上のように構成された本発明の第1から第4実施形態における液晶装置の全体構成について図11及び図12を参照して説明する。ここに、図11は、TFTアレイ基板10をその上に形成された各構成要素と共に対向基板20の側から見た平面図であり、図12は、図11のH-H'断面図である。

【0116】

50

図 1 1 及び図 1 2 において、T F T アレイ基板 1 0 の上には、複数の画素電極 1 1 8 により規定される画像表示領域（即ち、実際に液晶層 5 0 の配向状態変化により画像が表示される液晶装置の領域）の周囲において両基板を貼り合わせて液晶層 5 0 を包囲する光硬化性樹脂からなるシール材 5 2 が、画像表示領域に沿って設けられている。そして、対向基板 2 0 上における画像表示領域とシール材 5 2 との間には、遮光性の額縁遮光膜 5 3 が設けられている。遮光性の額縁遮光膜 5 3 や遮光層 2 3 を T F T アレイ基板 1 0 上に形成しても良い。

【 0 1 1 7 】

画像表示領域 1 1 0 の左右 2 辺に沿った部分には、走査線駆動回路 1 3 0 が両側に設けられている。ここで、走査線 1 1 2 の駆動遅延が問題にならないような場合、走査線駆動回路 1 3 0 は走査線 1 1 2 に対して片側のみに形成しても良い。

10

【 0 1 1 8 】

シール材 5 2 の外側の領域には、画像表示領域の下辺に沿ってデータ線駆動回路 1 5 0 及び外部からの信号入力等を行う外部回路接続用端子 1 0 2 が設けられており、画像表示領域の左右の 2 辺に沿って走査線駆動回路 1 3 0 が画像表示領域の両側に設けられている。ここで、データ駆動回路 1 5 0 を画像表示領域の上下の 2 辺に沿って両側に設けても良い。この際、例えば一方のデータ線駆動回路 1 5 0 には奇数列のデータ線を電氣的に接続し、もう一方のデータ線駆動回路 1 5 0 には偶数列のデータ線を電氣的に接続することで、上下から櫛歯状に駆動するようにしても良い。更に画像表示領域の上辺には、走査線駆動回路 1 3 0 に電源や駆動信号を供給するための複数の配線 1 0 5 が設けられている。また、対向基板 2 0 のコーナー部の少なくとも一箇所で、T F T アレイ基板 1 0 と対向基板 2 0 との間で電氣的導通をとるための上下導通材 1 0 6 が設けられている。そして、シール材 5 2 とほぼ同じ輪郭を持つ対向基板 2 0 が当該シール材 5 2 により T F T アレイ基板 1 0 に固着されている。

20

【 0 1 1 9 】

また、上述した各実施形態においては、データ線駆動回路 1 5 0 及び走査線駆動回路 1 3 0 に対して、クロック信号あるいは画像信号等を出力する外部制御回路を、液晶装置の外部に設けた場合について説明したが、本発明はこれに限られるものではなく、当該制御回路を液晶装置内に設けるようにしても良い。

【 0 1 2 0 】

特に、クロック信号については、クロック信号のみを外部制御回路から供給させ、液晶装置用基板上で逆位相クロック信号を生成する回路を設けるように構成しても良い。

30

【 0 1 2 1 】

以上に説明した液晶装置は、カラー液晶プロジェクタ等に適用することができるが、この場合には、3つの液晶装置が R G B 用のライトバルブとして夫々用いられ、各パネルには夫々 R G B 色分解用のダイクロイックミラーを介して分解された各色の光が入射光として夫々入射されることになる。従って、各実施の形態では、対向基板 2 0 に、カラーフィルタは設けられていない。しかしながら、液晶装置においても遮光層 2 3 の形成されていない画素電極 1 1 に対向する所定領域に R G B のカラーフィルタをその保護膜と共に、対向基板 2 0 上に形成してもよい。このようにすれば、液晶プロジェクタ以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に本実施の形態の液晶装置を適用できる。

40

【 0 1 2 2 】

また、液晶装置に用いるスイッチング素子は、正スタガ型又はコプラナー型のポリシリコン T F T でも良いし、逆スタガ型の T F T やアモルファスシリコン T F T 等の他の形式の T F T に対しても、本実施の形態は有効である。

【 0 1 2 3 】

更に、液晶装置においては、一例として液晶層 5 0 をネマティック液晶から構成したが、液晶を高分子中に微小粒として分散させた高分子分散型液晶を用いれば、配向膜、並びに前述の偏光フィルム、偏光板等が不要となり、光利用効率が高まることによる液晶装置の高輝度化や低消費電力化の利点が得られる。

50

【0124】

尚、データ線駆動回路150及び走査線駆動回路130は、TFTアレイ基板10の上に設ける代わりに、例えばTAB（テープオートメイトボンディング基板）上に実装された駆動用LSIに、TFTアレイ基板10の周辺部に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。

【0125】

なお、上述した実施の形態においては、走査線駆動回路130の構成については詳述していないが、特にシフトレジスタ部分についてはデータ線駆動回路150と同様の構成を採用することができる。

【0126】

（電子機器）

次に、以上詳細に説明した液晶装置1を備えた電子機器の実施の形態について図13から図16を参照して説明する。

【0127】

先ず図13に、このように液晶装置1を備えた電子機器の概略構成を示す。

【0128】

図13において、電子機器は、表示情報出力源1000、上述した外部表示情報処理回路1002、前述の走査線駆動回路130及びデータ線駆動回路150を含む表示駆動回路1004、液晶装置1、クロック発生回路1008並びに電源回路1010を備えて構成されている。表示情報出力源1000は、ROM（Read Only Memory）、RAM（Random Access Memory）、光ディスク装置などのメモリ、テレビ信号を同調して出力する同調回路等を含んで構成され、クロック発生回路1008からのクロック信号に基づいて、所定フォーマットの画像信号などの表示情報を表示情報処理回路1002に出力する。表示情報処理回路1002は、増幅・極性反転回路、相展開回路、ローテーション回路、ガンマ補正回路、クランプ回路等の周知の各種処理回路を含んで構成されており、クロック発生回路1008からのクロック信号に基づいて入力された表示情報からデジタル信号を順次生成し、クロック信号CLKと共に表示駆動回路1004に出力する。表示駆動回路1004は、走査線駆動回路130及びデータ線駆動回路150によって前述の駆動方法により液晶装置1を駆動する。電源回路1010は、上述の各回路に所定電源を供給する。尚、液晶装置1を構成する液晶装置用基板の上に、表示駆動回路1004を搭載してもよく、これに加えて表示情報処理回路1002を搭載してもよい。

【0129】

このような構成の電子機器として、図14に示す液晶プロジェクタ、図15に示すマルチメディア対応のパーソナルコンピュータ（PC）及びエンジニアリング・ワークステーション（EWS）、あるいは携帯電話、ワードプロセッサ、テレビ、ビューファインダ型又はモニタ直視型のビデオテーブルコダ、電子手帳、電子卓上計算機、カーナビゲーション装置、POS端末、タッチパネルを備えた装置などを挙げることができる。

【0130】

次に図14から図16に、このように構成された電子機器の具体例を夫々示す。

【0131】

図14において、電子機器の一例たる液晶プロジェクタ1100は、投射型の液晶プロジェクタであり、光源1110と、ダイクロイックミラー1113、1114と、反射ミラー1115、1116、1117と、入射レンズ1118、リレーレンズ1119、出射レンズ1120と、液晶ライトバルブ1122、1123、1124と、クロスダイクロイックプリズム1125と、投射レンズ1126とを備えて構成されている。液晶ライトバルブ1122、1123、1124は、上述した駆動回路1004が液晶装置用基板上に搭載された液晶装置1を含む液晶表示モジュールを3個用意し、夫々液晶ライトバルブとして用いたものである。また、光源1110はメタルハライド等のランプ1111とランプ1111の光を反射するリフレクタ1112とからなる。

10

20

30

40

50

【0132】

以上のように構成される液晶プロジェクタ1100においては、青色光・緑色光反射のダイクロイックミラー1113は、光源1110からの白色光束のうちの赤色光を透過させるとともに、青色光と緑色光とを反射する。透過した赤色光は反射ミラー1117で反射されて、赤色光用液晶ライトバルブ1122に入射される。一方、ダイクロイックミラー1113で反射された色光のうち緑色光は緑色光反射のダイクロイックミラー1114によって反射され、緑色光用液晶ライトバルブ1123に入射される。また、青色光は第2のダイクロイックミラー1114も透過する。青色光に対しては、長い光路による光損失を防ぐため、入射レンズ1118、リレーレンズ1119、出射レンズ1120を含むリレーレンズ系からなる導光手段1121が設けられ、これを介して青色光が青色光用液晶ライトバルブ1124に入射される。各ライトバルブにより変調された3つの色光はクロスダイクロイックプリズム1125に入射する。このプリズムは4つの直角プリズムが貼り合わされ、その内面に赤光を反射する誘電体多層膜と青光を反射する誘電体多層膜とが十字状に形成されている。これらの誘電体多層膜によって3つの色光が合成されて、カラー画像を表す光が形成される。合成された光は、投射光学系である投射レンズ1126によってスクリーン1127上に投射され、画像が拡大されて表示される。

10

【0133】

図15において、電子機器の他の例たるラップトップ型のパーソナルコンピュータ1200は、上述した液晶装置1がトップカバーケース内に備えられた液晶ディスプレイ1206と、CPU、メモリ、モデム等を収容すると共にキーボード1202が組み込まれた本体部1204とを有する。

20

【0134】

また、図16に示すように、液晶装置用基板1304を構成する2枚の透明基板1304a, 1304bの一方に、金属の導電膜が形成されたポリイミドテープ1322にICチップ1324を実装したTCP (Tape Carrier Package) 1320を接続して、電子機器用の一部品である液晶装置として生産、販売、使用することもできる。

【0135】

以上、図14から図16を参照して説明した電子機器の他にも、液晶テレビ、ビューファインダー型又はモニタ直視型のビデオテープレコーダ、カーナビゲーション装置、電子手帳、電卓、ワードプロセッサ、ワークステーション、携帯電話、テレビ電話、POS端末、タッチパネルを備えた装置等が図13に示した電子機器の例として挙げられる。

30

【0136】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学パネルの駆動回路並びにこれを備えた電気光学装置及び電子機器もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る液晶表示装置の全体構成を示すブロック図である。

【図2】第1実施形態のサンプリング回路、データ線駆動回路、及びプリチャージ回路の詳細を示す回路図である。

40

【図3】図2のロジック回路図の主要信号の状態を示すタイミングチャートである。

【図4】第1実施形態のプリチャージ回路に係る構成を、特に、 $n-1$ 番目、 n 番目、及び $n+1$ 番目のデータ線群に係る部分について抽出して示した回路図である。

【図5】第1実施形態における、 $n-1$ 番目、 n 番目、及び $n+1$ 番目のデータ線群に係る主要信号の経時変化を示したタイミングチャートである。

【図6】第2実施形態のプリチャージ回路に係る構成を、特に、 $n-1$ 番目、 n 番目、及び $n+1$ 番目のデータ線群に係る部分について抽出して示した回路図である。

【図7】第2実施形態に係るトリミング回路によるトリミングの様子を経時変化で示したタイミングチャートである。

50

【図 8】第 3 実施形態のサンプリング回路、データ線駆動回路、及びプリチャージ回路の詳細を示す回路図である。

【図 9】第 3 実施形態のプリチャージ回路に係る構成を、特に、 $n-1$ 番目のデータ線群、 n 番目のデータ線群及び $n+1$ 番目のデータ線群に係る部分について抽出して示した回路図である。

【図 10】第 4 実施形態のトリミング回路と選択回路の接続関係を示す回路図である。

【図 11】液晶装置の全体構成を示す平面図である。

【図 12】図 11 の H-H' 断面図である。

【図 13】本発明による電子機器の実施の形態の概略構成を示すブロック図である。

【図 14】電子機器の一例としての液晶プロジェクタを示す断面図である。

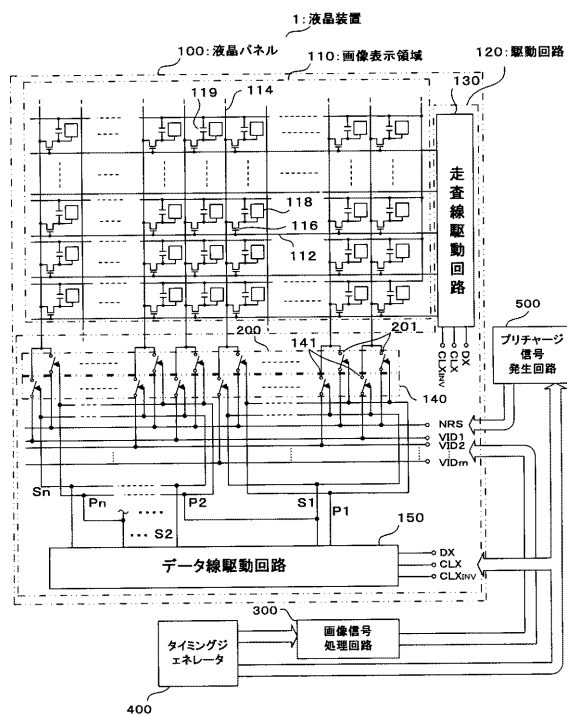
【図 15】電子機器の他の例としてのパーソナルコンピュータを示す正面図である。

【図 16】電子機器の一例としての T C P を用いた液晶表示装置を示す斜視図である。

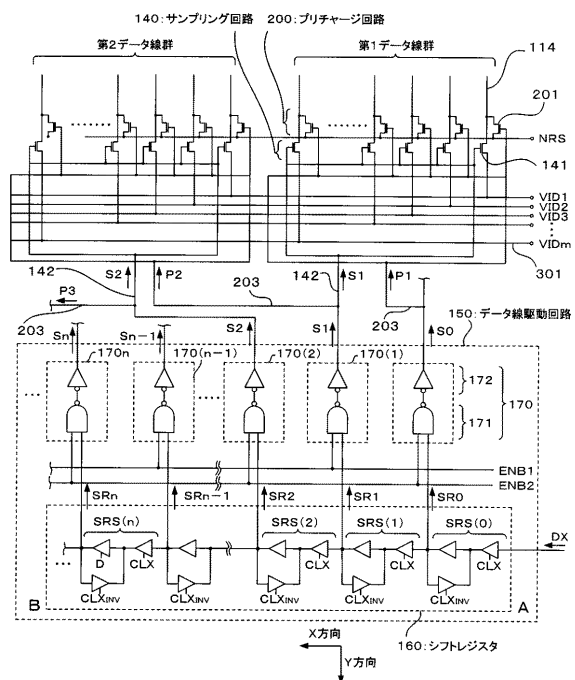
【符号の説明】

1・・・液晶装置、10・・・T F T アレイ基板、20・・・対向基板、21・・・共通電極、50・・・液晶層、100・・・液晶パネル、110・・・画像表示領域、103・・・クロック信号配線、112・・・走査線、114・・・データ線、116・・・T F T、118・・・画素電極、130・・・走査線駆動回路、140・・・サンプリング回路、141・・・サンプリングスイッチ、142・・・サンプリング回路駆動信号線、150・・・データ線駆動回路、160・・・シフトレジスタ、170・・・イネーブル回路、200・・・プリチャージ回路、201・・・プリチャージスイッチ、202・・・プリチャージ信号線、203・・・プリチャージ回路駆動信号線、204・・・トリミング回路、205、207・・・インバータ、206・・・N A N D 回路、300・・・画像信号処理装置、400・・・タイミングジェネレータ、500・・・プリチャージ信号発生回路、600・・・選択回路、601、602、603・・・N A N D 回路

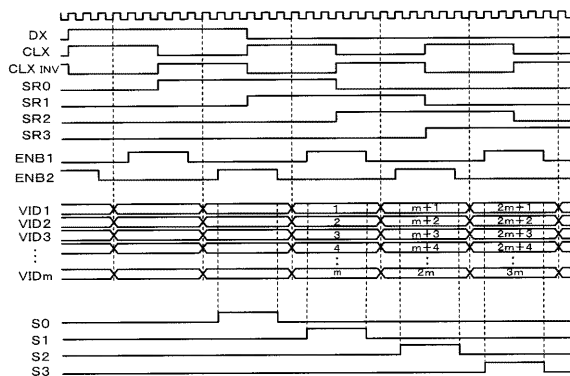
【図 1】



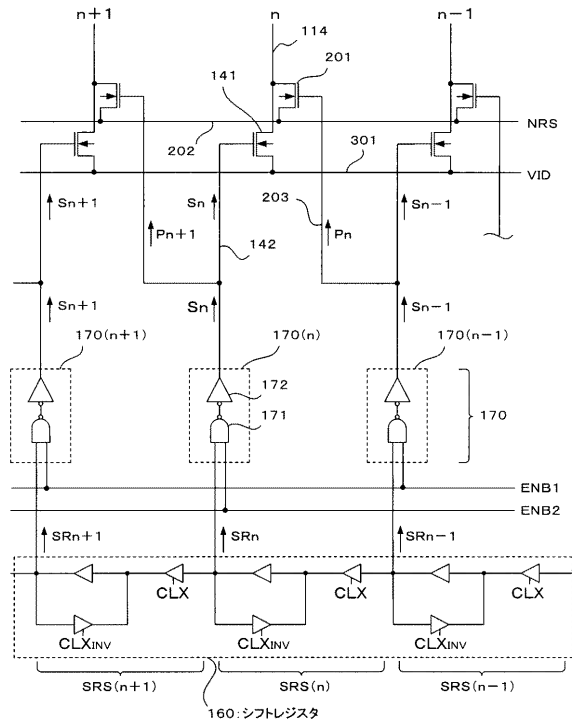
【図 2】



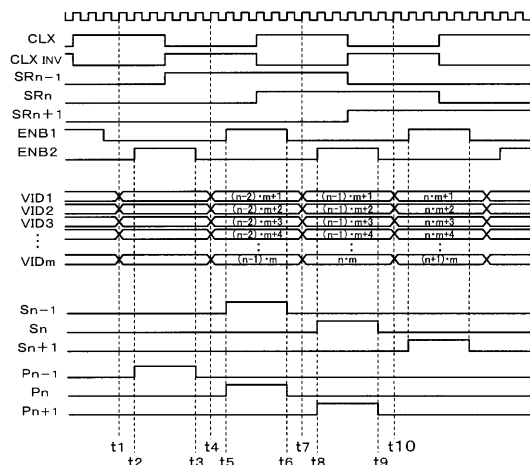
【図 3】



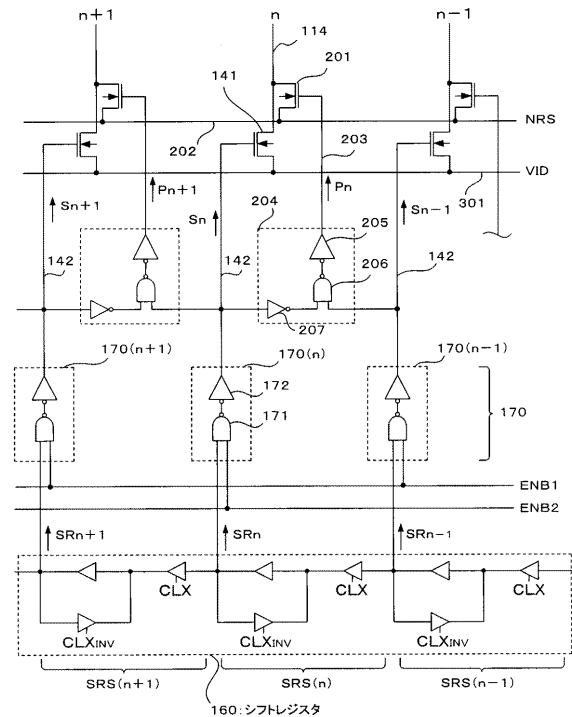
【図 4】



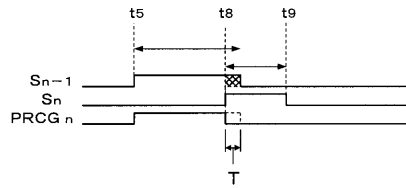
【図 5】



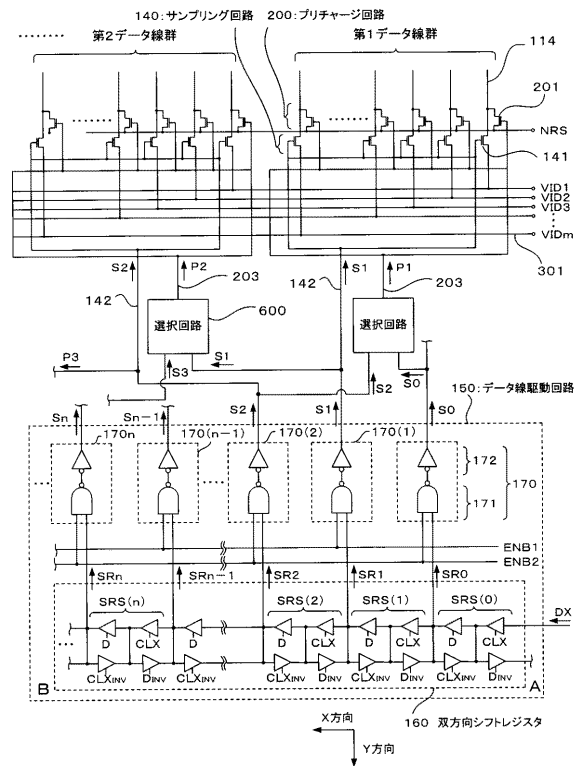
【図 6】



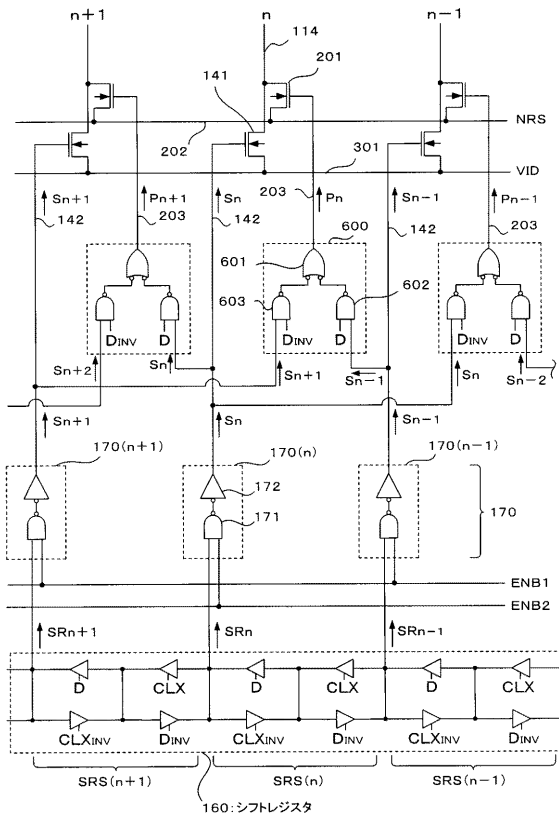
【図 7】



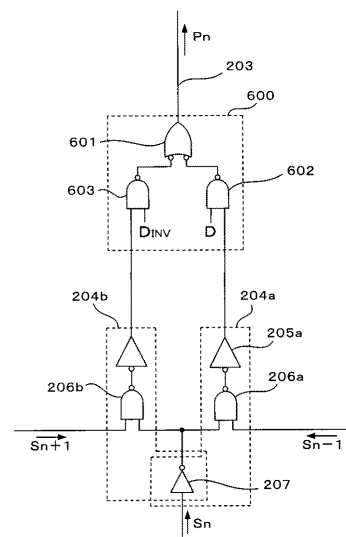
【図 8】



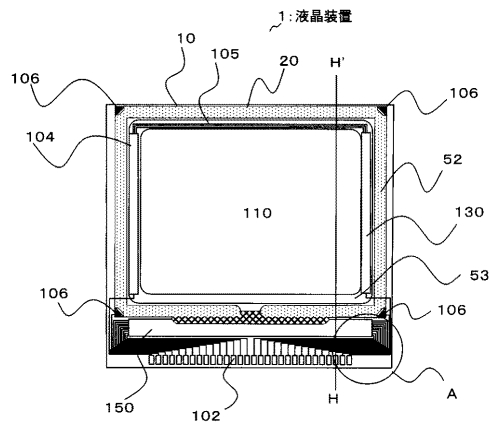
【図 9】



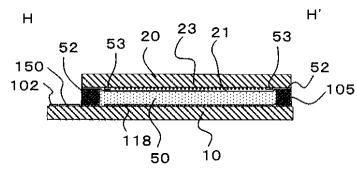
【図 10】



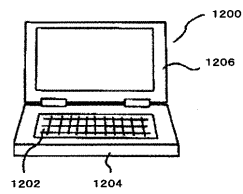
【図 1 1】



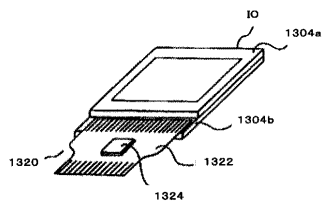
【図 1 2】



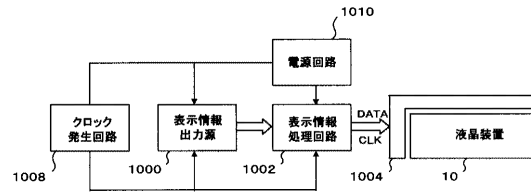
【図 1 5】



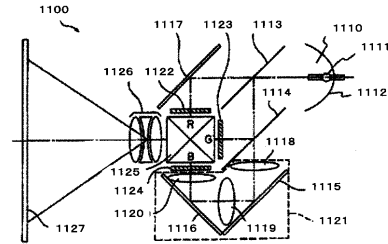
【図 1 6】



【図 1 3】



【図 1 4】



 フロントページの続き

(51) Int.Cl.⁷ F I テーマコード (参考)

G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/20	6 2 3 J
G 0 9 G	3/20	6 2 3 L
G 0 9 G	3/20	6 2 3 R
G 0 9 G	3/20	6 2 3 X
G 0 9 G	3/20	6 4 2 A

F ターム(参考) 5C006 AA16 AA22 AC11 AF22 AF25 AF43 AF50 AF52 AF72 AF73
 BB16 BC08 BC13 BC20 BC23 BF03 BF11 BF24 BF26 BF27
 BF34 BF42 EB05 EC02 EC11 FA12 FA15 FA16 FA22 FA25
 FA37 FA42 FA43 FA47 FA56
 5C080 AA10 BB05 CC03 DD05 DD08 DD23 DD25 DD26 EE29 FF11
 JJ02 JJ03 JJ04 JJ06 KK04 KK43

专利名称(译)	用于电光面板的驱动电路，包括该电光面板的电光装置和电子设备		
公开(公告)号	JP2004334115A	公开(公告)日	2004-11-25
申请号	JP2003133279	申请日	2003-05-12
[标]申请(专利权)人(译)	精工爱普生株式会社		
申请(专利权)人(译)	精工爱普生公司		
[标]发明人	石井 賢哉		
发明人	石井 賢哉		
IPC分类号	G02F1/133 G09G3/20 G09G3/36 G09G5/00		
CPC分类号	G09G3/3688 G09G2310/0248 G09G2310/0297 A63H33/18 B29C45/16 B29L2031/529		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.J G09G3/20.612.T G09G3/20.623.D G09G3/20.623.H G09G3/20.623.J G09G3/20.623.L G09G3/20.623.R G09G3/20.623.X G09G3/20.642.A		
F-TERM分类号	2H093/NA16 2H093/NA42 2H093/NA53 2H093/NC11 2H093/NC21 2H093/NC22 2H093/NC23 2H093/NC34 2H093/NC49 2H093/ND34 2H093/ND36 2H093/ND55 2H093/ND60 2H093/NG02 5C006/AA16 5C006/AA22 5C006/AC11 5C006/AF22 5C006/AF25 5C006/AF43 5C006/AF50 5C006/AF52 5C006/AF72 5C006/AF73 5C006/BB16 5C006/BC08 5C006/BC13 5C006/BC20 5C006/BC23 5C006/BF03 5C006/BF11 5C006/BF24 5C006/BF26 5C006/BF27 5C006/BF34 5C006/BF42 5C006/EB05 5C006/EC02 5C006/EC11 5C006/FA12 5C006/FA15 5C006/FA16 5C006/FA22 5C006/FA25 5C006/FA37 5C006/FA42 5C006/FA43 5C006/FA47 5C006/FA56 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD08 5C080/DD23 5C080/DD25 5C080/DD26 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5C080/KK04 5C080/KK43 2H193/ZA04 2H193/ZC22 2H193/ZD23 2H193/ZR02		
代理人(译)	须泽 修		
外部链接	Espacenet		

解决的问题：在减小基板或装置的尺寸或简化基板上的装置配置或控制模式的同时，在诸如液晶面板的电光面板的驱动电路中执行转移预充电或顺序预充电。在基板上形成电光面板的驱动电路，依次输出传输信号的移位寄存器电路（160），以及依次输出的n（n为2以上的自然数）。采样电路（140），其使用第二传输信号作为采样电路驱动信号来采样图像信号并写入数据线（114），并顺序输出第n-1个传输信号作为预充电电路驱动信号，预充电电路，用于在将图像信号提供给数据线（114）之前将预定电位的预充电信号写入数据线（114）。[选择图]图4

