

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-4529

(P2004-4529A)

(43) 公開日 平成16年1月8日(2004.1.8)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
GO2F 1/1368	GO2F 1/1368	2H090
GO2F 1/1333	GO2F 1/1333 505	2H092
HO1L 21/768	HO1L 29/78 619A	5F033
HO1L 29/786	HO1L 29/78 612C	5F110
	HO1L 21/90 S	

審査請求 有 請求項の数 3 O L (全 25 頁)

(21) 出願番号 特願2003-11523 (P2003-11523)
 (22) 出願日 平成15年1月20日 (2003.1.20)
 (62) 分割の表示 特願平8-210271の分割
 原出願日 平成8年8月8日 (1996.8.8)
 (31) 優先権主張番号 特願平7-251098
 (32) 優先日 平成7年9月28日 (1995.9.28)
 (33) 優先権主張国 日本国 (JP)
 (31) 優先権主張番号 特願平7-336696
 (32) 優先日 平成7年12月25日 (1995.12.25)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100080034
 弁理士 原 謙三
 (74) 代理人 100113701
 弁理士 木島 隆一
 (74) 代理人 100116241
 弁理士 金子 一郎
 (72) 発明者 平石 洋一
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 (72) 発明者 田草 康伸
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内

最終頁に続く

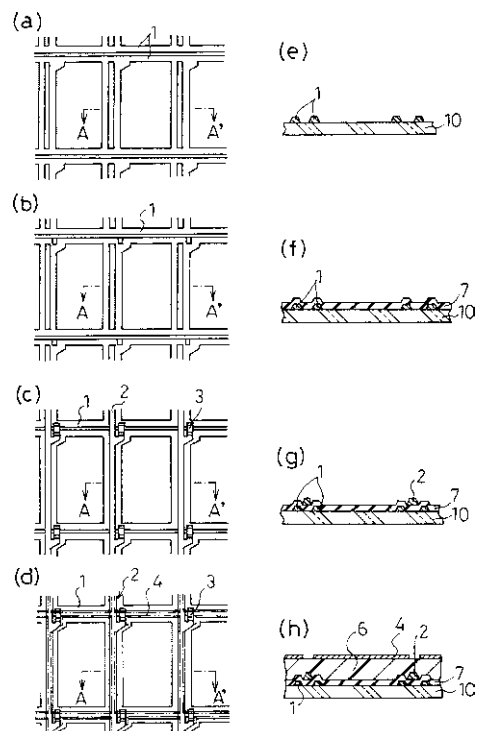
(54) 【発明の名称】 液晶表示素子およびその製造方法

(57) 【要約】 (修正有)

【課題】 低消費電力を図ることができると共に、高精細化が可能となる、アクティブマトリクス型液晶表示素子及び製造方法を得る。

【解決手段】 ゲート配線1、ソース配線2、およびTFT3と、画素電極4との間に、層間絶縁膜6を備えてなる。層間絶縁膜6は、耐熱温度200以上の材料からなる。この構成により、ITO成膜時の温度を200以上とすることができるため、比抵抗及び透過率の良好なITO膜が得られ、ITO膜のパターニング特性も向上する。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

走査配線と信号配線との交差部近傍にスイッチング素子が設けられ、該スイッチング素子に画素電極が接続された液晶表示素子において、

上記走査配線、信号配線、およびスイッチング素子と、上記画素電極との間に、層間絶縁膜を備えてなり、該層間絶縁膜は、耐熱温度 200 以上の材料からなることを特徴とする液晶表示素子。

【請求項 2】

走査配線と信号配線との交差部近傍にスイッチング素子が設けられ、該スイッチング素子に画素電極が接続された液晶表示素子の製造方法において、

基板上に、走査配線、信号配線、およびスイッチング素子を形成する工程と、走査配線と信号配線とスイッチング素子とを覆うように耐熱温度 200 以上の材料からなる樹脂を塗布し、パターンングして、コンタクトホールを有する層間絶縁膜を形成する工程と、

上記層間絶縁膜上およびコンタクトホール内部に、画素電極を 200 以上で成膜する工程とを含むことを特徴とする液晶表示素子の製造方法。

【請求項 3】

上記層間絶縁膜表面に光照射を行って該層間絶縁膜の膜質改善を行う工程をさらに含むことを特徴とする請求項 2 記載の液晶表示素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜トランジスタ (TFT) 等のスイッチング素子を備えたアクティブマトリクス型の液晶表示素子およびその製造方法に関する。

【0002】

【従来の技術】

図 14 (a) は、従来の透過型液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。図 14 (a) に示すように、上記アクティブマトリクス基板には、複数の画素電極 54 がマトリクス状に設けられている。また、ゲート配線 51 ... およびソース配線 52 ... が、上記画素電極 54 の各々の周囲を通り、互いに直交するように設けられている。

【0003】

このとき、ゲート配線 51 は、画素電極 54 が形成された表示領域を囲むようにリング状に形成されており、このような冗長構造をとることにより、断線対策が施されている。また、ゲート配線 51 は、その一部が画素電極 54 の外周部分とオーバーラップしており、その部分に付加容量 (Cs) が形成されている。また、このとき、画素電極 54 は隣のゲート配線 51 上に形成される、いわゆる Cs On Gate 構造となっている。

【0004】

上述したゲート配線 51 とソース配線 52 との交差部分には、画素電極 54 に接続されるスイッチング素子として TFT 53 が設けられている。この TFT 53 のゲート電極にはゲート配線 51 が接続され、TFT 53 は、ゲート電極に入力される信号によって駆動制御される。また、TFT 53 のソース電極にはソース配線 52 が接続され、TFT 53 はソース電極からデータ信号を入力する。

【0005】

図 14 (b) は、図 14 (a) の A - A' 線に沿う平面において上記液晶表示素子を切断した場合の横断面を示す断面図である。図 14 (b) において、TFT 基板 60 上には、図 14 (a) で説明したゲート配線 51 が設けられ、ゲート配線 51 上を覆ってゲート絶縁膜 57 が形成されている。さらに、ゲート絶縁膜 57 上には、図 14 (a) で説明したソース配線 52 と画素電極 54 とが形成されており、ブラックマトリクス (BM) 62 を備えた対向基板 61 との間に液晶 58 を挟んで透過型の液晶表示素子を形成している。

【0006】

また、特開昭64-68726号公報に開示されているTFTを用いれば、図15に示すような透過型液晶表示素子を実現される。この液晶表示素子では、ゲート配線71およびソース配線72と、画素電極74との間に、ポリイミド(Pi)やアクリル等からなる層間絶縁膜76が設けられている。すなわち、ゲート配線71およびソース配線72と、画素電極74とが、別々の層に形成されている。なお、図15において、80および81は透明基板、78は液晶である。上記の構成では、ゲート配線71とソース配線72とを近づけて形成することができるので、前記した従来の液晶表示素子よりも開口率を向上させることが可能となる。

【0007】

【特許文献1】

特開昭64-68726号(公開日:昭和64年3月14日)

【0008】

【発明が解決しようとする課題】

本発明の目的は、低消費電力を実現すると共に、高精細化が可能な液晶表示素子、および、その製造方法を提供することにある。

【0009】

【課題を解決するための手段】

上記の目的を解決するために、本発明の請求項1記載の液晶表示素子は、走査配線と信号配線との交差部近傍にスイッチング素子が設けられ、該スイッチング素子に画素電極が接続された液晶表示素子において、上記走査配線、信号配線、およびスイッチング素子と、上記画素電極との間に、層間絶縁膜を備えてなり、該層間絶縁膜は、耐熱温度200以上の材料からなることを特徴としている。

【0010】

上記構成では、画素電極としてITOを用いる透過型液晶表示装置の場合において、ITOの成膜時の温度を200以上とすることができ、これにより、比抵抗および透過率の良好な膜が得られ、低消費電力を図ることができる。また、パターンニング特性も良くなり、高精細化が図れる。なお、このときの成膜温度としては、230~250程度が特に好ましく、150で成膜した場合と比較すると、比抵抗は半分以下となる。

【0011】

上記の課題を解決するために、請求項2記載の液晶表示素子の製造方法は、走査配線と信号配線との交差部近傍にスイッチング素子が設けられ、該スイッチング素子に画素電極が接続された液晶表示素子の製造方法において、基板上に、走査配線、信号配線、およびスイッチング素子を形成する工程と、走査配線と信号配線とスイッチング素子とを覆うように耐熱温度200以上の材料からなる樹脂を塗布し、パターンニングして、コンタクトホールを有する層間絶縁膜を形成する工程と、上記層間絶縁膜上およびコンタクトホール内部に、画素電極を200以上で成膜する工程とを含むことを特徴としている。

【0012】

上記の製造方法によれば、画素電極としてITOを用いる透過型液晶表示装置の場合において、ITOの成膜時の温度を200以上とすることができ、これにより、比抵抗および透過率の良好な膜が得られ、低消費電力を図ることができる。また、パターンニング特性も良くなり、高精細化が図れる。なお、このときの成膜温度としては、230~250程度が特に好ましく、150で成膜した場合と比較すると、比抵抗は半分以下となる。

【0013】

請求項3記載の液晶表示素子の製造方法は、請求項2記載の製造方法において、光照射を行って該層間絶縁膜の膜質改善を行う工程をさらに含むことを特徴とする。この製造方法によれば、層間絶縁膜表面の膜質が改善され、画素電極との密着性が向上する。これにより、層間絶縁膜と画素電極とが剥離することが防止され、良品率が向上すると共に、高品位な表示が可能な液晶表示素子を提供することが可能となる。

【0014】

10

20

30

40

50

【発明の実施の形態】

〔実施の形態 1〕

本発明の実施の一形態について、図 1 ないし図 3 を参照しながら説明すれば、下記のとおりである。図 1 (a) は、本発明の実施形態 1 に係る液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。

【0015】

図 1 (a) において、アクティブマトリクス基板には、ITO 等の透明材料により形成された複数の画素電極 4 が、マトリクス状に設けられている。また、走査配線としてのゲート配線 1 と、信号配線としてのソース配線 2 とが、画素電極 4 の周囲を通り、互いに直交するように設けられている。上記ゲート配線 1 は、Al, Ta, または Cr 等の不透明な金属にて形成される。ソース配線 2 は、Al, Ta, または Cr 等の金属、あるいは ITO によって形成される。ゲート配線 1 は、後に説明するが、断線に対する冗長性を持たせるために、画素電極 4 (表示領域) を囲むリング状の部分に連結した形状をなしている。

10

【0016】

また、ゲート配線 1 は、少なくともその一部分が画素電極 4 とオーバーラップするように形成され、ゲート配線 1 と画素電極 4 とがオーバーラップする部分に付加容量 (C_s) が形成される。なお、画素電極 4 は、ゲート配線 1 のほぼ全体をオーバーラップするように形成することが好ましく、これにより、付加容量 (C_s) をより大きく形成すると共に、ゲート配線 1 からの直流成分が液晶 8 に印加されることを防止して、液晶表示装置の寿命や信頼性を向上させることが可能となる。

20

【0017】

また、このとき、画素電極 4 は、隣のゲート配線上に形成される、いわゆる CS On Gate 構造となっている。すなわち、図 1 (a) に示す複数の画素電極 4 ... の一つを画素電極 4 a とすると、この画素電極 4 a は、自らとオーバーラップするゲート配線 1 (図中に記号 g 1 を付して示すゲート配線) ではなく、その隣のゲート配線 1 (図中に記号 g 2 を付して示すゲート配線) によって駆動されている。なお、以降では、画素電極 4 a に対するゲート配線 g 2 のように、各画素電極 4 を駆動するゲート配線を、自段ゲート配線と称する。

30

【0018】

ここで、ゲート配線 1 の形状について説明する。ゲート配線 1 は、例えば、図 3 (a) ないし (c) に示すような形状に形成することが可能である。例えば、図 3 (a) に示すように、ゲート配線 1 は、各画素電極 4 の周囲を囲むリング状の部分 (以下、リング部分と称する) R が、ゲート配線 1 の長手方向に連続して繋がった構造に形成され得る。このリング部分 R を、ゲート配線 1 の冗長部と称する。ゲート配線 1 は、このように冗長部を有することにより、一部に断線が生じたとしても、断線不良となり難い。

【0019】

なお、図 3 (a) に示す構成では、隣合うリング部分 R 同士は、ソース配線 2 と平行な部分の両端部において互いに接続されている。このため、各ゲート配線 1 は、全体として、はしご状の構造をなしている。なお、以降では、上記の構造を、はしご構造と称する。このはしご構造は、隣合うリング部分 R 同士が、二箇所すなわちソース配線 2 と平行な部分の両端部において互いに接続されているので、この接続部分においても、両方が断線しない限りは、断線不良とならないという利点がある。

40

【0020】

図 3 (b) に示すゲート配線 1 も、画素電極 4 の周囲を囲むリング部分 R が、ゲート配線 1 の長手方向に連続して繋がった構造に形成されている。ただし、この構造は、完全なはしご構造ではなく、隣合うリング部分 R 同士は、ソース配線 2 と平行な部分の一方の端部において互いに接続されている。なお、同図 (b) に示す構造の変形例として、隣合うリング部分 R 同士が、ソース配線 2 と平行な部分の中央付近において互いに接続された構造としても良い。

50

【0021】

図3(c)に示すゲート配線1は、後に実施の形態2においても説明するが、隣合うリング部分R・Rにおいてソース配線2と平行な部分が共通化された形状である。この形状は、図3(a)または(b)に示す形状よりも開口率を向上させることを目的としたものである。

【0022】

以下では、図3(a)ないし(c)に例示したような、リング状の冗長部を有する配線構造のすべてを、冗長構造と称する。なお、リング状部分は必ずしも画素電極の周囲を囲むように形成しなくても良く、例えば、リング状部分の一部が画素電極の真ん中を通るような構成でも構わない。

10

【0023】

上述したようなゲート配線1およびソース配線2の交差部分近傍には、コンタクトホール5を介して画素電極4と接続されるスイッチング素子としてのTF T3が設けられている。ここでは、ゲート配線1がTF T3のゲート電極を兼ねており、TF T3は、ゲート電極に入力される信号によって駆動制御される。また、TF T3のソース電極にはソース配線2が接続され、TF T3のソース電極にデータ信号が入力される。

【0024】

図1(b)は、図1(a)のA-A'線に沿う平面において上記液晶表示素子を切断した場合の横断面を示す断面図である。図1(b)に示すように、上記液晶表示素子は、アクティブマトリクス基板13と対向基板11との間に液晶8を挟んだ構成となっている。

20

【0025】

まず、アクティブマトリクス基板13の構成について説明する。アクティブマトリクス基板13は、TF T基板10、ゲート配線1、ゲート絶縁膜7、ソース配線2、層間絶縁膜6、および画素電極4が、この順に積層されて構成されている。すなわち、TF T基板10上には、ゲート配線1が設けられ、ゲート配線1の上部を覆うように、SiN_xまたはSiO_x等からなるゲート絶縁膜7が設けられている。ゲート絶縁膜7上には、ソース配線2が形成されている。さらに、ソース配線2を覆うように、アクリル系樹脂またはPi(ポリイミド)等からなる層間絶縁膜6が形成されている。なお、この層間絶縁膜6の膜厚は1~5μm、さらに望ましくは2~3μmとする。

【0026】

層間絶縁膜6の膜厚を上記の範囲とする理由は、(1)層間絶縁膜6表面の平坦化を図るには、層間絶縁膜6の膜厚を配線部分の膜厚よりも厚くする必要があるので、(2)画素電極4とソース配線2とがオーバーラップしている場合、その部分に生じる寄生容量(C_{sp})を小さくするため、である。

30

【0027】

ただし、層間絶縁膜6の膜厚をあまり厚くすると、コンタクトホール5の面積が大きくなってしまふ。例えば、層間絶縁膜6の膜厚が6μm、コンタクトホール5の底面(接続部分)が5μm角であり、コンタクトホール5のテーパ角が60度の場合には、層間絶縁膜6表面におけるコンタクトホール5の開口部の大きさは13μm角以上となる。あるいは、コンタクトホール5のテーパ角が45度の場合には、上記開口部の大きさは16μm角以上となる。このように上記開口部が大きくなると、液晶の配向不良の原因となったり、コンタクト不良が増えたり、層間絶縁膜6の形成工程に時間を要したりする等の不具合が生じるので好ましくない。

40

【0028】

続いて、前記したようにして形成された層間絶縁膜6上に、画素電極4が形成される。これにより、アクティブマトリクス基板13が完成する。さらに、上記のアクティブマトリクス基板13に対向させる対向基板11には、ブラックマトリクス(BM)12及び図示しない対向電極やカラーフィルタが形成される。そして、アクティブマトリクス基板13と対向基板11との間に液晶8が導入されて、本実施の形態に係る液晶表示素子が完成する。

50

【0029】

以上の説明からも明らかなように、本実施形態の構成では、ゲート配線1とソース配線2との間の隙間が、従来の液晶表示装置に比べて大幅に削減されていることが分かる。従来の液晶表示装置では、ソース配線やゲート配線と同じ層に画素電極が形成されていたことにより、ソース配線やゲート配線と、画素電極とを近づけて形成するとリークやディスクリネーションが発生してしまい、液晶表示装置の良品率や表示品位が低下するという問題を有していた。これに対して、この第1実施形態の構成では、ゲート配線1およびソース配線2と、画素電極4とが層間絶縁膜6を介して別々の層に形成されていることにより、従来のような問題が発生することがなく、これらの配線を互いに近づけて形成することが可能となっている。

10

【0030】

なお、層間絶縁膜6としては、なるべく比誘電率の低いものを用いることが好ましい。層間絶縁膜6の比誘電率は、ソース配線2と画素電極4とのオーバーラップが大きくなればなるほど、液晶表示装置の表示特性に関して重要な要素となってくる。なぜなら、この実施の形態1の構成では、自段ゲート配線上に画素電極4が形成されていないので、ゲート配線1と画素電極4の間には寄生容量(C_{gp})は生じないが、ソース配線2と画素電極4とがオーバーラップする場合に、これらの間に生じる寄生容量(C_{sp})が大きいと表示に悪影響を及ぼすからである。

【0031】

次に、上記のアクティブマトリクス基板13の主要な製造プロセスについて、図2(a)ないし(h)を参照しながら説明する。図2(a)ないし(d)は、上記製造プロセスの各々におけるアクティブマトリクス基板13の構成をそれぞれ示す平面図、図2(e)ないし(h)は、図2(a)ないし(d)のA-A'線に沿う平面において切断された横断面をそれぞれ示す断面図である。

20

【0032】

まず、図2(e)に示すように、ガラス等からなるTFT基板10上にAl等をCVD(Chemical Vapor Deposition)法によって4000の厚さに成膜してパターニングすることにより、ゲート配線1が形成される。このとき、ゲート配線1は、図2(a)に示すように、後に形成される画素電極4の周辺部を囲むリング状の部分(以下、リング部分と称する)が、ゲート配線1に沿う方向に連続して繋がった形状になるように、パターニングが行われる。

30

【0033】

次に、ゲート配線1の表面を2000の厚さだけ陽極酸化する。これは、ゲート配線1と後に形成する半導体層との間の絶縁性を向上させ、付加容量(C_s)を大きくするためである。

【0034】

その後、図2(b)および(f)に示すように、CVD法により、 SiN_x 等からなるゲート絶縁膜7を、3000の膜厚になるように、ゲート配線1上に形成する。さらに、このゲート絶縁膜7上にSi半導体層を1000、 n^+ Si層を500の厚さになるように連続して堆積し、パターニングを行うことにより、図示しないチャネル部およびコンタクト部が形成される。

40

【0035】

次に、図2(c)および(g)に示すように、膜厚1000のAlおよび膜厚3000のCrを、CVD法により順次成膜してパターニングすることにより、ソース配線2が形成される。ソース配線2をこのように二層構造にすることにより、ソース配線2に断線冗長性を持たせることが可能となる。この結果、良品率が上がるばかりでなく、ソース配線2をより細く形成することができるため、液晶表示装置の開口率を大幅に向上させることができる。

【0036】

次に、図2(d)および(h)に示すように、ソース配線2上に感光性のアクリル系樹脂

50

をスピンコート法で $3\ \mu\text{m}$ の厚さに塗布することにより、層間絶縁膜6が形成される。ここでは、メタクリル酸とグリシジルメタクリレートとのポリマーをベースポリマーとし、これに感光剤としてナフトキシジアジド系ポジ型感光剤を加えたものを、感光性アクリル樹脂として用いた。層間絶縁膜6としてアクリル系樹脂を用いる理由は次のとおりである。

【0037】

(1) アクリル系樹脂の比誘電率は $3.0 \sim 4.0$ であり、従来一般的に絶縁膜として多く用いられている SiN_x 等の無機膜の比誘電率(8程度)に比べて低く、感光剤を入れたとしてもその比誘電率は $3.4 \sim 3.5$ と十分に低い。

【0038】

(2) 透明度が高い。

【0039】

(3) スピンコート法、ロールコート法、あるいはスロットコート法等により容易に $3\ \mu\text{m}$ という厚い膜厚に形成することができる。従って、ソース配線2と画素電極4との間の寄生容量(C_{sp})を小さくすることができる。

【0040】

これらの理由により、上記の寄生容量(C_{sp})が表示に及ぼす影響(クロストーク等)をより低減することが可能となり、良好で明るい表示を得ることが可能となる。

【0041】

さらに、感光性のアクリル樹脂を用いることにより、パターンングにフォトレジスト塗布工程が不要となり、生産性が向上するという利点もある。このとき、通常露光に使用する波長である、i線(波長 $365\ \text{nm}$)、h線(波長 $405\ \text{nm}$)、またはg線(波長 $436\ \text{nm}$)の発光輝線スペクトルの内、エネルギーが最も強く、可視光でなく紫外光であるi線の波長に反応ピークがある感光性樹脂を用いるのが望ましい。これにより、コンタクトホールを精度良く形成できると共に、紫外光領域にピークがあるため着色を最小限に抑えることができる。

【0042】

これにより、透過型液晶表示装置の透過率を高めることができ、バックライトからの光量を抑制して低消費電力化が図れる。あるいは、バックライトからの光量を従来と同じとした場合は、より明るい表示を実現できる。

【0043】

なお、ここでは、濃度が $0.1 \sim 1.0\ \text{mol}\%$ のテトラメチルアンモニウムヒドロキシサイド現像液(アルカリ溶液)により現像することにより、パターンングを行った。現像液の濃度が $1.0\ \text{mol}\%$ 以上であると、露光しない部分すなわちコンタクトホール以外の部分の感光性透明アクリル樹脂の膜厚の減少量が大きく、膜厚の制御が難しくなる。また、例えば $2.4\ \text{mol}\%$ 程度の高濃度の現像液を使用した場合は、現像のヌキの部分、すなわちコンタクトホールを形成すべき部分に、アクリル樹脂の変質物が残滓として残り、コンタクト不良を招来するという問題を生じる。一方、現像液の濃度が $0.1\ \text{mol}\%$ より低い場合には、現像液を循環して繰り返し使用する方式の現像装置では濃度の変動が大きいために濃度制御が難しくなる。このため、上記現像液の濃度は、上述のように、 $0.1 \sim 1.0\ \text{mol}\%$ とすることが好ましい。

【0044】

また、本実施形態では、層間絶縁膜6の材料として、あらかじめ着色されたアクリル樹脂を使用し、パターンングを行った後に全面露光処理を施してさらに透明化する。これにより、パターンングが行い易くなるので、生産性がさらに向上する。なお、このようなアクリル樹脂の透明化は、光学的な処理だけではなく、化学的な処理によって行うことも可能である。

【0045】

次に、層間絶縁膜6上にITOを 1500 の膜厚に堆積し、パターンングすることにより、画素電極4を前述のようにマトリクス状に形成した。その際に、画素電極4を形成す

10

20

30

40

50

る前に、層間絶縁膜 6 の表面に対して例えばドライエッチング装置を用いた酸素プラズマ処理により、層間絶縁膜 6 の表面から 1000 ~ 3000 程度の厚さに対して灰化処理（アッシング処理）を行った。この灰化処理においては、平行平板型プラズマエッチング装置が使用され、RF パワー 1.2 KW、圧力 800 mTorr、酸素流量 300 sccm、温度 70、RF 印加時間 120 sec の条件で、アクリル樹脂の表面を灰化させる。

【0046】

このとき、酸素プラズマ中で処理を行うことにより、層間絶縁膜 6 の表面は、有機物の酸化分解で水と二酸化炭素が抜けて出て行き、荒れた状態となる。このような効果は、膜表面から 1000 以上に対して灰化処理を行った場合に得られるが、あまり灰化しすぎると、膜減りが大きくなりすぎて膜厚にばらつきが生じ、配向乱れを招来して表示に悪影響を与える恐れがある。このため、灰化処理を行う膜厚は、5000 以下とすることが好ましく、さらに好ましくは 3000 以下に制御する。また、上記のドライエッチング装置は、パレル方式、RIE 方式等の方式によらず、層間絶縁膜 6 と画素電極 4 との密着性改善効果が得られた。

10

【0047】

なお、この処理を、感光性樹脂の残滓除去工程と同時に行えば、プロセス数の増加にはつながらない。また、層間絶縁膜 6 として感光性でないものを用いた場合には、フォトレジスト除去工程と同時に灰化処理を行えば、プロセス数の増加にはつながらない。

【0048】

また、層間絶縁膜 6 の表面にオゾン雰囲気中でエキシマ光などの紫外光を照射してその表面を荒らすことにより、灰化処理と同様の効果が得られる。

20

【0049】

その後、ポリイミド等からなる配向膜（図示せず）を形成し、この配向膜表面にラビング処理を行った。このとき、層間絶縁膜 6 の膜厚を、従来よりも十分厚い 3 μ m に形成しているため、層間絶縁膜 6 の表面がより平坦化され、従来の問題点であった液晶の配向の乱れ等が生じない。

【0050】

また、このように層間絶縁膜 6 を、数 μ m と厚く形成することにより、バックライトから斜めに入射する光（斜め光）が画素部分に入射される。このため、この液晶表示装置を直視型として用いた場合、実際の開口率よりも表示に寄与する見かけ上の開口率は高くなり、コントラストの向上が図れる。また、斜め光の有効活用により視野角も広がる。このことから、ゲート配線 1 およびソース配線 2 と、画素電極 4 とを多少オーバーラップさせるように形成すると良いことが分かる。

30

【0051】

また、ここで層間絶縁膜 6 は数 μ m と厚く形成されるので、層間絶縁膜 6 の材料としては、できるだけ透過率の高いもの、具体的には透過率 90% 以上のものを使用することが望ましい。その場合、人間の視感度は、緑や赤の波長に比べると、青（400 ~ 500 nm）の波長において若干劣るので、若干の色づきがある材料を使用する場合には、緑や赤の分光透過率が高く、青の分光透過率が若干劣るような材料を選択することが望ましい。

40

【0052】

さらにその後、アクティブマトリクス基板 13 と、ブラックマトリクス 12 及び図示しない対向電極やカラーフィルターを備えた対向基板 11 との間に液晶 8 を導入することにより、本実施形態の液晶表示素子が完成する。

【0053】

以上のようにして作製された本実施形態の液晶表示素子は、従来よりも開口率が向上するだけでなく、ゲート配線 1 およびソース配線 2 の各々と画素電極 4 とが同じ層内で重なることがないので、ディスクリネーションが発生しない。また、アクティブマトリクス基板 13 の表面（層間絶縁膜 6 の表面、あるいは画素電極 4 における液晶 8 との接触面）が平坦化されているため、液晶 8 の配向乱れが生じない。さらには、画素電極 4 と自段ゲート

50

配線とが全く重なることがなく、ソース配線 2 と画素電極 4 との重なり部分に生じる寄生容量 (C_{sp}) も小さいので、液晶表示装置の表示品位 (コントラスト、視野角等) が大幅に向上する。

【0054】

具体的には、本実施形態の液晶表示装置のコントラストは、従来の約 3 倍にあたる 300 : 1 以上にまで改善されている。また、視野角については、液晶の屈折率異方性とセル厚との積 ($n \times d$) を小さくすることにより、液晶表示装置の真横から観察しても表示内容を識別できるぐらいまでに視野角特性を改善することができる。以上のように、本実施形態の液晶表示装置では、従来の液晶表示装置では実現することのできなかつた真のフルカラー 1670 万色 (256 階調) の表示が可能となる。

10

【0055】

また、本実施形態の製造工程によれば、従来の製造工程に比べて、ソース配線が基板表面に露出されている時間が少ないので、ゴミ等が原因となる断線の確率が大幅に減少する。この結果、良品率が大幅に向上する。また、ソース配線をさらに細く形成することができ、開口率がさらに向上するという効果を奏する。

【0056】

また、ゲート配線 1 が、ゲート絶縁膜 7、層間絶縁膜 6、および画素電極 4 により覆われた構成となっているので、液晶 8 に直流成分が印加されることがなく、液晶の劣化が防止される。この結果、液晶表示装置の信頼性や製品寿命が大幅に向上する。

【0057】

なお、図 1 (a) に示すように、コンタクトホール 5 は、配線上に設けるのが好ましい。これは、コンタクトホールが形成された領域は平坦ではないので、その領域において液晶の配向の乱れを招来し、表示上好ましくないからである。なお、図 5 (a) に示すように、コンタクトホール 5 を大きく形成した方がコンタクトが取りやすく、また、コンタクト抵抗が下がることから好ましい。

20

【0058】

なお、本実施形態の液晶表示装置を、対角 10.4 インチの VGA 仕様とし、ゲート配線 1 およびソース配線 2 の線幅を共に $10 \mu\text{m}$ とした場合の開口率は 67% であった。これと同様の条件で作製された従来の液晶表示装置の開口率は、60% にしかならないことから、開口率が 7% も向上している (従来比 112%) ことが分かる。従って、同じ明るさの液晶表示装置を想定した場合には、低消費電力化を図ることが可能となる。また、同じ消費電力のバックライトを使用した場合には、明るい液晶表示装置を実現することが可能となる。

30

【0059】

なお、上記の開口率の差は、従来は、ゲート配線とソース配線との隙間が最低でも $4 \mu\text{m}$ 程度必要であったことによる。なお、本実施形態の構成では、基板面に水平な方向におけるゲート配線 1 とソース配線 2 との間隔を 0 としている。また、好ましくは、ゲート配線 1 とソース配線 2 とが若干オーバーラップするように形成した方が、製造工程における精度を上げる必要がないという点で有利である。

【0060】

また、本実施形態の液晶表示装置の駆動方法としては、1H 反転駆動法を用いることが好ましい。この 1H 反転駆動法とは、1 ゲートライン反転駆動法とも呼ばれており、ソース配線へ印加するデータ信号の極性を 1 水平期間 (1H) 毎に反転させる駆動法である。この駆動法によれば、ソース配線と画素電極との間の寄生容量が同じであっても、液晶に印加される実効電圧の影響を、フィールド反転駆動法に比べて $1/5 \sim 1/10$ に低減することができる。この結果、液晶の劣化が防止され、液晶表示装置の寿命や信頼性を向上させることができる。

40

【0061】

この理由は、1H 反転駆動法の場合には、1 フィールドの間に、1 フィールドの時間に対して十分に短い周期でデータ信号の極性が反転されるため、+ 極性の信号と - 極性の信号

50

とが表示に与える影響がキャンセルされるためである。

【0062】

なお、本実施形態の液晶表示装置の駆動方法として、上記の1H反転駆動法の他に、ソース配線へ印加するデータ信号の極性を1ソース配線毎に反転させるソースライン反転駆動法や、上記データ信号の極性を隣接する1画素毎に反転させるドット反転駆動法を用いても良い。

【0063】

上記のソースライン反転駆動法では、隣合うソース配線同士に逆極性の信号が入力されるため、ソース配線と画素電極とのオーバーラップ部分にできる寄生容量を、隣合うソース配線同士でキャンセルし合うこととなる。このため、寄生容量の大きさが同じであっても、フィールド反転駆動法に比較して、実効電圧が液晶へ与える影響を小さくすることができる。

10

【0064】

また、上記のドット反転駆動法では、隣合うソース配線同士に逆極性の信号が入力され、且つ1H期間ごとにも信号の極性反転が行われる。このため、寄生容量の大きさが同じであっても、フィールド反転駆動法に比較して、実効電圧が液晶へ与える影響を小さくすることができる。また、このドット反転駆動法は、上記の1H反転駆動法とソースライン反転駆動法とを組み合わせた駆動法であり、これらの駆動法と比べて、実効電圧が液晶へ与える影響を小さくする点で最も効果的である。

【0065】

なお、上記の1H反転駆動法、ソースライン反転駆動法、あるいはドット反転駆動法による効果は、画素電極が縦長なOA用の液晶表示パネルにおいて特に顕著である。

20

【0066】

また、層間絶縁膜6の材料として樹脂を用いる場合には、この樹脂を染色しても良く、これによれば、層間絶縁膜6がカラーフィルタまたは遮光膜としての機能をも有するという効果を奏する。

【0067】

また、この実施形態においては、層間絶縁膜6の材料として感光性アクリル樹脂を用いたが、これに限定されるものではない。感光性アクリル樹脂の他には、例えば日本合成ゴム株式会社製商品名「JSS-924」（二液性アクリル系樹脂）や「JSS-925」（一液性アクリル系樹脂）などの感光性でないアクリル樹脂や、比誘電率が低く且つ透明度の高い材料、具体的には可視光領域の透過率が90%以上のものを用いることが好ましい。例えば、ポリアミドイミド（比誘電率3.5~4）、ポリアリレート（3.0）、ポリエーテルイミド（3.2）、エポキシ（3.5~4）、あるいは透明度の高いポリイミド（3~3.4）等を用いることができる。なお、上記の透明度の高いポリイミドは、例えばヘキサフルオロプロピレンを含む酸二無水物とジアミンとの化合物によって実現される。

30

【0068】

さらに、画素電極4として、ITOを用いる透過型液晶表示装置の場合においては、層間絶縁膜6の材料として耐熱温度200以上のものを用いることがより好ましい。これは、ITOの成膜時の温度を200以上とすれば、比抵抗および透過率が良好な膜が得られ、低消費電力化が図れるからである。また、パターンニング性も良くなり、高精細化が図れる。このときの成膜温度としては、230~250程度が特に好ましく、150で成膜した場合と比較すると、比抵抗は半分以下になる。

40

【0069】

また、本実施形態の液晶表示装置では、図1(a)および(b)に示すように、ゲート配線1のほぼ全体が、画素電極4の下方に位置するようになっているので、液晶8に直流成分が印加されないという利点がある。この結果、液晶の劣化が防止され、液晶表示装置の信頼性や寿命が向上するという効果を奏する。

【0070】

50

〔実施の形態 2〕

本発明の実施の形態 2 について図 3 および図 4 を参照しながら説明すると、下記のとおりである。なお、前記した実施形態で説明したものと同様の機能を有する構成には、同一の符号を付記し、その説明を省略する。後述する他の実施形態においても同様とする。

【0071】

図 4 (a) は、本発明の実施の形態 2 に係る液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。また、図 4 (b) は、図 4 (a) の A - A ' 線に沿う平面において切断された上記液晶表示素子の横断面を示す断面図である。

【0072】

図 4 (a) および (b) に示すように、本実施形態のアクティブマトリクス基板と、前記実施の形態 1 のアクティブマトリクス基板との違いは次のとおりである。 10

【0073】

(1) ゲート配線 1 が、図 3 (c) に示したように、隣合うリング部分 R ・ R においてソース配線 2 と平行な部分が共通化された形状をなしていること。

【0074】

(2) 隣合うリング部分 R ・ R において共通化された部分がソース配線 2 の下側に形成されていること。

【0075】

本実施形態の液晶表示装置は、図 4 (b) に示すように、ゲート配線 1 とソース配線 2 との交差部分での段差が大幅に小さくなるため、ソース配線 2 が断線しにくくなっている。この結果、良品率が向上するだけでなく、ソース配線 2 をさらに細く形成することができるので開口率がさらに向上するという効果を奏している。 20

【0076】

また、配線のパターニングにおけるプロセスマージンを無くすることができるため、開口率も向上している。さらに、ゲート配線 1 においてソース配線 2 と平行に配設されている部分をこれまでよりも太く形成することが可能となるため、断線が起こりにくい。

【0077】

なお、この実施形態の構成では、ゲート絶縁膜 7 を厚く形成することが好ましい。これは、ゲート絶縁膜 7 を厚く形成した方が、ゲート配線 1 とソース配線 2 との重なり部分に生じる寄生容量の減少が図れるからである。また、TFT3 におけるゲート配線 1 と半導体層との絶縁性が向上するためである。このとき、ゲート絶縁膜 7 としては、SiO₂ を用いることがより好ましい。これは、 30

(1) SiO₂ の比誘電率は 4 と低いため、ゲート配線 1 とソース配線 2 との重なり部分に生じる寄生容量をさらに抑えることができる。

【0078】

(2) 透明度が高いため、膜厚を厚くした場合でも色純度が落ちない。という理由による。

【0079】

なお、この実施形態においては、対向基板 11 に形成されたブラックマトリクス 12 の線幅を細く形成することが可能となっている。しかしながら、ブラックマトリクス 12 の線幅は、アクティブマトリクス基板 13 と対向基板 11 とを貼り合わせる際のマージン等を考慮すると、具体的には配線幅の 3 / 4 ~ 1 / 2 程度とすることが好ましい。 40

【0080】

また、この実施形態では、冗長構造のゲート配線 1 において、ソース配線 2 と平行に配設されている部分の線幅を 20 μm、その他の配線幅を 10 μm としている。

【0081】

このときの液晶表示装置の開口率は 75 % であった。この値は、従来の液晶表示装置の開口率 (60 %) に比べると 15 % (従来比 125 %) も向上した値となっている。すなわち、本実施形態の液晶表示装置は、開口率が大幅に向上していることが分かる。

【0082】

また、本実施形態 2 においては、画素電極 4 を長方形に形成することにより、パターンニングの容易化を図っている。この構成は、後述する実施の形態 8 で詳述するが、TFT3 のオフ特性を大幅に向上させることができる。この結果、かすみ（画面が全体に白っぽく見える現象）の见えない高表示品位の液晶表示装置が実現される。

【0083】

〔実施の形態 3〕

本発明の実施の形態 3 について、図 5 (a) および (b) を参照しながら説明すると以下のとおりである。図 5 (a) は、本発明の実施の形態 3 に係る液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。また、図 5 (b) は、図 5 (a) の B - B ' 線に沿う平面において切断された液晶表示素子の横断面を示す断面図である。

10

【0084】

図 5 (a) および (b) に示すように、実施の形態 3 に係るアクティブマトリクス基板では、冗長構造のゲート配線 1 においてソース配線 2 と平行に配設されている部分が、ソース配線 2 の下側に、該ソース配線 2 と同じもしくはそれよりも細い線幅で形成されている。

【0085】

さらに、冗長構造のゲート配線 1 においてソース配線 2 と直交して配設されている部分であって、コンタクトホール 5 または TFT3 が形成されていない部分の上に、ソース配線 2 と同じ材料によって、容量配線 2 1 が形成されている。本液晶表示装置では、この容量配線 2 1 によって付加容量 (C_s) が形成されている。なお、この容量配線 2 1 が形成されている位置を分かりやすくするために、図 5 (a) において、容量配線 2 1 に斜線を付して図示した。

20

【0086】

なお、図 5 (b) に示すように、ゲート配線 1 において上記容量配線 2 1 が形成されている部分は、ゲート絶縁膜 7 が除去されている。さらに、容量配線 2 1 の上部の層間絶縁膜 6 は、他の部分よりも薄くなるように形成されている。このように、容量配線 2 1 を形成した箇所において、画素電極 4 とゲート配線 1 との間隔を小さくしたことにより、画素電極 4 とゲート配線 1 との間に大きな付加容量 (C_s) を形成することができる。

【0087】

また、本液晶表示装置のアクティブマトリクス基板では、対向基板 1 1 において、ブラックマトリクス等の遮光膜がゲート配線 1 の長手方向にのみ設けられている。本実施形態に係る液晶表示装置は、上記の点において実施の形態 2 と異なっており、その他の構成は、実施の形態 2 と同様である。

30

【0088】

ここで、本実施形態に係る液晶表示装置の製造方法について説明する。まず、TFT基板 1 0 上にゲート配線 1 を形成する。次に、このゲート配線 1 を覆うように、ゲート絶縁膜 7 を形成する。さらに、上記ゲート絶縁膜 7 上に、図示しない半導体層、 $n+$ 層を形成する。さらに、ゲート絶縁膜 7 において、後で容量配線 2 1 を形成する箇所に、開口部を形成する。すなわち、ゲート配線 1 においてソース配線 2 と直交する部分であって、コンタクトホール 5 および TFT3 が形成されない部分のゲート絶縁膜 7 が除去される。このようにゲート絶縁膜 7 に開口部を形成する処理を、ゲート配線 1 の外部駆動回路を実装する端子上のゲート絶縁膜 7 を除去する処理と同時に進めれば、工程数の増加はない。

40

【0089】

次に、Ta、Al 等によって、ソース配線 2、画素電極 4 とのコンタクト電極（ドレイン電極）、および容量配線 2 1 を形成する。このように、同じ材料を用いてソース配線 2 と同時に容量配線 2 1 を形成することにより、工程数の増加は生じない。

【0090】

次に、基板を電解液に浸した状態でゲート配線 1 に電源を接続し、陽極酸化を行う。このとき、半導体層等をゴム系レジスト等で保護することが望ましい。その後、層間絶縁膜 6

50

、画素電極 4、および図示しない配向膜を順次形成した後、ブラックマトリクス 12 を有する対向基板 11 と貼り合わせた後に液晶 8 を封入すれば、液晶表示素子が完成する。

【0091】

本実施形態の液晶表示素子においては、上記したようにゲート配線 1 上に、ソース配線 2 と同じ材料からなる容量配線 21 が形成されているため、付加容量 (C_s) が増える。また、上記したように容量配線 21 を形成するための工程を必要としないので、全体工程数が増加しないという利点もある。

【0092】

なお、上記の容量配線 21 は、陽極酸化法等によってその表面に金属酸化膜を形成しておくことが好ましい。これは、陽極酸化法等によって酸化された金属酸化膜は、一般に比誘電率が高いからである。例えば、酸化タンタルの比誘電率は 25、酸化チタンの比誘電率は 90 である。これにより、さらに大きな付加容量 (C_s) を容易に得ることができる。引いては、配線をさらに細く形成することができるため、開口率を向上させることができる。また、容量配線 21 を陽極酸化した場合には、容量配線 21 と画素電極 4 との間に層間絶縁膜 6 を設ける必要はない。ただし、層間絶縁膜 6 を少し残した方が、リークの危険性が減るので好ましい。

【0093】

本実施形態に係る液晶表示装置の開口率は 84% であった。なお、この開口率は、ゲート配線 1 およびソース配線 2 の線幅を、共に 10 μm とした場合の値である。この値は、従来の液晶表示装置の開口率 (60%) に比べると 24% (従来比 140%) も向上している。従って、本実施形態の構成によれば、開口率が大幅に向上した液晶表示装置を提供することが可能となる。また、従来とほぼ同様の設計ルールおよび製造プロセスを用いることができるので、非常に有効であることが分かる。

【0094】

〔実施の形態 4〕

本発明の実施の形態 4 について、図 6 を参照しながら説明すると以下のとおりである。図 6 は、本発明の実施の形態 4 に係る液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。

【0095】

図 6 に示すように、本実施形態のアクティブマトリクス基板では、冗長構造のゲート配線 1 においてソース配線 2 と直交して配設されている部分の線幅を太く形成することで、付加容量 (C_s) 領域を大きくしている。また、TF T3 が形成されていないゲート配線 1 a の線幅が、TF T3 が形成されているゲート配線 1 b よりも太く形成されている。ゲート配線 1 a の線幅は 20 μm 、ゲート配線 1 b の線幅は上記ゲート配線 1 a の半分の 10 μm とする。また、ソース配線 2 は、厚さ 3000 の Al 膜の単層である。その他の構成は、前記実施の形態 2 と同様である。

【0096】

このように、ゲート配線 1 a の線幅をゲート配線 1 b よりも太く形成する理由は、次のとおりである。すなわち、ゲート配線 1 a 上にはコンタクトホール 5 が形成されるため、ゲート配線 1 a と画素電極 4 との間に形成される層間絶縁膜 6 の厚みは薄くなっており、より効果的に付加容量 (C_s) を形成することができるからである。また、コンタクトホール 5 のコンタクト部の面積を広くとることが可能となると共に、マージンを持たせることが可能となっている。

【0097】

本実施形態の液晶表示装置の開口率は 81% (従来比 135%) であった。つまり、本実施形態の構成は、配線幅を太く形成しているにも拘わらず、従来よりも開口率が向上している。

【0098】

なお、この実施形態の構成においても、上述した実施の形態 3 に示したように、ソース配線材料と同じ材料を用いて、ゲート配線 1 上に、付加容量を形成するための薄膜を形成す

10

20

30

40

50

ると効果的である。また、このとき、ゲート配線 1 b を細く形成し、T F T 3 における半導体層も細く形成することにより、T F T 3 の特性を向上させることができる。

【0099】

〔実施の形態 5〕

本発明の実施の形態 5 について、図 7 および図 8 を参照しながら説明すると以下のとおりである。

【0100】

図 7 (a) は、本発明の実施の形態 5 に係る液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。また、図 7 (b) は、図 7 (a) の B - B ' 線に沿う平面において切断された液晶表示素子の横断面を示す断面図である。

10

【0101】

図 7 (a) および (b) に示すように、この実施形態の液晶表示装置のアクティブマトリクス基板では、冗長構造のゲート配線 1 のリング状の部分において、ソース配線 2 に直交し、且つ T F T 3 が形成されていない側のほぼ全面に、ゲート絶縁膜 7 を介してドレイン電極 3 0 が形成されている。また、このドレイン電極 3 0 表面のほぼ全面が露出するように、層間絶縁膜 6 にコンタクトホール 1 5 が形成されている。ドレイン電極 3 0 と画素電極 4 とは、このコンタクトホール 1 5 を介して互いに接続されている。このとき、付加容量 (C_s) は、ドレイン電極 3 0 とゲート配線 1 との重なり部分に介在するゲート絶縁膜 7 により形成されている。

【0102】

この実施形態では、ソース配線 2 として、A 1 または T a 等の遮光性を有する金属材料を使用することができる。また、このソース配線 2 と同じ材料および同じプロセスにて形成される遮光膜 2 2 が、隣合うゲート配線 1 同士の間を介在するゲート絶縁膜 7 の上に、上記ゲート配線 1 に沿って形成されている。一方、遮光膜 2 2 に直交する方向においては、ソース配線 2 が遮光膜を兼ねる。すなわち、この実施形態の構成では、対向基板 1 1 にブラックマトリクス等の遮光膜を形成する必要がない。

20

【0103】

以上のように、この実施形態の液晶表示装置は、ゲート絶縁膜 7 によって付加容量が形成された構成である。ゲート絶縁膜 7 は、層間絶縁膜 6 に比べて非常に薄く、また、比誘電率の高い SiN_x , SiO_x 等から形成されている。これにより、大きな付加容量を得ることが可能となる。また、ソース配線 2 と同じ材料・同じプロセスで形成される遮光膜 2 2 を用いて、互いに隣接するゲート配線 1 ・ 1 間を遮光するようになっているので、プロセスの短縮とコストダウンを図ることができる。なお、この遮光膜 2 2 は、互いに隣接するゲート配線 1 ・ 1 と重なりをもつように形成されていても良い。

30

【0104】

上記では、ソース配線 2 と同じ材料を用いて遮光膜 2 2 を形成した構成について説明したが、この遮光膜 2 2 の代わりに T F T 3 のドレイン電極を利用して、隣合うゲート配線 1 ・ 1 間を遮光する構成としても良い。より具体的には、図 8 (a) および (b) に示すように、T F T 3 のドレイン電極 3 1 を、隣合うゲート配線 1 ・ 1 間を覆うように、自段ゲート配線とオーバーラップする位置まで延設する。

40

【0105】

なお、この場合、自段ゲート配線とドレイン電極 3 1 との間で寄生容量 (C_{gd}) ができる。この寄生容量 (C_{gd}) は、すなわち自段ゲート配線と画素電極 4 との間の寄生容量 (C_{gp}) である。しかしながら、自段ゲート配線とドレイン電極 3 1 との重なりを最小限に抑えることで、寄生容量の影響を極力抑制することができる。また、上記の構成では、付加容量 (C_s) は、ドレイン電極 3 1 と、自段ゲート配線に隣接するゲート配線 1 とがオーバーラップする部分によって形成される。

【0106】

〔実施の形態 6〕

本発明の実施の形態 6 について、図 9 (a) および (b) を参照しながら説明すると以下

50

のとおりである。

【0107】

図9(a)は、本発明の実施の形態6に係る液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。また、図9(b)は、図9(a)のA-A'線に沿う平面において切断された上記液晶表示素子の横断面を示す断面図である。

【0108】

図9(a)および(b)に示すように、本実施形態のアクティブマトリクス基板では、スイッチング素子としてのTFT32が、前述の実施の形態1ないし5で説明したようなボトムゲート配線構造(例えば逆スタガ型)ではなく、トップゲート配線構造(例えばスタガ型)になっている。

10

【0109】

本実施形態の構成では、最初にソース配線2やドレイン電極が形成され、次に半導体層およびゲート絶縁膜7が形成され、さらにその後ゲート配線1が形成される。そして、ゲート絶縁膜7およびゲート配線1の上部に層間絶縁膜6が形成され、コンタクトホール35が形成された後、画素電極4が形成される。なお、この他の構成は、前記した実施の形態1と同様である。

【0110】

本実施形態の構成では、コンタクトホール35はできるだけ小さく形成する方が好ましい。これは、ゲート配線1がソース配線2の上部に形成されているので、表示に寄与しない配線上でのコンタクトホールの形成が難しく、コンタクトホール35は、表示領域内に形成せざるを得ないからである。

20

【0111】

また、本実施形態の構成では、ソース配線2が画素電極4と全く重ならない構造となっているので、ソース配線2と画素電極4との間の寄生容量(C_{sp})が全く無い。また、ゲート配線1と画素電極4との距離が近い構造となっているので、ゲート配線1と画素電極4との間に生じる付加容量(C_s)は大きい。このため、各配線を細く形成することができる。

【0112】

また、コンタクトホール35の部分に図示しない平坦化層を埋め込むことにより、表示領域中に形成されたコンタクトホール35の表面を平坦化することができる。これにより、液晶8の配向乱れが生じなくなり、液晶表示装置の表示品位はさらに向上する。

30

【0113】

〔実施の形態7〕

本発明の実施の形態7について、図10および図11を参照しながら説明すると以下のとおりである。

【0114】

図10(a)は、本発明の実施の形態7に係る液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。また、図10(b)は、図10(a)のA-A'線に沿う平面において切断された上記液晶表示素子の横断面を示す断面図である。

40

【0115】

図10(a)および(b)に示すように、上記アクティブマトリクス基板では、ゲート配線1は画素電極4が形成された表示領域を囲むようなリング状部分を有する冗長構造とされており、これによって断線対策が施されている。さらに、ソース配線20は、各画素電極4の両側に形成される二本の分岐配線20a・20bと、画素電極4の真ん中を横切って分岐配線20a・20bを互いに接続する接続配線20cとによって形成されている。つまり、この構成では、ゲート配線1だけでなく、ソース配線20もはしご状の冗長構造をなしており、これによって断線対策が施されている。

【0116】

なお、上記の分岐配線20aは、TFT3と接続されており、TFT3にデータ信号を供

50

給する。一方、上記の分岐配線 20b は、予備配線として機能するものである。

【0117】

従来、予備配線を表示領域外に設けておき、レーザ照射等によって断線箇所と予備配線とを接続することにより、断線不良を修正する方法が一般的に用いられている。しかし、この方法によると、修正できる本数が予備配線の数によって限られている。多くの予備配線を形成すると非表示領域が大きくなってしまいうため好ましくない。また、レーザ照射等の修正工程が必要である。

【0118】

これに対して、本実施形態の構成では、ゲート配線 1 とソース配線 20 との両方がリング状部分を有する冗長構造をなす。このため、例えば、ソース配線 20 に関しては、分岐配線 20a・20b が、隣合う接続配線 20c の間で 2 本とも切れない限りは断線不良とならず、従来のレーザ照射のような修正工程が必要ない。

10

【0119】

なお、本実施形態では、図 10(a) および (b) に示すように、ソース配線 20 は、各画素電極 4 の両側に形成される二本の分岐配線 20a・20b と、画素電極 4 の真ん中を横切るように配置され、分岐配線 20a および 20b を互いに接続する接続配線 20c とによって形成されている。しかし、ソース配線 20 の構成は、これに限らず、例えば分岐配線 20b を、画素電極 4 の真ん中を縦断する位置に形成しても良い。また、本実施形態では、接続配線 20c は、1 つの画素電極 4 毎に形成されているが、これに限定されるものではない。

20

【0120】

また、ソース配線 20 を金属のみで形成すると、画素電極 4 を横切る接続配線 20c の分だけ開口率が低下してしまう。しかし、(1) ソース配線 20 を ITO の単層で形成する、あるいは、(2) ソース配線 20 を金属と ITO との二層構造とする場合には、接続配線 20c を ITO のみにより形成する、という方法によれば、開口率の低下を防止することができる。

【0121】

図 11 は、本実施形態のアクティブマトリクス基板におけるソース配線 20 の変形例を示す平面図である。この変形例では、上記の接続配線 20c の代わりに、図 11 に示すように、ソース配線 20 の分岐配線 20a が TFT3 と接続するために枝別れしている部分が延長されて、分岐配線 20a および 20b を互いに接続するための接続配線 20d が形成されている。このとき、接続配線 20d は、互いに隣接するゲート配線 1・1 の間を通り、且つこれらのゲート配線 1・1 の各々と重なり部分を有するように形成することが好ましい。この構成によれば、開口率の低下を招くことが無く、さらに、接続配線 20d が互いに隣接するゲート配線 1・1 間の遮光膜を兼ねることが可能となる。

30

【0122】

以上のように、本実施形態の液晶表示装置は、ゲート配線 1 およびソース配線 20 がそれぞれリング状の部分を有する冗長構造である。これにより、ソース配線 20 に関しても、隣合う接続配線 20c または 20d の間で分岐配線 20a・20b が二本とも切れていない限りは断線不良とはならず、良品率が大幅に向上されると共に、コストダウンが図れる。

40

【0123】

〔実施の形態 8〕

本発明の実施の形態 8 について、図 12 を参照しながら説明すると以下のとおりである。

【0124】

実施の形態 8 に係る液晶表示装置が備えるアクティブマトリクス基板では、ゲート配線 1 およびソース配線 2 の交差部の近傍、すなわち TFT3 の近傍が、ゲート絶縁膜 7 や層間絶縁膜 6 が分極化してスイッチング素子としての TFT3 のオフ特性が劣化することを防ぐための構造となっている。これは、層間絶縁膜 6 としてアクリル等の有機樹脂材料が用いられた場合に特に効果的である。

50

【0125】

上記したゲート配線1とソース配線2との交差部近傍の具体的な構造を、図12(a)および(b)を参照しながら説明する。まず、図12(a)において交差部Aとして図示した構造は、TF T3の上部を覆うように、画素電極4と同じ材料からなる補助電極24が、層間絶縁膜6上にアイランド状に設けられた構成である。

【0126】

また、交差部Bとして図示した構造は、層間絶縁膜6上の画素電極4が、TF T3の上部を覆うように延設された構成である。この構成は、各画素電極4は長形状に形成されるので、パターンングが容易であることから特に好ましい。

【0127】

また、交差部Cとして図示した構造は、層間絶縁膜6を介してTF T3の上部を覆うように、画素電極4と同じ材料からなる補助電極25が形成された構成である。なお、上記補助電極25は、図12(b)に示すように、隣接するゲート配線1と、層間絶縁膜6に設けられたコンタクトホール26を介して接続されている。なお、図12(b)は、上記交差部Cを、図12(a)に示すD-D'線に沿う平面において切断した横断面を示す断面図である。

【0128】

上記した交差部A、B、またはCの構造は、高温(60)でのエージング試験でいずれもTF T3のオフ特性の劣化を防止する点において非常に効果があり、これらの構造のいずれかを適用した液晶表示装置では、TF T3のオフ特性のシフト量は非常に小さかった。そのため、信頼性が高く、また、かすみの無い非常に鮮明な表示の液晶表示装置を得ることができた。

【0129】

〔実施の形態9〕

本発明の実施の形態9について、主に図13を参照しながら説明すると、下記のとおりである。

【0130】

図13(a)に示すように、本実施形態に係る液晶表示装置が備えるアクティブマトリクス基板は、図3(c)に示したようなはしご構造のゲート配線1を備えている。また、このゲート配線1においてソース配線2と平行な部分は、ソース配線2に完全に覆われるように、ソース配線2と同じ線幅か、あるいはソース配線2よりも細い線幅に形成されている。

【0131】

上記アクティブマトリクス基板は、マトリクス状に配置された長方形の画素電極4...を備えており、各画素電極4は、隣合うソース配線2・2のそれぞれとオーバーラップするように形成されている。さらに、図13(b)に示すように、上記アクティブマトリクス基板は、画素電極4...が、隣合うゲート配線1・1の隙間を覆うように配置されていることを特徴とする。

【0132】

ここで、本実施形態のアクティブマトリクス基板における画素電極4...の構成について、図13(a)において、複数の画素電極4...の一つである画素電極4aを例に挙げて具体的に説明する。ここで、説明の便宜上、図13(a)において、画素電極4aを駆動するTF T3が形成されているゲート配線(画素電極4aの自段ゲート配線)に記号g2を付し、上記ゲート配線の一段上に位置するゲート配線に記号g1を付す。

【0133】

画素電極4aは、ゲート配線g1においてソース配線2と直交すると共にゲート配線g2に隣合わない部分とオーバーラップし、且つ、ゲート配線g2においてソース配線2と直交すると共にゲート配線g1と隣合う部分とオーバーラップするように形成されている。すなわち、画素電極4aは、自段ゲート配線(ゲート配線g2)とオーバーラップする位置まで延設されており、これにより、ゲート配線g1とg2との間画素電極4aによっ

10

20

30

40

50

て覆われた状態となっている。

【0134】

このように、本実施形態の液晶表示素子が備えるアクティブマトリクス基板では、画素電極4が隣合うゲート配線1・1間の隙間を覆うように形成されているので、画像を表示させた場合にこの隙間は見えなくなる。この結果、隣合うゲート配線間を遮光する遮光膜を別途設ける必要がなくなるので、開口率を低下させることなく高品位な表示が実現される液晶表示装置を提供できる。上記の遮光膜を形成する必要が無く、さらに、画素電極4を上記のように形成することは、パターンニングによって容易に行うことができるので、製造工程を簡略化することができ、コストダウンを図れる。

【0135】

なお、各画素電極4が、自段ゲート配線とオーバーラップしていることにより、ゲート配線1と画素電極4との間に寄生容量(C_{gp})が若干できるが、画素電極4と自段ゲート配線とのオーバーラップ部分を最小限に抑えたり、あるいは層間絶縁膜6を厚く形成することにより、上記寄生容量(C_{gp})の影響を抑制することが可能である。

【0136】

なお、上記した本実施形態の構成では、前記した各実施形態の構成と比較して、画素電極4を自段ゲート配線側へ延長させた構成、すなわち、ソース配線2の長手方向において隣合う画素電極4・4の両方が、ゲート配線1においてソース配線2と直交する部分のTFT3が形成されている側とオーバーラップするように形成されている。しかし、本発明はこれに限定されるものではなく、ソース配線2の長手方向において隣合う画素電極4・4の両方が、ゲート配線1においてソース配線2と直交する部分のTFT3が形成されていない側とオーバーラップするように形成しても良い。この場合には、自段ゲート配線と画素電極4とがオーバーラップしないので、寄生容量(C_{gp})は生じないが、コンタクトホール5の面積は小さくなるという欠点はある。しかし、この欠点は、前記した実施の形態5(図7(a)参照)のように、コンタクトホール5を横長に形成してコンタクト面積を大きくとることによって克服できる。

【0137】

また、隣合うゲート配線1・1間の遮光効果をさらに向上させてコントラストを高めるためには、前記した実施の形態5で説明したように、ソース配線2と同じ材料を用いて隣合うゲート配線1・1間に遮光膜を形成したり、あるいは、ソース配線2の代わりに、前記した実施の形態7で説明したような、TFT3との接続部分からゲート配線1・1間を遮光する接続配線20dが分岐して設けられたソース配線20を備えた構成とすることが効果的である。

【0138】

【発明の効果】

以上のように、請求項1記載の液晶表示素子は、走査配線、信号配線、およびスイッチング素子と、上記画素電極との間に、耐熱温度200以上の材料からなる層間絶縁膜を備えた構成である。この構成によれば、画素電極としてITOを用いる透過型液晶表示装置の場合において、ITOの成膜時の温度を200以上とすることができるため、比抵抗および透過率の良好な膜が得られ、低消費電力が図れるという効果を奏する。また、パターンニング特性も良くなり、高精細化が図れるという効果を奏する。

【0139】

上記の課題を解決するために、請求項2記載の液晶表示素子の製造方法は、走査配線と信号配線との交差部近傍にスイッチング素子が設けられ、該スイッチング素子に画素電極が接続された液晶表示素子の製造方法において、基板上に、走査配線、信号配線、およびスイッチング素子を形成する工程と、走査配線と信号配線とスイッチング素子とを覆うように耐熱温度200以上の材料からなる樹脂を塗布し、パターンニングして、コンタクトホールを有する層間絶縁膜を形成する工程と、上記層間絶縁膜上およびコンタクトホール内部に、画素電極を200以上で成膜する工程とを含む。

【0140】

10

20

30

40

50

上記の製造方法によれば、画素電極としてITOを用いる透過型液晶表示装置の場合において、ITOの成膜時の温度を200以上とすることができるため、比抵抗および透過率の良好な膜が得られ、低消費電力が図れるという効果を奏する。また、パターンニング特性も良くなり、高精細化が図れるという効果を奏する。

【0141】

請求項3記載の液晶表示素子の製造方法は、層間絶縁膜表面に灰化処理を行う工程をさらに含む。この製造方法によれば、層間絶縁膜表面と画素電極との密着性が向上するので、良品率が向上すると共に、高品位な表示が可能な液晶表示素子を提供できるという効果を奏する。なお、上記灰化処理の代わりに、光照射を行って該層間絶縁膜の膜質改善を行っても同様の効果を奏する。

10

【図面の簡単な説明】

【図1】図1(a)は、本発明の実施に係る一形態としての液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。図1(b)は、図1(a)のA-A'線に沿う平面において上記液晶表示素子を切断した場合の横断面を示す断面図である。

【図2】図2(a)ないし(d)は、主要な製造工程の各々における上記アクティブマトリクス基板の構成をそれぞれ示す平面図、図2(e)ないし(h)は、図2(a)ないし(d)のA-A'線に沿う平面における横断面をそれぞれ示す断面図である。

【図3】図3(a)ないし(c)は、上記アクティブマトリクス基板に設けられるゲート配線の形状の例をそれぞれ示す平面図である。

20

【図4】図4(a)は、本発明の実施に係る他の形態としての液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。図4(b)は、図4(a)のA-A'線に沿う平面において上記液晶表示素子を切断した場合の横断面を示す断面図である。

【図5】図5(a)は、本発明の実施に係るさらに他の形態としての液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。図5(b)は、図5(a)のB-B'線に沿う平面において上記液晶表示素子を切断した場合の横断面を示す断面図である。

【図6】本発明の実施に係るさらに他の形態としての液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。

30

【図7】図7(a)は、本発明の実施に係るさらに他の形態としての液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。図7(b)は、図7(a)のB-B'線に沿う平面において上記液晶表示素子を切断した場合の横断面を示す断面図である。

【図8】図8(a)は、図7(a)に示したアクティブマトリクス基板の変形例を示す平面図である。図8(b)は、上記アクティブマトリクス基板を備える液晶表示素子を、図8(a)に示すB-B'線に沿う平面において切断した場合の横断面を示す断面図である。

【図9】図9(a)は、本発明の実施に係るさらに他の形態としての液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。また、図9(b)は、図9(a)のA-A'線に沿う平面において上記液晶表示素子を切断した場合の横断面を示す断面図である。

40

【図10】図10(a)は、本発明の実施に係るさらに他の形態としての液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。また、図10(b)は、図10(a)のA-A'線に沿う平面において上記液晶表示素子を切断した場合の横断面を示す断面図である。

【図11】図10(a)に示したアクティブマトリクス基板におけるソース配線の変形例を示す平面図である。

【図12】図12(a)は、本発明の実施に係るさらに他の形態としての液晶表示装置が備える液晶表示素子のアクティブマトリクス基板におけるゲート配線とソース配線との交

50

差部近傍の構成例を示す平面図であり、図12(b)は、図12(a)のD-D'線に沿う平面において上記液晶表示素子を切断した場合の横断面を示す断面図である。

【図13】図13(a)は、本発明の実施に係るさらに他の形態としての液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。また、図13(b)は、図13(a)のA-A'線に沿う平面において上記液晶表示素子を切断した場合の横断面を示す断面図である。

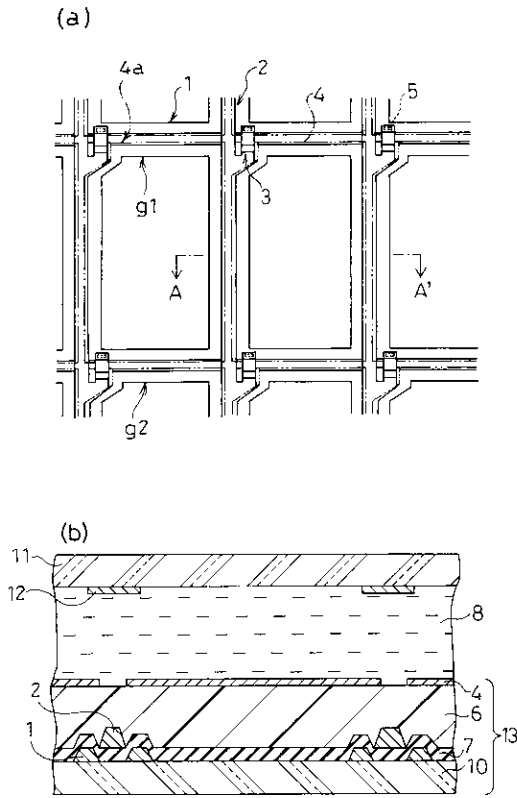
【図14】図14(a)は、従来の透過型液晶表示装置が備える液晶表示素子のアクティブマトリクス基板の構成を示す平面図である。図14(b)は、図14(a)のA-A'線に沿う平面において上記液晶表示素子を切断した場合の横断面を示す断面図である。

【図15】従来の透過型液晶表示装置が備える液晶表示素子の他の構成例を示す断面図である。 10

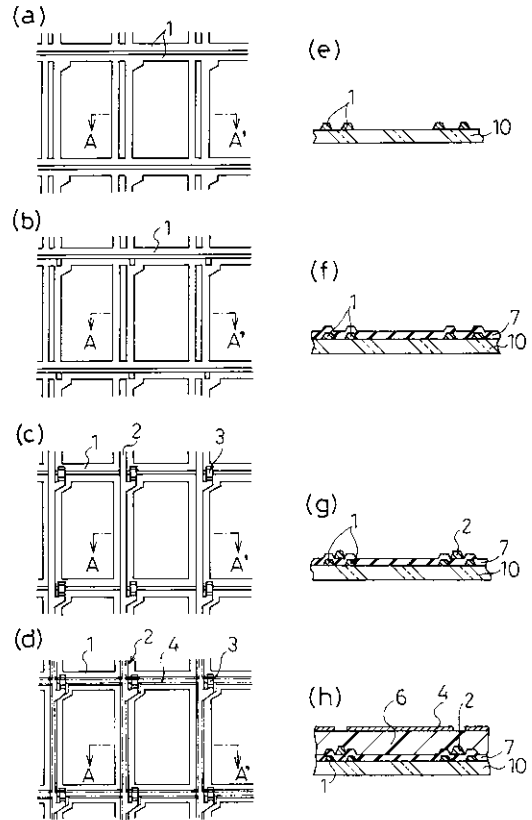
【符号の説明】

- 1 ゲート配線（走査配線）
- 2 ソース配線（信号配線）
- 3 TFT（スイッチング素子）
- 4 画素電極
- 5 コンタクトホール
- 6 層間絶縁膜
- 8 液晶
- 20a 分岐配線
- 20b 分岐配線（予備配線）
- 20c 接続配線
- 20d 接続配線
- 21 容量配線
- 22 遮光膜
- 24 補助電極
- 30 ドレイン電極（接続電極）
- 31 ドレイン電極（接続電極）
- R リング部分（リング状の冗長部）

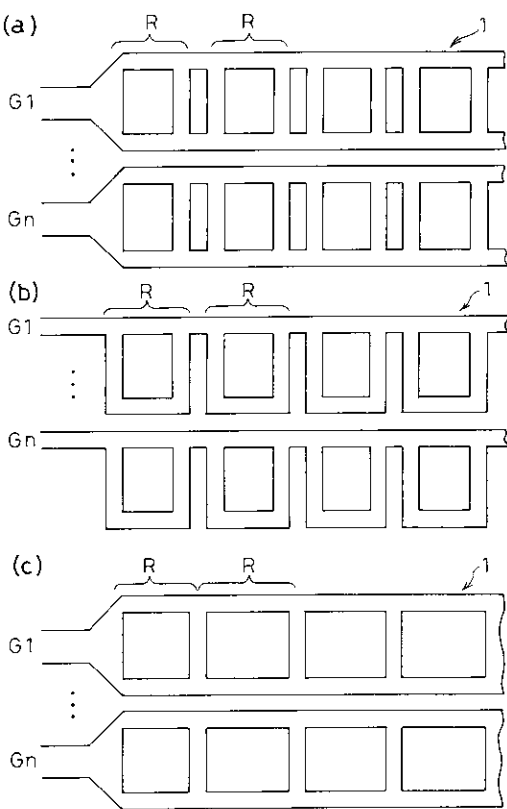
【 図 1 】



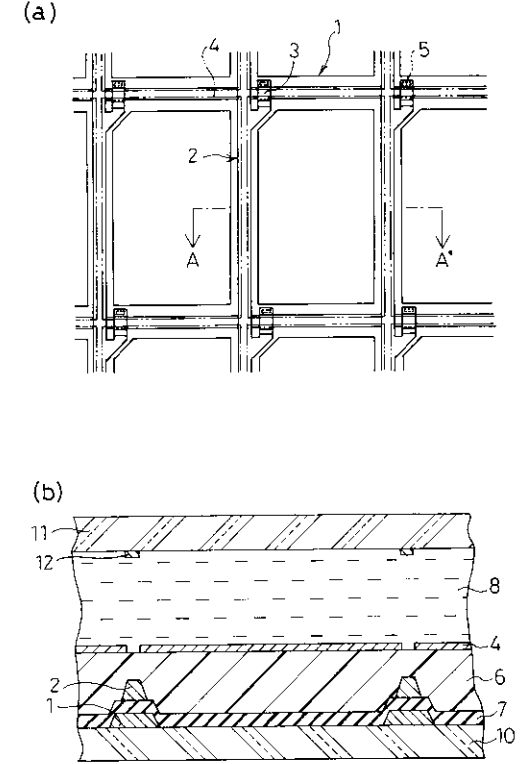
【 図 2 】



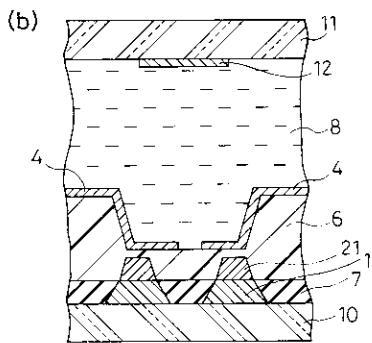
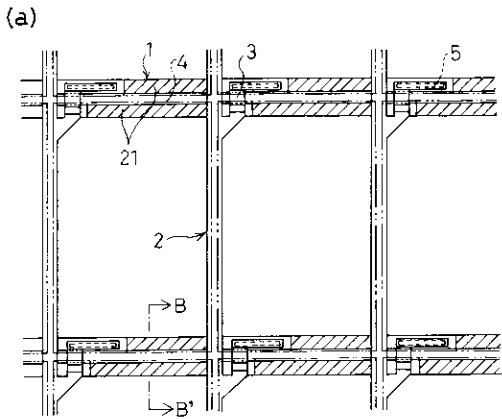
【 図 3 】



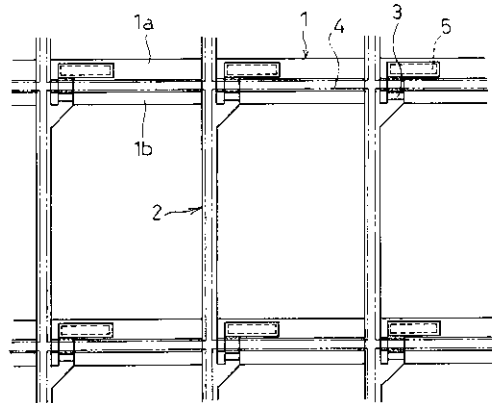
【 図 4 】



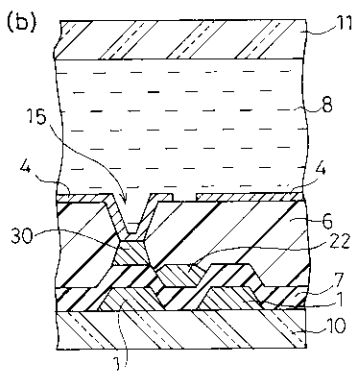
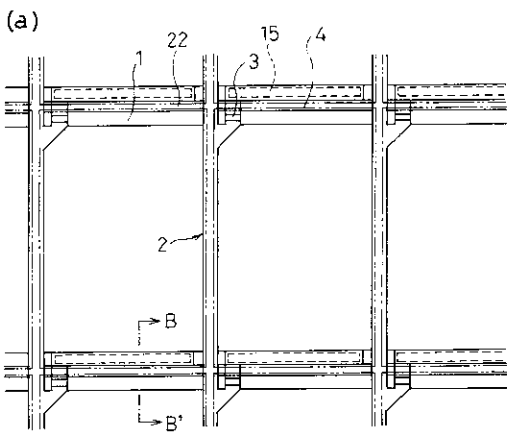
【 図 5 】



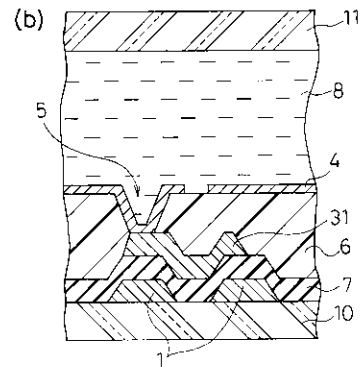
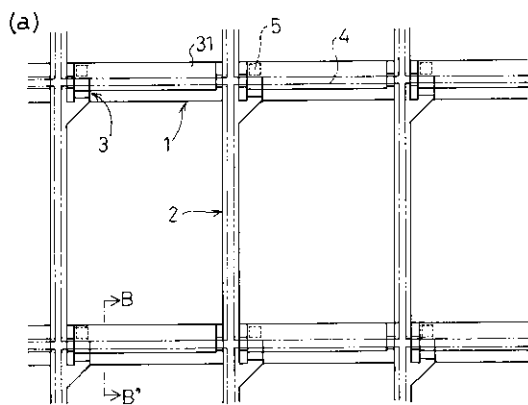
【 図 6 】



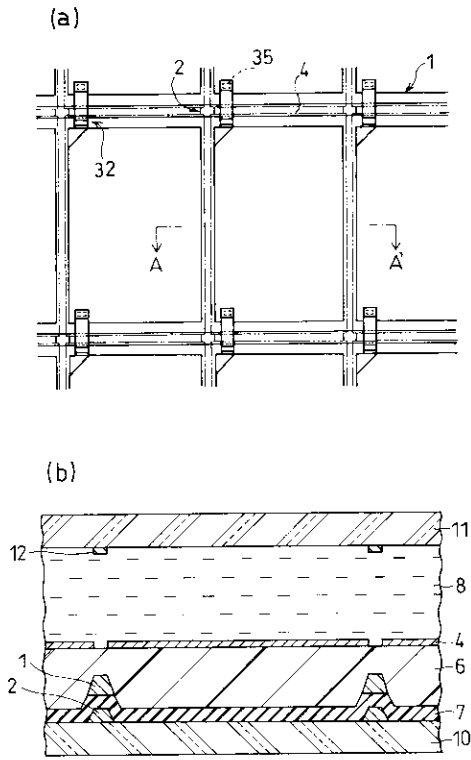
【 図 7 】



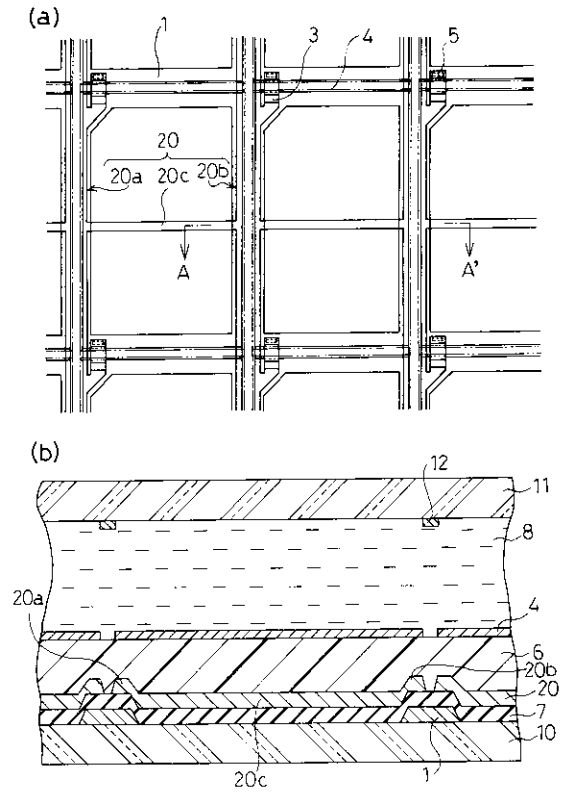
【 図 8 】



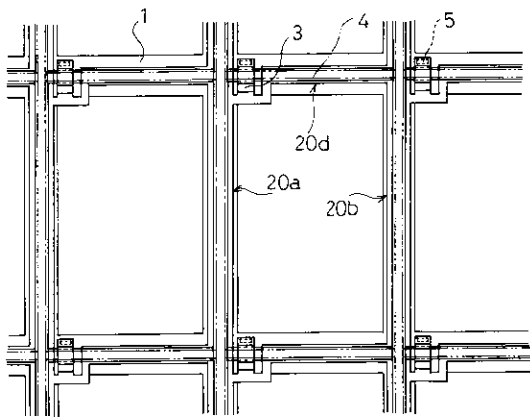
【 図 9 】



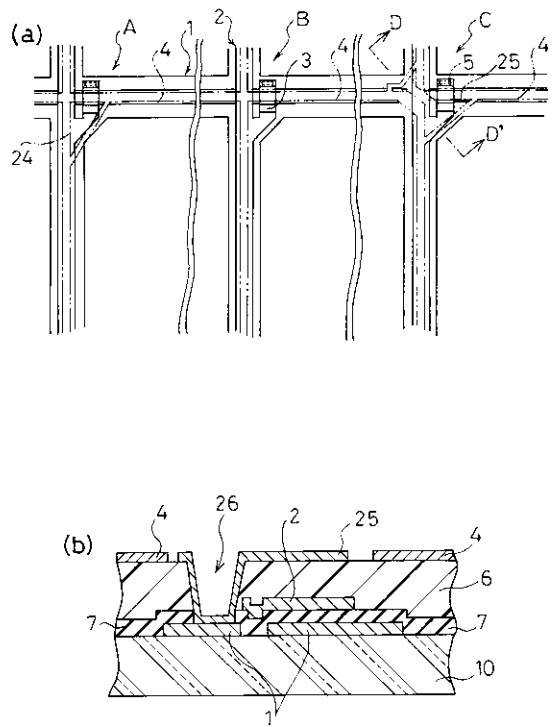
【 図 10 】



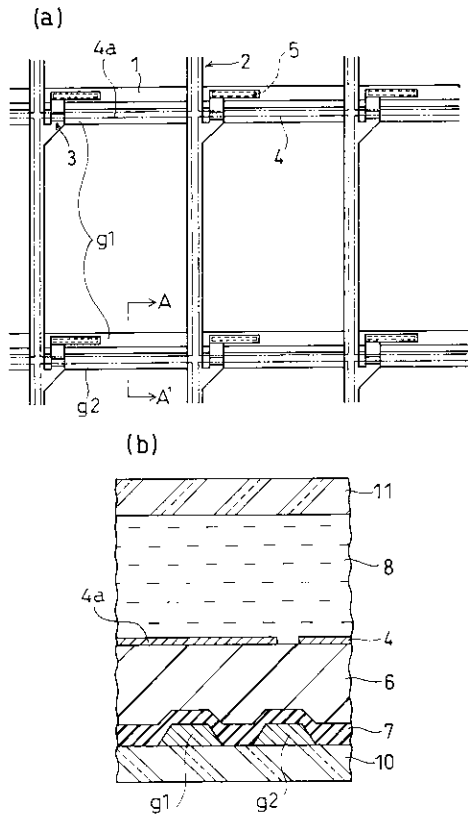
【 図 11 】



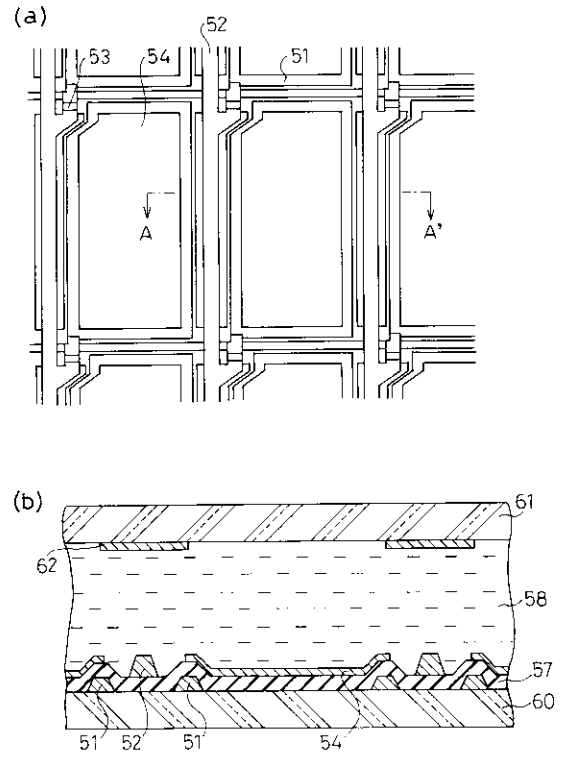
【 図 12 】



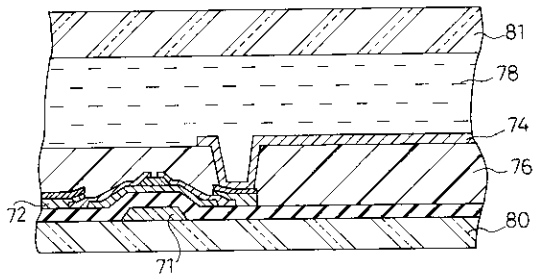
【 図 1 3 】



【 図 1 4 】



【 図 1 5 】



フロントページの続き

(72)発明者 菱田 忠則

大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

Fターム(参考) 2H090 HA04 HA06 HA08 HB07X HC06 HC16 LA04
2H092 JA46 JB24 JB33 KB25 MA02 MA10 MA15 MA22
5F033 HH08 HH17 HH21 HH38 JJ01 JJ38 KK08 KK17 KK21 MM05
PP06 QQ00 QQ09 QQ37 QQ53 QQ89 RR03 RR04 RR06 RR21
RR22 RR27 SS21 SS25 TT04 VV15 WW03 XX01 XX03 XX14
XX24 XX34 XX36
5F110 AA09 AA27 AA30 BB01 CC05 CC07 DD02 EE03 EE04 EE37
EE45 FF02 FF03 FF05 FF24 FF29 GG02 GG25 GG42 HK03
HK04 HK09 HK21 HK32 HK34 HL07 HL14 NN02 NN04 NN27
NN28 NN33 NN36 NN40 NN72 NN73 QQ01 QQ05 QQ09 QQ19

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	JP2004004529A	公开(公告)日	2004-01-08
申请号	JP2003011523	申请日	2003-01-20
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	平石洋一 田草康伸 菱田忠則		
发明人	平石 洋一 田草 康伸 菱田 忠則		
IPC分类号	G02F1/1333 G02F1/1368 H01L21/768 H01L23/522 H01L29/786		
FI分类号	G02F1/1368 G02F1/1333.505 H01L29/78.619.A H01L29/78.612.C H01L21/90.S		
F-TERM分类号	2H090/HA04 2H090/HA06 2H090/HA08 2H090/HB07X 2H090/HC06 2H090/HC16 2H090/LA04 2H092/JA46 2H092/JB24 2H092/JB33 2H092/KB25 2H092/MA02 2H092/MA10 2H092/MA15 2H092/MA22 5F033/HH08 5F033/HH17 5F033/HH21 5F033/HH38 5F033/JJ01 5F033/JJ38 5F033/KK08 5F033/KK17 5F033/KK21 5F033/MM05 5F033/PP06 5F033/QQ00 5F033/QQ09 5F033/QQ37 5F033/QQ53 5F033/QQ89 5F033/RR03 5F033/RR04 5F033/RR06 5F033/RR21 5F033/RR22 5F033/RR27 5F033/SS21 5F033/SS25 5F033/TT04 5F033/VV15 5F033/WW03 5F033/XX01 5F033/XX03 5F033/XX14 5F033/XX24 5F033/XX34 5F033/XX36 5F110/AA09 5F110/AA27 5F110/AA30 5F110/BB01 5F110/CC05 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/EE37 5F110/EE45 5F110/FF02 5F110/FF03 5F110/FF05 5F110/FF24 5F110/FF29 5F110/GG02 5F110/GG25 5F110/GG42 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK21 5F110/HK32 5F110/HK34 5F110/HL07 5F110/HL14 5F110/NN02 5F110/NN04 5F110/NN27 5F110/NN28 5F110/NN33 5F110/NN36 5F110/NN40 5F110/NN72 5F110/NN73 5F110/QQ01 5F110/QQ05 5F110/QQ09 5F110/QQ19 2H092/JA26 2H092/JB58 2H190/HA04 2H190/HA06 2H190/HA08 2H190/HB07 2H190/HC06 2H190/HC16 2H190/LA04 2H192/AA24 2H192/BC31 2H192/CB03 2H192/CB05 2H192/CC04 2H192/CC16 2H192/CC42 2H192/CC56 2H192/CC66 2H192/CC72 2H192/DA02 2H192/DA74 2H192/EA04 2H192/EA07 2H192/EA22 2H192/EA42 2H192/EA43 2H192/EA67 2H192/GD61 2H192/HA01 2H192/HA12 2H192/HA33 2H192/HA80		
代理人(译)	木岛隆一 金子 一郎		
优先权	1995251098 1995-09-28 JP 1995336696 1995-12-25 JP		
外部链接	Espacenet		

摘要(译)

要解决的问题：获得能够实现低功耗和高清晰度的有源矩阵型液晶显示元件及其制造方法。层间绝缘膜6设置在像素布线4和栅极布线1，源极布线2和TFT 3之间。层间绝缘膜6由耐热温度为200°C以上的材料制成。利用该构造，由于可以将ITO膜形成期间的温度设置为200°C或更高，因此可以获得具有良好的电阻率和透射率的ITO膜，并且还改善了ITO膜的图案化特性。[选择图]图2

