

(19)日本国特許庁 (J P)

公開特許公報 (A)

(11)特許出願公開番号

特開2002 - 287709

(P2002 - 287709A)

(43)公開日 平成14年10月4日(2002.10.4)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コード [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 8 8
G 0 2 F 1/13	505	G 0 2 F 1/13	2 H 0 9 3
1/133	510	1/133	5 C 0 0 6
G 0 9 G 3/20	611	G 0 9 G 3/20	5 C 0 8 0
	641	641	P

審査請求 未請求 請求項の数 8 O L (全 16数) 最終頁に続く

(21)出願番号 特願2001 - 91630(P2001 - 91630)

(22)出願日 平成13年3月28日(2001.3.28)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 工藤 泰幸

神奈川県川崎市麻生区王禅寺1099番地 株

式会社日立製作所システム開発研究所内

(72)発明者 相澤 弘己

神奈川県横浜市戸塚区吉田町292番地 株式

会社日立画像情報システム内

(74)代理人 100075096

弁理士 作田 康夫

最終頁に続く

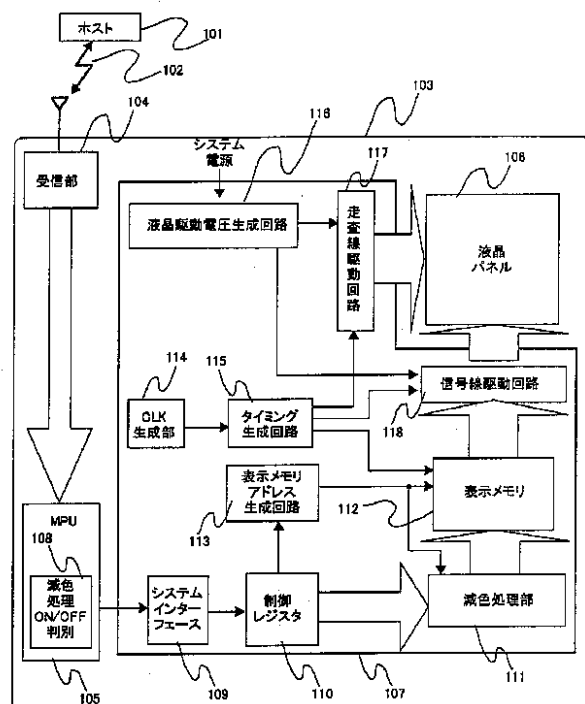
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】液晶ディスプレイの表示可能色より多い画像データを扱う際に、単純な下位ビット削減の減色処理では、下位 b i t で構成されていた階調成分（輝度成分）が無くなってしまふことから、階調差がはっきり等高線として表われ、画質は極端に劣化していた。

【解決手段】液晶ディスプレイを構成する液晶駆動回路において、表示メモリの前段に液晶ディスプレイの表示可能色よりも、多くの階調情報を有する画像データを最適に減色処理するディザ処理回路もしくは、誤差拡散回路を設けることで、下位 b i t で構成されていた階調成分（輝度成分）を隣接画素に分配し、高画質表示を実現する。

図 1



【特許請求の範囲】

【請求項 1】 液晶パネルと、
前記液晶パネルに表示データに対応した階調電圧を印加する液晶駆動回路を、備える液晶ディスプレイにおいて、
前記液晶駆動回路は、
表示データを一時記憶する表示メモリと、
前記表示メモリの有する 1 画素当たりの記憶容量よりも多くの画像データを入力する入力手段と、
前記入力手段から入力される画像データを、前記表示メモリの 1 画素あたりの記憶容量に変換する減色処理手段とを、有することを特徴とする液晶表示装置。

【請求項 2】 請求項 1 の液晶表示装置において、
減色処理手段は、
特定のパターン情報と、前記入力手段から入力する画像データを加算する演算手段と、
前記演算した結果の画像データの下位ビットを削減する手段と、で構成することを特徴とする液晶表示装置。

【請求項 3】 請求項 1 の液晶表示装置において、
減色処理手段は、
特定領域の画像データを一時記憶する記憶手段と、
特定画素の画像データを、前記表示メモリの有する 1 画素当たりの記憶容量データに近似変換する手段と、
前記原画像データと、前記変換後の画像データの差分を隣接する画素部の画像データにある定数を掛け算し、振り分ける演算手段と、で構成することを特徴とする液晶表示装置。

【請求項 4】 請求項 1 の液晶表示装置において、
前記液晶パネルは、
画素部にスイッチング素子を有する液晶パネルであることを特徴とする液晶表示装置。

【請求項 5】 請求項 1 の液晶表示装置において、
前記液晶パネルは、
画素部以外にスイッチング素子を有する液晶パネルであることを特徴とする液晶表示装置。

【請求項 6】 液晶パネルと、
前記液晶パネルに表示データに対応した階調電圧を印加する液晶駆動回路と、
装置外部から画像データを取り込み前記液晶駆動回路に画像データを転送する中央演算手段と、を備える情報端末において、
前記液晶駆動回路は、
表示データを一時記憶する表示メモリと、
前記表示メモリの有する 1 画素当たりの記憶容量よりも多くの画像データを入力する入力手段と、
前記入力手段から入力される画像データを、前記表示メモリの 1 画素あたりの記憶容量に変換する減色処理手段とを、有することを特徴とする情報端末。

【請求項 7】 請求項 6 の情報端末において、
前記中央演算手段は、

*装置外部から取り込む画像データが前記液晶駆動回路の表示メモリの有する 1 画素当たりの記憶容量よりも多くの画像データであるか否かを判別する手段と、
前記判別手段の判別した情報を前記液晶駆動回路に伝達する手段とを有し、
前記液晶駆動回路は、
前記判別手段の判別情報を元に、減色処理をするか否かを切り換える手段を有することを特徴とする情報端末。

【請求項 8】 液晶パネルと、
前記液晶パネルに表示データに対応した階調電圧を印加する液晶駆動回路を、備える液晶ディスプレイにおいて、
前記液晶駆動回路は、
表示データを一時記憶する表示メモリと、
前記表示メモリの有する 1 画素当たりの記憶容量よりも多くの画像データを入力する入力手段と、
前記入力手段から入力される画像データを、前記表示メモリの 1 画素あたりの記憶容量に変換する減色処理手段と、
前記表示メモリから読み出した画像データを対応する階調データに変換する手段と、を有し、
これらを、一つの半導体に集積化していることを特徴とする液晶ディスプレイ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、入力された画像データの色数と異なる色数で表示することが可能な液晶表示装置に係り、特に、携帯電話や携帯情報端末に好適な液晶表示装置に関する。

【0002】

【従来の技術】従来の携帯電話用液晶ディスプレイの一例として、特開平 11 - 311980 号公報がある。ここで携帯電話用液晶ディスプレイの表示システムについて、以下に説明する。

【0003】送信元であるホストから送信される画像データを、携帯電話内の受信部で受信する。この受信した画像データは、携帯電話内の M P U (マイクロプロセッサユニット) で、赤 (以下、R と呼ぶ。)、緑 (以下、G と呼ぶ。)、青 (以下、B と呼ぶ。) のデジタル表示データに変換される。M P U では、これらの表示データのうち表示装置である液晶ディスプレイの表示可能な色数だけ、前記液晶ディスプレイに出力し、液晶ディスプレイの液晶駆動回路に設けた表示メモリに一時的に保持される。ここで例とし、液晶ディスプレイの表示色数が R、G、B 各 16 階調の 4096 色であった場合、M P U から液晶ディスプレイに出力される表示データは R、G、B 各 4 b i t の合計 12 ビットデータになる。そして、液晶駆動回路では、表示メモリに一時的に保持されていた表示データを画像として液晶パネルに表示させるため、前記表示データを対応する階調電圧並びに階調

電圧波形に変換し、液晶パネルに出力する。これにより、MPUから液晶ディスプレイに転送した表示データを、液晶パネルに画像として表示することが可能になる。

【0004】

【発明が解決しようとする課題】ここで先に記載した様にMPUでは、液晶ディスプレイの表示可能色数の表示データを液晶ディスプレイに転送し、液晶ディスプレイの液晶駆動回路では、この表示データを前記表示メモリへ書き込む動作を行っていた。

【0005】従って、ホスト側から液晶ディスプレイの表示可能色以上の色数で構成された画像データが送信されてきた場合、MPUでは、前記画像データの低位ビットを切り捨てる減色（単純減色）処理を施した表示データに変換して、この減色処理された表示データを液晶ディスプレイに転送し、液晶駆動回路内の表示メモリに書き込む制御を行っていた。

【0006】しかし、この減色（単純減色）処理を施された表示データを液晶ディスプレイに表示すると、表示される画像は、低位ビットで構成されていた階調成分（輝度成分）が無くなってしまうことから、階調差がはっきり等高線として表われ、画質は極端に劣化することになる。

【0007】本発明の目的は、ホストから転送された画像データの色数に依存することなく、液晶駆動回路又は液晶パネルの能力に適した色数で画像データを処理又は表示することができる液晶表示装置を提供することである。

【0008】

【課題を解決するための手段】本発明は、液晶ディスプレイを駆動する液晶駆動回路内に、液晶ディスプレイの表示色数に合った最適な減色処理を行える手段を設けることで、ホストまたはMPUの処理負荷を軽減させ、高速処理を行えるようにしつつ、液晶ディスプレイに表示する画像を擬似的に多色化させ、高画質表示を実現する。

【0009】また、ホスト側で最適な減色処理が行われた画像データが送信されてきた場合においても、携帯電話内のMPUでその画像が、減色処理を行ったものか、そうでないかを判別する手段を設けることで、前述した液晶駆動回路内の最適な減色処理機能を有効にするか、無効にするかを切り換えることが出来るので、ホストからMPUに転送される各種色数の画像データへの対応が容易になる。

【0010】

【発明の実施の形態】本発明の第1の実施形態による携帯電話用液晶表示装置の構成について、図1から図16を用いて説明する。

【0011】図1は本発明の携帯電話用液晶表示装置のブロック図であり、101は各種表示データの送信元であるホストであり、102はホスト101から送信され

る各種画像データであり、103は携帯電話機である。ここで携帯電話機103内において、104は各種画像データ102を受信する受信部であり、105は受信部104にて受信した各種画像データを液晶ディスプレイに表示させるための各種処理、制御を行うMPU（マイクロプロセッサユニット）であり、106は表示部となる液晶パネルであり、107は液晶駆動回路であり、ここでは、液晶パネル106と、液晶駆動回路107を総じて液晶ディスプレイと呼ぶ。また、MPU105内において、108は減色処理を行なうか否かを判定する減色処理ON/OFF判別部である。

【0012】次に、液晶駆動回路107内において、109はMPU105との表示データ並びに制御データのやりとりを行うシステムインターフェースであり、110は液晶駆動回路内107の各ブロックの動作を制御する制御レジスタであり、111は減色処理部であり、112は表示データを一時保存しておくための表示メモリであり、113はその表示メモリ112のアドレスを生成する表示メモリアドレス生成回路であり、114は液晶駆動回路107内で使用する基本クロックを生成するクロック生成部であり、115はクロック生成部114にて生成されたクロック（以下、CLKとも呼ぶ。）から各種制御タイミング信号を生成するタイミング生成回路であり、116はバッテリーなどのシステム電源から液晶ディスプレイを駆動するための電源電圧を生成する液晶電圧生成回路であり、117は液晶パネル106の走査ライン（図示せず）を走査する走査線駆動回路であり、118は液晶パネル105の信号線（図示せず）に表示データに対応した階調電圧を出力する信号線駆動回路である。尚、本実施例では、液晶パネル106は画素部にスイッチング素子を有するアクティブマトリックス型液晶パネルを用いることを前提に、本発明の動作を進めて行く。

【0013】次に、図1記載の携帯電話用液晶ディスプレイの動作を詳細に説明する。

【0014】ホスト101から送信される各種画像データ102を携帯電話機103内の受信部104で受信する。ここで前記各種画像データ102内には、その画像データの1画素あたりの色数を含む。

【0015】受信部104で受信した各種画像データ102は、携帯電話機103内のMPU106でデジタル表示データに変換される。また、それと同時に上記した1画素あたりの色数情報を受け、表示データの色数情報が、該液晶ディスプレイの表示色数よりも、多いか否かを、減色処理ON/OFF判別部108で、判別する。

【0016】これらMPU106内でデジタル化された表示データおよび、減色処理ON/OFF判別情報、更に液晶ディスプレイの液晶駆動回路107で、液晶パネル106を駆動するための電圧設定や表示領域の設定などを各種動作制御データを液晶駆動回路107内のシス

テムインターフェース109に送信する。

【0017】ここで上述のMPU106とシステムインターフェース109間のデータ送信について図2、図3を用いて詳細に説明する。図2はMPU106および液晶駆動回路107内のシステムインターフェース109、制御レジスタ110、減色処理部111のブロック図を示し、図3はMPU106とシステムインターフェース109間のデータ送金のタイミング図を記載したものである。

【0018】ここでMPU106とシステムインターフェース109間は、例えば汎用MPUである68系16ビットのバスインターフェースに準拠しており、チップ選択を示すCS(chip select)信号、制御レジスタ110のアドレスを指定するのデータを選択するRS(Register select)信号、処理動作の起動を指示するE(enable)信号、データの書き込みまたは読出しを選択するR/W(read/write)信号、制御レジスタ110のアドレスまたはデータの実際の設定値である16ビットのData信号で構成される。これらの制御信号により、制御レジスタ110の各アドレスに対し上述した表示データ、減色処理ON/OFF判別情報、各種動作制御データが割振られ、制御レジスタ110のレジスタ内に各割り当てられたアドレスごと書き込みまたは読み出し動作を行う。

【0019】ここで制御レジスタ110の出力するデータにおいて、表示データは減色処理部111へ転送され、その他の各種動作制御データは液晶駆動回路107内の各ブロックへ転送される。

【0020】次に図3を用いてこのMPU106とシステムインターフェース109間の各制御信号の動作について説明する。

【0021】まず、CS信号を“ロー”とし、制御レジスタ110をアクセス可能状態とする。RS信号を“ロー”時にはアドレス指定期間を意味し、RS信号“ハイ”時にはデータ指定期間を意味する。ここで制御レジスタ110への書き込み動作を行う場合、R/W信号を“ロー”とし、先のアドレス指定期間にData信号に所定のアドレス値を設定し、データ指定期間にそのアドレスのレジスタに書き込むデータ(上述での表示データ、減色処理ON/OFF判別情報、各種動作制御データ等々)を設定する。その設定後E信号を一定期間“ハイ”にすることで制御レジスタ110にデータを書き込む。

【0022】また制御レジスタ110に設定されたデータを読み出す際には、上記と同様にCS、RS信号を設定し、R/W信号を“ハイ”とし、アドレス期間に所定のアドレスを設定し、上記同様、設定後E信号を一定期間“ハイ”とすることで、データ指定期間にレジスタ内に書き込まれたデータが読み出される。

【0023】次に、制御レジスタ110から出力される表示データについて、図4、図5を用いて説明する。図4はMPU105から出力される表示データ例であり、MPU105のデータバス幅を16ビットとし、R、G、B各5ビット、6ビット、5ビットの構成とし、表示色数を約6万5千色とした。これを1画素(1ドット)分の表示データとする。また、液晶ディスプレイの表示可能色数を4096色と想定した。図5は制御レジスタ111から表示メモリ112までの表示データの流れを説明する図である。

【0024】MPU105は液晶ディスプレイの表示可能色4096色よりも多くの1画素データを有する16ビットの表示データを、液晶駆動回路107に転送する。また、この際、減色処理ON/OFF判別部108では液晶ディスプレイの表示可能色4096色以上の表示データを液晶ディスプレイに転送することから、減色処理ON情報を液晶ディスプレイに転送することになる。この減色処理ON情報を元に、制御レジスタ110の出力する表示データはR、G、B各5ビット、6ビット、5ビットであるが、減色処理部111で、R、G、B各4ビットの表示データに減色され、表示メモリ112に書き込まれることになる。この減色後のビット数は、表示メモリの能力(容量)により決定される。この減色後のビット数は、ユーザや製造者によって、減色処理部111に設定されるのが好ましい。

【0025】従って、この減色処理部111を工夫することで、MPU105から下位ビット情報を削減した表示データを受け取るのではなく、極端な画質劣化を抑え、減色処理部111にて最適な減色処理が行なえることになり、疑似多色化で高画質表示が可能になる。また、本発明によれば、この表示データの減色処理を表示メモリ112への書き込み前に行うことで、表示メモリ112の容量も小規模に抑えられ、小型化及び低コスト化が実現する。

【0026】次に、上述における減色処理部の減色処理手段として、回路規模が小規模なディザ処理法を例に挙げ、図6から図10を用いて説明する。

【0027】図6はディザ処理を行うためのディザパターンである。ここでは一例とし、2×2ドットで構成されるディザパターンを示す。図中の値はバイナリ表示であり、1画素(1ドット)に2ビット(00、01、10、11)のデータで構成する。この2×2ドット(4画素)のディザパターンを図7に示すように液晶パネル106の全体に、割り振り構成する。このようにディザパターンを液晶パネル106の各ドットに割り振り、その各ドットにおける表示データの下位ビットに2ビットのディザパターン値を加える。そして、表示データを所望のビット数に削減する、つまり下位ビットを削ることで、擬似的に多色効果が得られる。

【0028】ここで図8から図10を用いてその効果を

詳しく説明する。

【0029】図8の画像Aから画像Eはそれぞれ6bitデータで構成された表示画像の一例を示している。ここで図8の6bitデータを4bitデータにするため、6bitデータの下位2bitを切り捨て、単純減色を行った場合の画像Aから画像Eの表示画像を図9に示す。図9のように単純減色を行った場合、下位2bitで表現していた階調情報が捨てられ、図8では画像Aから画像Eで5階調表示していたものが画像Aから画像Dが同データ（同階調）となり、画像Eとの2階調のみしか表示できなくなる。

【0030】ここでディザ処理を図8の6bitデータに対して行い、4bitに減色させた場合の画像Aから画像Eの表示画像を図10に示す。図10に示すように、画像B、画像C、画像Dにおいて、下位2bitに、各ドットに割り振られた2bitのディザパターンを加算した後、下位2bitを削る。それにより、画像B、画像C、画像Dには、4画素に2つの階調を混在させることが可能になり、その2つの階調の出現頻度を元画像データ情報によって変化させることが可能になるので、複数画素に着目した場合、画像Bと画像Cと画像Eを擬似的に異なる階調データとして表現することができる。

【0031】次に、減色処理手段として、上述にて説明したディザ処理法を用いた場合の減色処理部111の構成図を図11を用いて説明する。

【0032】図11において、1101は減色処理部111内のディザパターン生成部、1102は同じく減色処理部111内の下位bit切り捨て部を示している。ここで、制御レジスタ110から出力される表示データは、表示メモリアドレス生成回路113により、液晶パネル105の表示位置に合ったアドレスに割り当てられ、表示メモリ112に書き込まれる。ここで、図7に示したようにディザパターン構成も上述同様に構成する必要がある。つまり、表示データの書き込みを行なう表示アドレスに合致したディザパターンが必要になるからである。従って、この表示メモリアドレス生成部113で生成するアドレスを利用し、そのアドレスに対応したディザパターンをディザパターン生成回路1101にて生成することになる。尚、表示データが4096色情報しか無い場合は、制御レジスタ110より、前記したディザ処理ON/OFF情報のOFF情報を受け、ディザ処理を行わない場合、ディザパターンを“0”固定のパターンとし、ディザ処理を行わないようにする。このディザパターン生成回路1101で生成されたディザパターンは、制御レジスタ110から出力される図4で示したR、G、B各5bit、6bit、5bitフォーマットの表示データの下位bitに加算される。そのディザパターン加算後の表示データは、下位bit切り捨て部1102で液晶ディスプレイの表示色数に応じた色数

に減色され（ここでは例とし、R、G、B各4bit）、表示メモリ112に書き込まれる。ここで上記した表示メモリアドレス生成部113のアドレスマップを図12に示す。

【0033】図12では、例として液晶パネル105の画素数が横128×縦160ドットで構成されているものとする。アドレス値はヘキサ表示であり、図4に示したように、1画素（ドット）のデータを1アドレスとし、各表示位置ごとにアドレスを指定する。尚、この場合、水平方向のディザパターン選択用としてアドレスの最下位ビットが、垂直方向のディザパターン選択用として、bit7の情報がディザパターン生成回路1101に出力されることになる。

【0034】以上のような構成で減色処理を行われた表示データは、図13、図14のタイミングで表示メモリ112に書き込まれる。尚、ここでは、図10の画像Aと画像Cの表示データを例とし、タイミングを示す。

【0035】ここで図13は上記した制御メモリ110からの減色処理ON/OFF情報がON情報の時（減色処理を行う）におけるタイミング関係を示したものである。

【0036】図13に示すように、ライン信号、ドットクロックにより表示メモリアドレスが生成され、各画素におけるアドレスが割り振られる。このアドレスに応じ、2bitのディザパターンを生成し、表示データ（ここでは例とし、6bitとする）の下位2bitに加算され、減色（ここでは例とし、6bitの下位2bitを減色して4bitに減色）され、表示メモリに書き込まれる。このようなタイミングで図10の画像A、画像Cのようにディザ処理を用いて、4ドットで2bit切り捨てた分の階調を補正する。

【0037】次に図14は減色処理ON/OFF情報がOFF時（減色処理を行わない）におけるタイミングを示したものである。ここで上記に示したように、減色処理を行わない場合、図11のディザパターン生成回路1101ではディザパターンを“0”固定とするので、2bitディザパターンも“0”[HEX]としている。この場合図13同様に図10の画像A、画像Cを表示データとした場合、図9の画像A、画像Cのように単純減色した形となる。以上の図13、図14で説明したタイミングで表示メモリ112に減色処理を行った表示データは書き込まれることになる。

【0038】次に、その表示メモリ112から表示データが読み出された後の構成について図15に示す。ここで本実施例は画素部にスイッチング素子を有するアクティブマトリクス型の液晶パネル105を適用しており、ライン毎に順次選択する線順次駆動としている。従って、図15において、上述した液晶パネル105並びに表示メモリ112に割り振られたアドレスごとに、表示メモリ112から表示データは読み出され、表示メモリ

112 からの読み出しは、液晶パネル 105 の横方向の画素数、例えば、図 12 に示す構成である場合 128 画素であるが、ライン信号に同期して一斉に出力する。これらの表示データは、各表示データにあった階調電圧レベルを信号線駆動回路 118 で選択し、信号線に印加する。表示データと階調電圧の関係を図 16 に示す。

【0039】図 16 は図 15 における表示メモリアドレス “0000[HEX]”、“0080[HEX]” に記憶された各々 4 bit 表示データ “0[HEX]”、“F[HEX]” が階調電圧に変換される状態と、各々信号線 “0” に印加され、走査線 “0”、“1” で選択される様子を示している。ここで上述したように信号線 “0” は図 15 の信号線駆動回路 118 で、表示データ “0[HEX]” の時には “0” 階調レベルの電圧を、表示データ “F[HEX]” の時には “15” 階調レベルの電圧を選択する。その時、図 15 記載の走査線駆動回路 110 からは各走査線に応じた走査電圧を出力する。つまり、図 16 に示す様に 1 ライン毎に走査線 “0”、走査線 “1” と走査電圧を印加する。これにより、液晶パネル 105 の該当するライン上に配置された画素部に前記表示データに対応した階調電圧を印加し、画像表示が実現出来る。

【0040】次に、本発明の第 2 の実施形態による液晶ディスプレイに関して説明する。第 2 の実施形態は、減*

$$G'(i+1, j) = G(i+1, j) + \{G(i, j) - H(i, j) * 4\} * 3/8 \dots \text{式 (1)}$$

同様に、下の $G(i, j+1)$ は、

$$G'(i, j+1) = G(i, j+1) + \{G(i, j) - H(i, j) * 4\} * 3/8 \dots \text{式 (2)}$$

同様に、右下の $G(i+1, j+1)$ は、

$$G'(i+1, j+1) = G(i+1, j+1) + \{G(i, j+1) - H(i, j+1) * 4\} * 3/8 \dots \text{式 (3)}$$

となる。

【0045】この結果、図 17 に記載した各画素部の表示データは、図 18 に記載する様な表示データに変換される。

【0046】そして、次に $G(i+1, j)$ が当該画素となる場合、図 18 に記載する様に、まるめこみによって発生する誤差を右横の $G(i+2, j)$ 、下の $G(i+1, j+1)$ 、右下の $G(i+2, j+1)$ に重み付ける処理を施して、加算する。この動作は、図 17 にて説明した動作と同様であり、元表示データは、図 17 で記載した $G(i, j)$ で発生した誤差値を含む表示データを基準に算出されることになる。

【0047】これらを順次繰り返すことで、良好な減色処理が可能になる。

【0048】その例として、第 1 の実施形態で用いた図 50

*色処理回路に誤差拡散法を採用したものである。誤差拡散法に関して、図 17、図 18 を用いて説明する。

【0041】図 17 は水平方向 4 画素、垂直方向 2 ラインの合計 8 画素を記載したものであり、各画素内部に記載している $G(i, j)$ から $G(i+3, j+1)$ は、各画素の表示データである。また、ここでは、この表示データを 6 bit として説明する。

【0042】図 18 に記載する様に、誤差拡散法では、例えば、 $G(i, j)$ を当該画素データとすると $G(i, j)$ の 6 bit データを 4 bit データ（ここでは、 $H(i, j)$ とする。）にまるめこむ際に発生する誤差： $G(i, j) - H(i, j) * 4$ （ここでの、*4 は 4 bit データの下位 2 bit に ‘00’ を追加して、 $G(i, j)$ と等価のビット数にする為である。）で求められる値を、隣接する画素、例えば、右横の $G(i+1, j)$ 、下の $G(i, j+1)$ 、右下の $G(i+1, j+1)$ にある重み付ける処理を施して、加算する方式である。

【0043】尚、ここでは、仮に右横画素の重み付け定数を 3/8、下画素の重み付け定数を 3/8、右下画素の重み付け定数を 1/4 とする。この重み付け定数の合計が ‘1’ に成るように設定する必要がある。

【0044】従って、右横の $G(i+1, j)$ は以下の式 (1) から求まる誤差データを含むデータになる。

8 記載の画像 A から画像 E を用いて 4 この誤差拡散処理を施した場合の例を図 19 に記載する。

【0049】図 19 から判るように、第 1 の実施形態の図 10 と同様に、各画素毎に階調データが分布することになり、その 2 つの階調の出現頻度を元画像データ情報によって変化させることが可能になるので、複数画素に着目した場合、画像 B と画像 C と画像 E を擬似的に異なる階調データとして表現することができる。

【0050】また、第 1 の実施形態の図 10 と、本実施形態の図 17 で異なる点は、再生される階調データが出現する画素が、原階調データによって異なってくる点である。図 10 に着目すると、画像 B から画像 D に関して、階調データ ‘0001’ が出現する画素部は右上の画素に固定されている。これに対して、図 17 は、階調データ ‘0001’ が出現する画素部が原階調データに

よって変化している。これにより、ディザ法に対して、更に良好な会長表示を実現することが可能になる。

【0051】次に、本誤差拡散処理を実現する減色処理部のブロック図を図20を用いて説明する。図20において、2001は画像データを記憶するレジスタファイルであり、2002、2003はレジスタファイルに記憶された各画像データを転送するデータバスである。2004はデータセレクトであり、画像データのまるめこみを実現する当該画像データを選択し、2005のデータバスに画像データを転送する。2006はデータセレクトであり、前記データセレクト2004で選択された画像データの右横、下、右下の画像データを選択する機能を有し、2007のデータバスで右横の画像データを転送し、2008のデータバスで下の画像データを転送し、2008のデータバスで右下の画像データを転送する。2010は下位ビット削減回路であり、6ビットの画像データを4ビットの画像データに変換する。尚、この際の変換手段として、下位2ビット目が「1」の時、ビットの繰り上げ処理を行ない、下位2ビット目が「0」の時、ビットの削減処理を行なう。例えば、画像データが「000010」の場合、下位2ビット目が「1」なので、「0001」に変換し、画像データが「000011」の場合、下位2ビット目が「0」なので、「0000」に変換する。この変換された画像データは、2011のデータバスで表示データとして、本減色処理部ブロックの外部に転送される。2012は引算回路であり、原画像データと、変換後の画像データの差分を算出し、2013のデータバスで転送する。2014は演算回路であり、演算回路2014の内部で、2015は右横の画像データに加算する誤差データを算出する演算器であり、2016は下の画像データに加算する誤差データを算出する演算器であり、2017は右下の画像データに加算する誤差データを算出する演算器である。この各演算器2015、2016、2017で算出した誤差配分データは2018、2019、2020で転送される。2021、2022、2023は各々右横、下、右下の画像データに誤差配分データを加算する加算回路であり、2024のデータバスに出力される。2025はデータセレクトであり、データバス2024で転送される画像データを2026のデータバスを介して、レジスタファイル2001に再書込みする動作を行なう。また、2026は演算回路2014が生成する誤差データを算出する際の重み付け定数を転送するデータバスである。

【0052】次に、この図20に記載した減色処理部の動作を詳細に説明する。

【0053】図17でも説明した様に、当該画素の画像データと、当該画素の右横、下、右下の画像データが画像データを記憶しているレジスタファイルから読み込まれ、当該画素の画像データは、ビット変換処理が下位ビ

ット削減回路2010で施される。そして、この下位ビット削減が施された画像データは、データバス2011で表示データとして、本減色処理部ブロックの外部に転送される。また、この下位ビット削減が施された画像データは、引算回路2012で、原画像データと、変換後の画像データの差分が算出され、誤差データが生成される。この誤差データは、演算回路2014で、当該画素に対して右横、下、右下の画素に分配される誤差配分データに変換される。そして、この誤差配分データは加算回路2021、2022、2023で、当該画素に対して右横、下、右下の画素の原画像データに加算され、再度レジスタファイル2001に記憶されることになる。これを、順次繰り返すことで、レジスタファイル2001内部の画像データに誤差拡散処理を施すことが可能になる。

【0054】また、本実施形態では、レジスタファイル2001を図17、図18では横方向4画素、縦方向2ラインとして、説明してきたが、この処理ブロックサイズは、横方向8画素、縦方向8ライン等と大きくしても、同様の効果がある。更に、誤差データの配分を隣接する3画素に配分してきたが、回路規模の増加が懸念されるが、より多くの画素に配分しても、同様な効果が得られる。

【0055】以上の誤差拡散処理を実現する減色処理部を有する液晶ディスプレイのブロック図を図21を用いて説明する。本ブロック図によれば、第1の実施形態と、ほぼ同じ機能ブロックの構成になっており、2101の減色処理部が、図20で記載した減色処理部に変更になるだけである。また、本実施形態では、MPUから転送される表示データは、前記レジスタファイル2001の容量以下の画像数単位で転送されることが望ましい。

【0056】また、第1の実施形態、並びに第2の実施形態で、液晶パネル106を画素部にスイッチング素子を有するアクティブマトリクス形液晶パネルとして、説明してきたが、液晶パネル106が画素部にスイッチング素子を持たない単純マトリクス形液晶パネルにおいても、走査駆動回路117並びに信号駆動回路118を単純マトリクス形液晶パネルに対応させることで、容易に対応可能である。

【0057】尚、上記実施形態では、ハードウェアにより機能を実現しているが、ソフトウェアにより同等の機能を実現してもよい。

【0058】また、本発明は、携帯電話に限らず、携帯情報端末、ノート型パソコン、ネットワークに接続して使用されるパソコン、テレビにも適用可能である。

【0059】さらに、本発明は、液晶ディスプレイに限らず、プラズマディスプレイ、ELディスプレイにも適用可能である。

【0060】

【発明の効果】本発明によれば、液晶駆動回路にて減色処理を行うため、ホストから転送された画像データの色数に依存することなく、液晶駆動回路又は液晶パネルに適した色数で画像データを処理又は表示することができるという効果を奏する。

【0061】又は、液晶駆動回路内の表示メモリの前段で減色処理を行うことで、表示メモリ容量を小規模で構成することが可能になり、低消費電力、低コストを実現できる効果がある。

【0062】又は、本発明によれば、液晶パネルの構造に依存しない減色処理が可能になるので、汎用性のある回路構成が構築できる効果がある。

【図面の簡単な説明】

【図1】本発明の携帯電話用液晶表示装置のブロック図。

【図2】本発明のMPUIンタフェース部のブロック図。

【図3】本発明のMPUIンタフェース部のタイミングチャート図。

【図4】本発明の入力データフォーマット図。

【図5】本発明の減色処理フロー図。

【図6】本発明のディザパターン概要図。

*【図7】本発明のディザパターン概要図。

【図8】本発明の評価用原画像データ図。

【図9】本発明の演算結果後（処理無し）画像データ図。

【図10】本発明の演算結果後（処理有り）画像データ図。

【図11】本発明の減色処理部のブロック図。

【図12】本発明のメモリアドレスマップ図。

【図13】本発明の減色処理部のタイミングチャート図。

【図14】本発明の減色処理部のタイミングチャート図。

【図15】本発明の階調電圧出力概要図。

【図16】本発明の階調電圧生成タイミングチャート図。

【図17】本発明の誤差拡散概要説明図。

【図18】本発明の誤差拡散概要説明図。

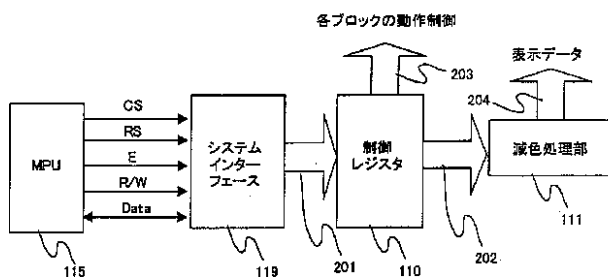
【図19】本発明の演算結果後（誤差拡散処理有り）画像データ図。

【図20】本発明の誤差拡散減色処理部のブロック図。

【図21】本発明の携帯電話用液晶表示装置のブロック図。

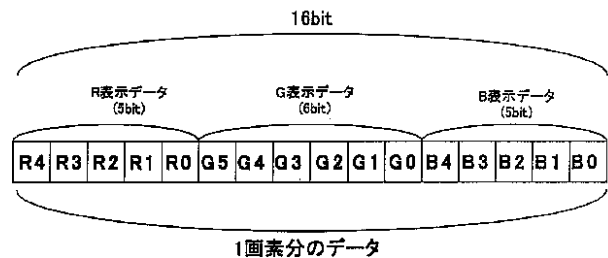
【図2】

図 2



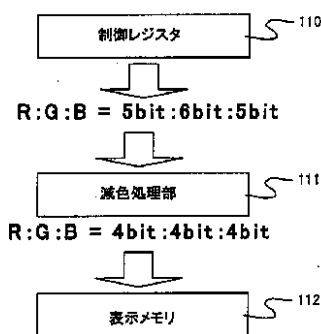
【図4】

図 4



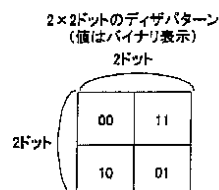
【図5】

図 5



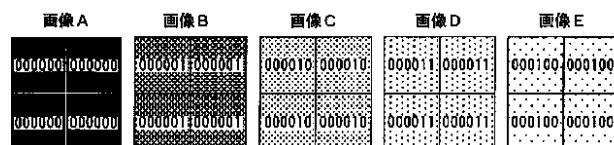
【図6】

図 6



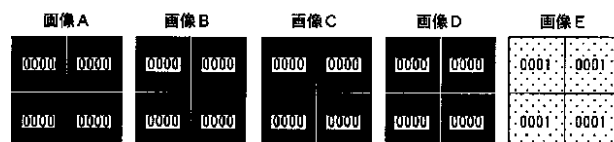
【図8】

図 8



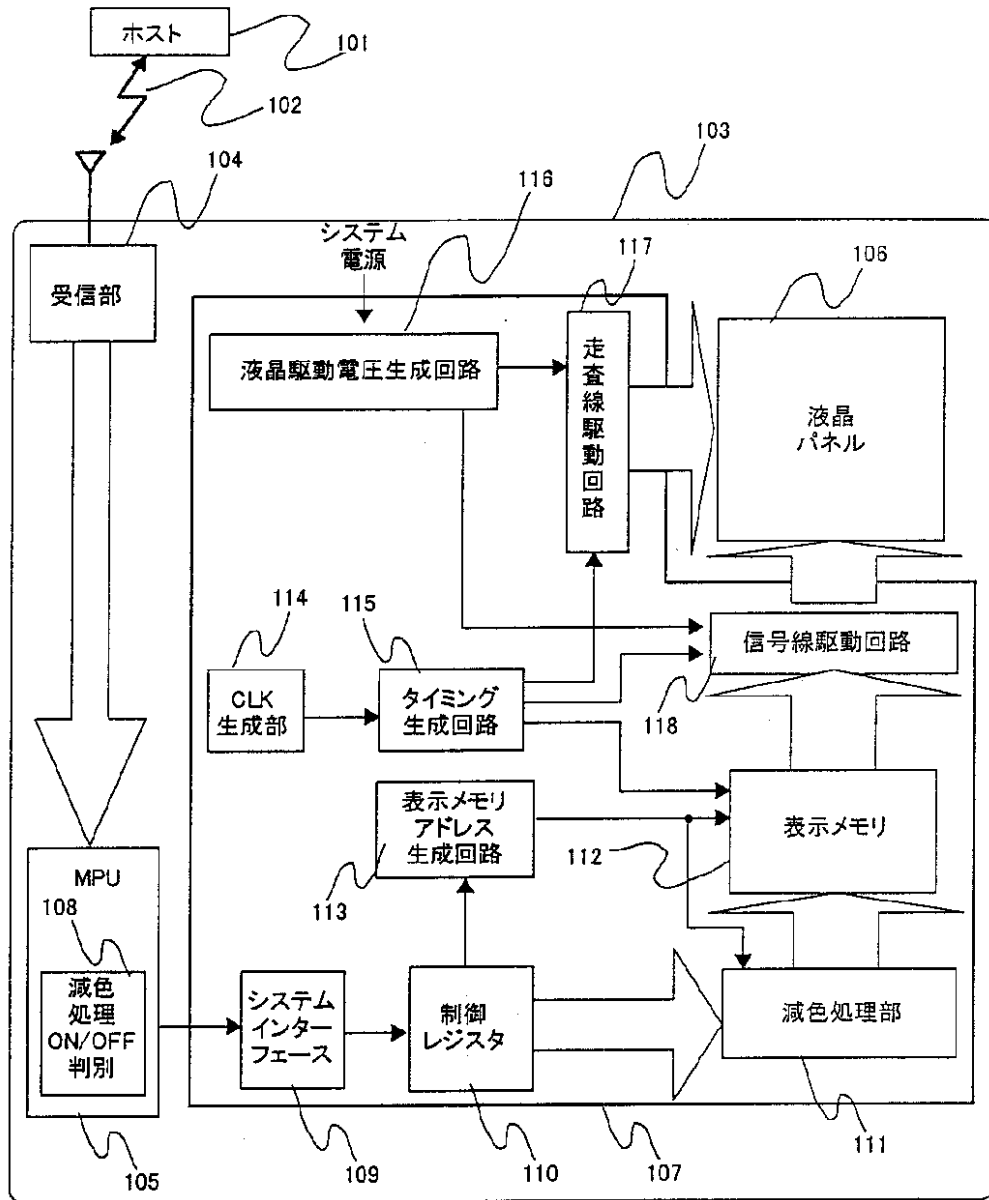
【図9】

図 9



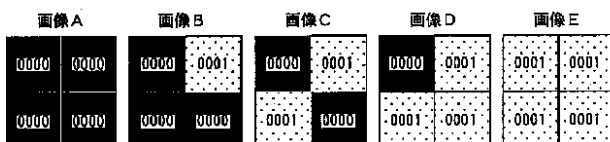
【図1】

図 1



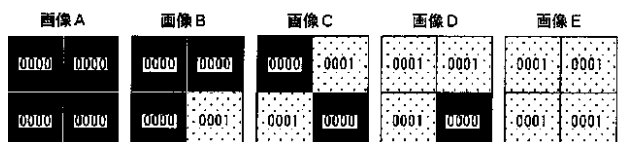
【図10】

図 10



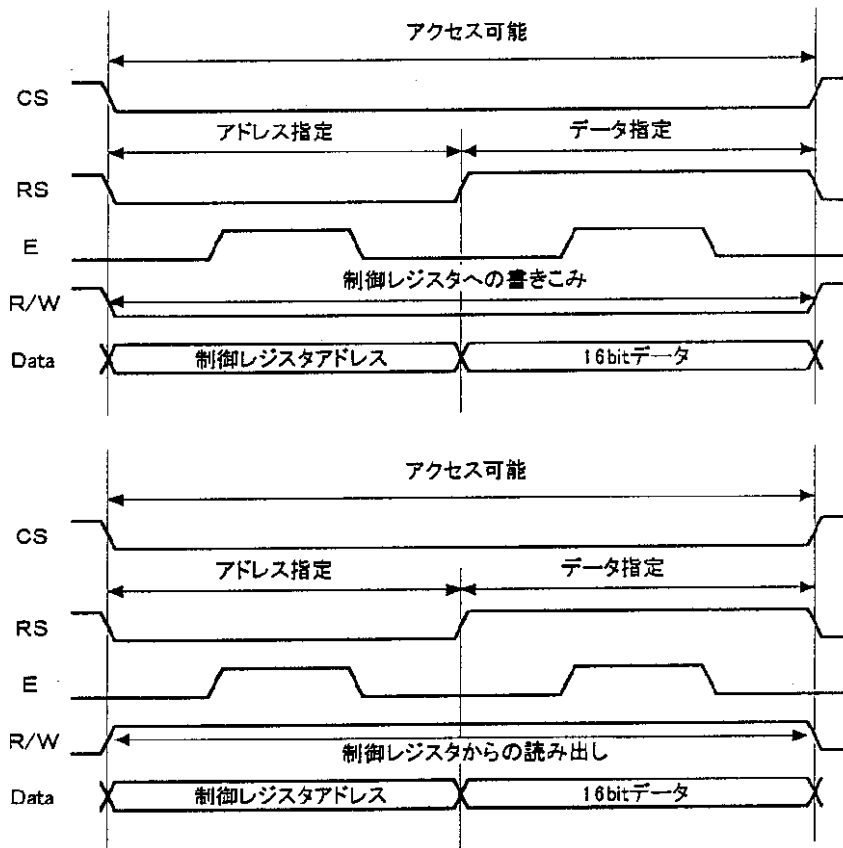
【図19】

図 19



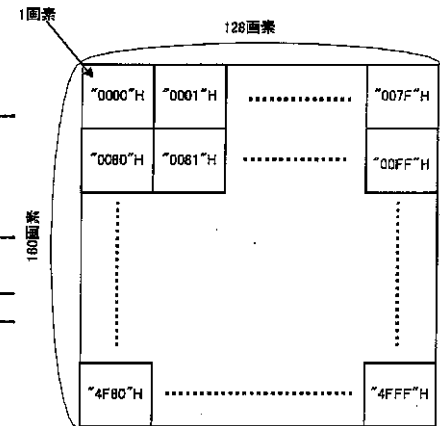
【図3】

図 3



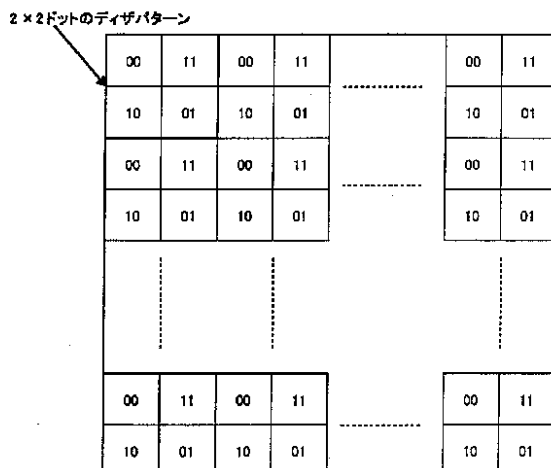
【図12】

図 12



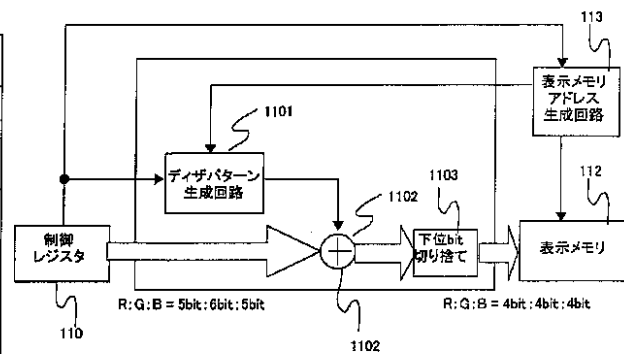
【図7】

図 7



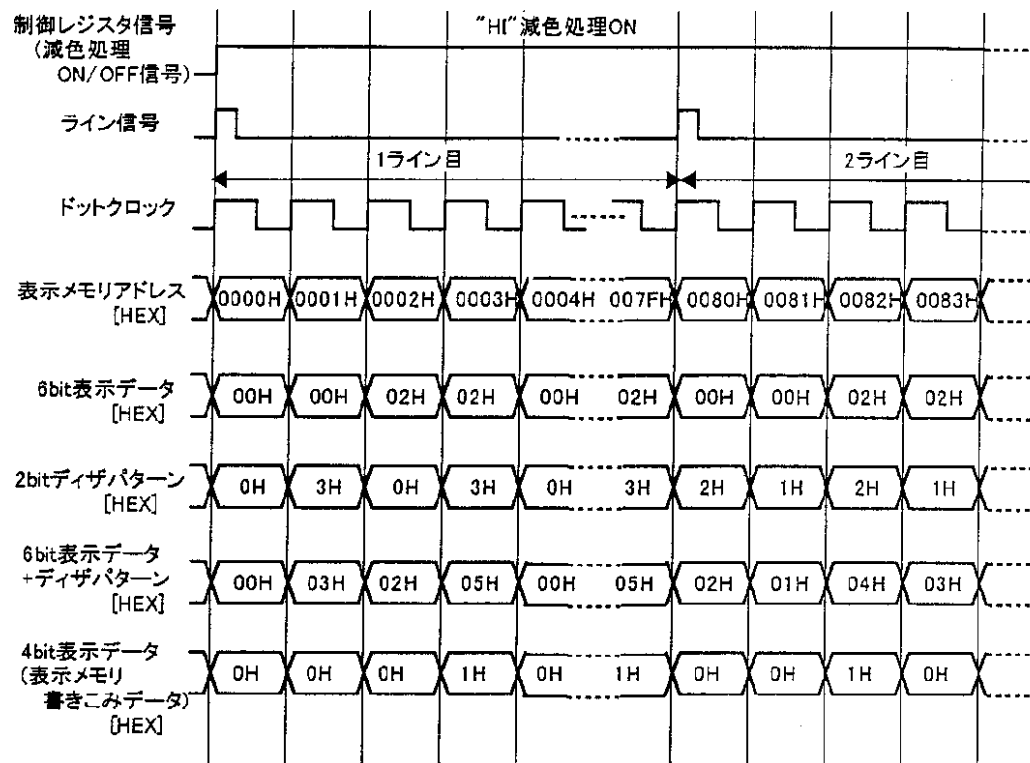
【図11】

図 11



【図13】

図 13

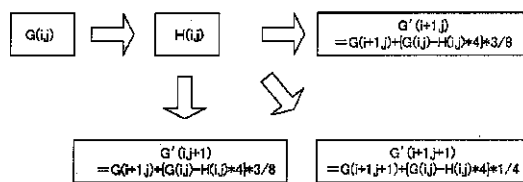


【図17】

図 17

$G(i,j)$	$G(i+1,j)$	$G(i+2,j)$	$G(i+3,j)$
$G(i,j+1)$	$G(i+1,j+1)$	$G(i+2,j+1)$	$G(i+3,j+1)$

(a)



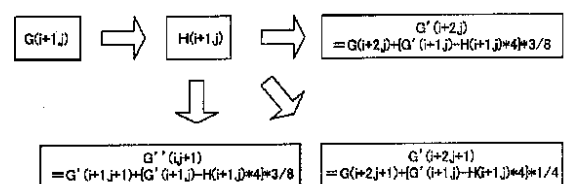
(b)

【図18】

図 18

$H(i,j)$	$G'(i+1,j)$	$G(i+2,j)$	$G(i+3,j)$
$G'(i,j+1)$	$G'(i+1,j+1)$	$G(i+2,j+1)$	$G(i+3,j+1)$

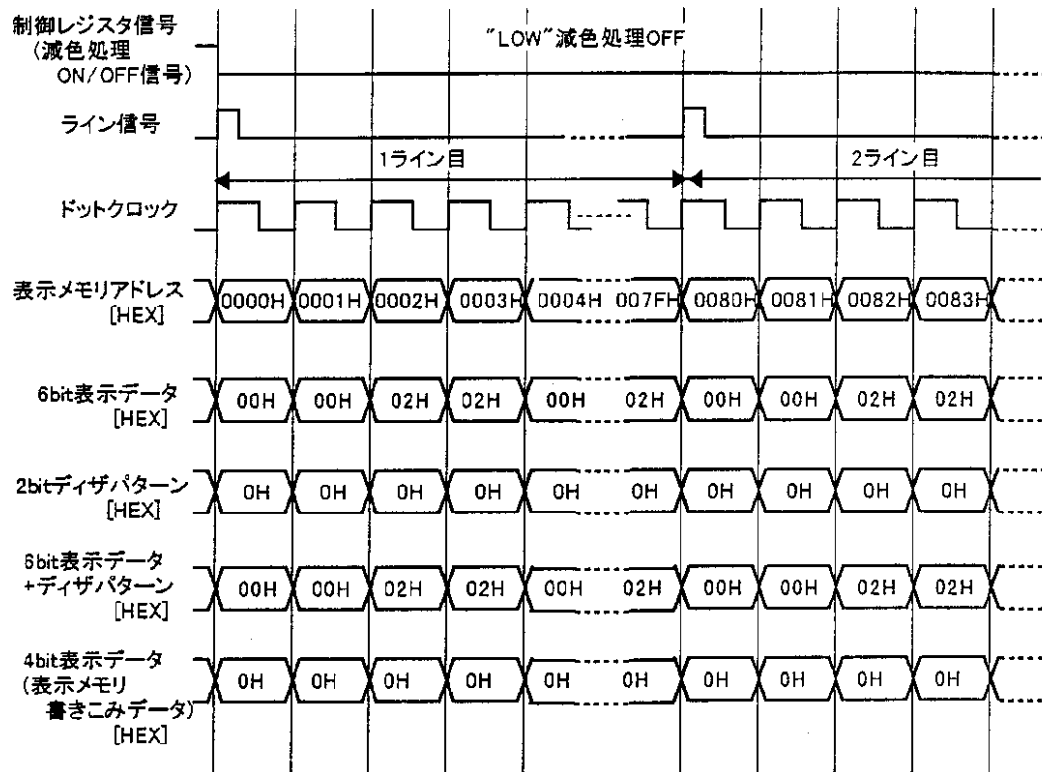
(a)



(b)

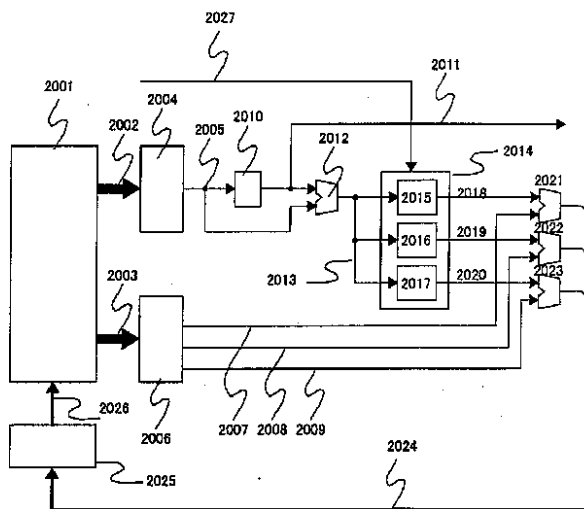
【図14】

図 14



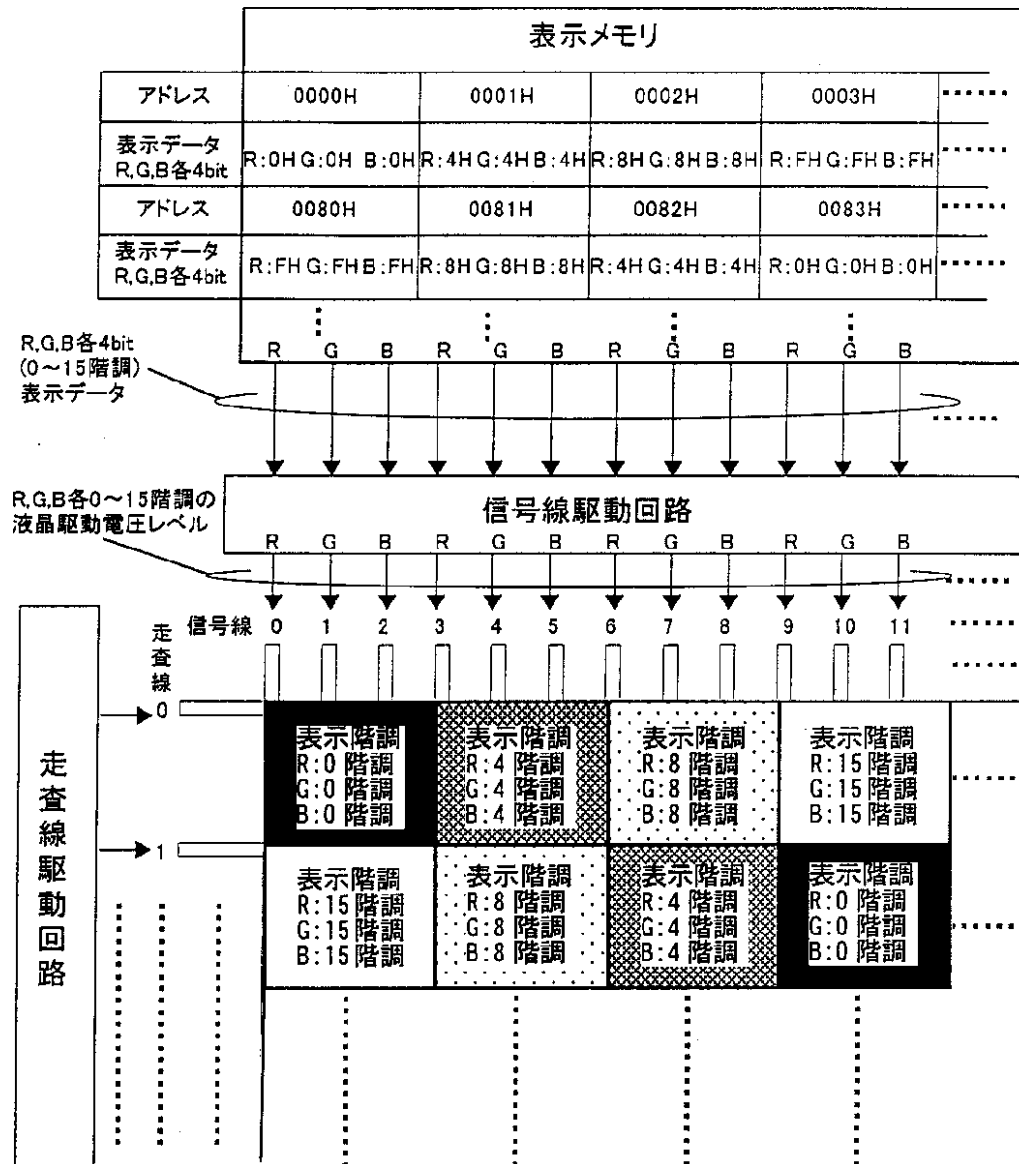
【図20】

図 20



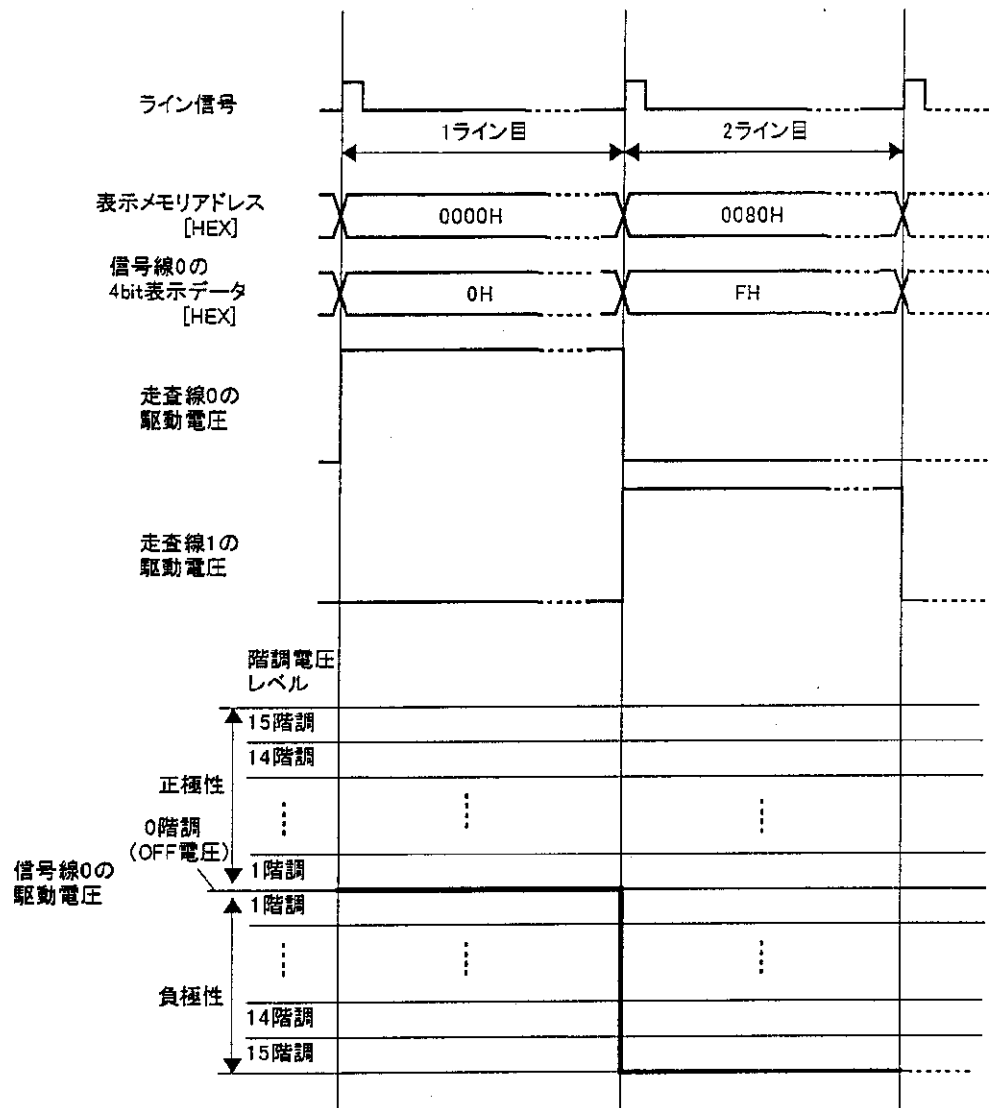
【図15】

図 15



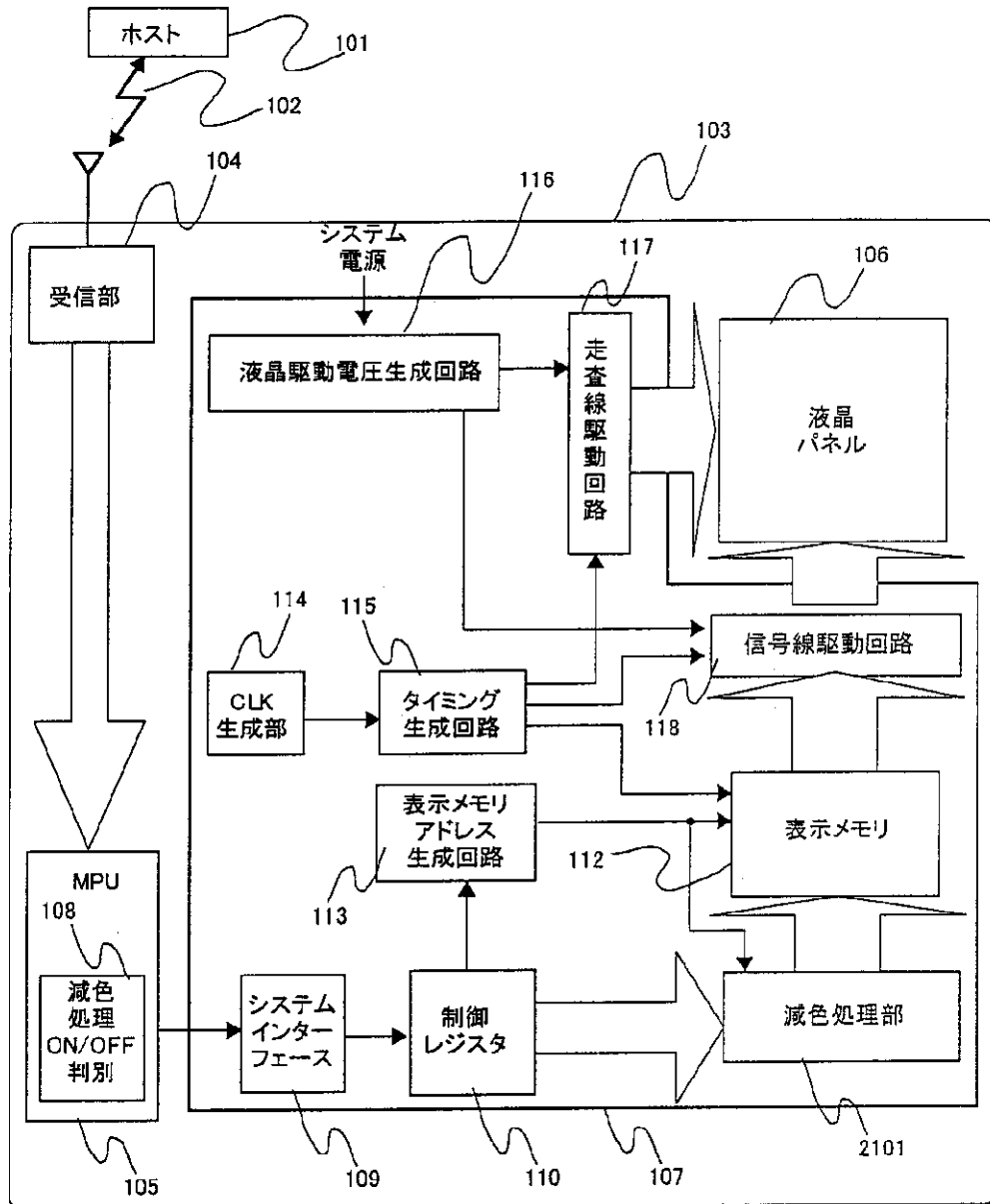
【図16】

図 16



【図21】

図 21



フロントページの続き

(51)Int.Cl.⁷
G 0 9 G 3/20

識別記号
6 5 0

F I
G 0 9 G 3/20

テ-マコード' (参考)
6 5 0 M

(72)発明者 比嘉 淳裕
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立画像情報システム内

(72)発明者 横田 善和
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72)発明者 黒川 一成
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

F ターム(参考) 2H088 EA22 HA06 MA20
2H093 NA16 NA46 NA54 NA62 NC14
NC28 NC50 ND06 ND17 ND39
ND54 NG20
5C006 AA12 AA22 AF69 AF85 BB11
EC13 FA44 FA47 FA51 FA56
5C080 AA10 BB05 DD26 DD27 DD30
EE29 GG09 JJ01 JJ02 JJ04
KK07

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002287709A	公开(公告)日	2002-10-04
申请号	JP2001091630	申请日	2001-03-28
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	工藤泰幸 相澤弘己 比嘉淳裕 横田善和 黒川一成		
发明人	工藤 泰幸 相澤 弘己 比嘉 淳裕 横田 善和 黒川 一成		
IPC分类号	G02F1/13 G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/13.505 G02F1/133.510 G09G3/20.611.A G09G3/20.641.P G09G3/20.650.M		
F-TERM分类号	2H088/EA22 2H088/HA06 2H088/MA20 2H093/NA16 2H093/NA46 2H093/NA54 2H093/NA62 2H093/NC14 2H093/NC28 2H093/NC50 2H093/ND06 2H093/ND17 2H093/ND39 2H093/ND54 2H093/NG20 5C006/AA12 5C006/AA22 5C006/AF69 5C006/AF85 5C006/BB11 5C006/EC13 5C006/FA44 5C006/FA47 5C006/FA51 5C006/FA56 5C080/AA10 5C080/BB05 5C080/DD26 5C080/DD27 5C080/DD30 5C080/EE29 5C080/GG09 5C080/JJ01 5C080/JJ02 5C080/JJ04 5C080/KK07 2H193/ZC27 2H193/ZD24		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种能够处理或显示具有适合于液晶驱动电路的颜色数量或液晶面板能力的图像数据的液晶显示装置，与所传送的图像数据的颜色数量无关来自主持人。解决方案：在构成液晶显示器的液晶驱动电路中，通过设置抖动处理电路来实现高质量显示，该抖动处理电路用于执行具有比前面的液晶显示器可显示的颜色更多的灰度信息的图像数据的最佳颜色减法处理。显示存储器的阶段或误差扩散电路，从而将由低阶位组成的灰度分量（亮度分量）分配给相邻像素。

