

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2002 - 156954

(P2002 - 156954A)

(43)公開日 平成14年5月31日 (2002.5.31)

| (51) Int.Cl ⁷ | 識別記号 | F I | テ-マコード* (参考) |
|--------------------------|--------|---------------|----------------|
| G 0 9 G 3/36 | | G 0 9 G 3/36 | 2 H 0 9 2 |
| G 0 2 F 1/133 | 575 | G 0 2 F 1/133 | 2 H 0 9 3 |
| | 1/1343 | | 5 C 0 0 6 |
| G 0 9 G 3/20 | 611 | G 0 9 G 3/20 | 5 C 0 8 0 |
| | 621 | | 621 B |

審査請求 未請求 請求項の数 4 O L (全 22数) 最終頁に続く

(21)出願番号 特願2001 - 269397(P2001 - 269397)

(22)出願日 平成13年9月5日 (2001.9.5)

(31)優先権主張番号 特願2000 - 269177(P2000 - 269177)

(32)優先日 平成12年9月5日 (2000.9.5)

(33)優先権主張国 日本 (JP)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目1番1号

(72)発明者 中 村 卓

埼玉県深谷市幡羅町一丁目9番地2 株式会
社東芝深谷工場内

(72)発明者 羽 成 淳

埼玉県深谷市幡羅町一丁目9番地2 株式会
社東芝深谷工場内

(74)代理人 100075812

弁理士 吉武 賢次 (外 4 名)

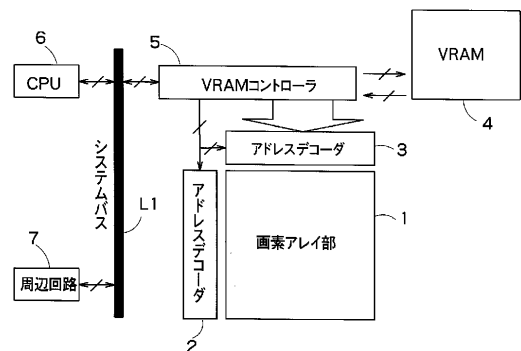
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 消費電力を低減でき、かつ小型化が可能な液晶表示装置を提供する。

【解決手段】 液晶表示装置は、画素アレイ部 1 と、アドレスデコーダ 2 , 3 と、表示メモリ (VRAM) 4 と、VRAMコントローラ 5 とを備えており、システムバス L 1 を介して CPU 6 および周辺回路 7 と信号の送受を行う。画素アレイ部 1 は、複数の 1 ビットメモリで各画素を構成した面積階調画素構造になっている。画素アレイ部 1 全体を複数の画素からなる画素ブロックに区分けし、ブロック単位で 1 ビットメモリの書き換えを行う。 1 ビットメモリは二重ワード線構造になっている。



【特許請求の範囲】

【請求項1】ガラス基板に液晶材料を挟持してなり、複数の副画素によって一画素を構成する液晶表示装置において、

デジタル画素データの各ビットが前記副画素のそれぞれに対応しており、

前記副画素のそれぞれは、1ビットメモリを有し、前記複数の副画素のうち、それぞれ異なる副画素を選択する少なくとも2本のゲート線と、

前記複数の副画素のうち、それぞれ異なる副画素にデジタル画素データを供給する少なくとも3本の信号線と、
10 前記一画素ごとに設けられることを特徴とする液晶表示装置。

【請求項2】前記1ビットメモリは、SRAMで構成されていることを特徴とする請求項1に記載の液晶表示装置。

【請求項3】前記副画素のそれぞれは、前記1ビットメモリと前記信号線との間で送受されるデータの極性を切り替え可能な極性切替回路を有することを特徴とする請求項1または2に記載の液晶表示装置。

【請求項4】前記副画素それぞれに設けられる前記1ビットメモリは、各画素の概略中央部にまとめて配置され、前記1ビットメモリそれぞれの電源配線と前記極性切替回路に供給する極性反転制御信号配線とを共通化することを特徴とする請求項3に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関わり、特に多階調のメモリを画素に配置した液晶表示装置に関する。

【0002】

【従来の技術】各画素ごとにメモリを配置し、各メモリで画素データを保持する表示装置が提案されている。例えば、特開平9-258168には、コンデンサにより画素電圧を保持する構成が開示されている。

【0003】

【発明が解決しようとする課題】しかしながら、多階調の表示を実現するには、微細な容量のコンデンサを精度良く製造する技術が必要になり、加えて、画素駆動用のトランジスタのばらつきによる画面内のムラがおきるおそれもある。

【0004】一方、特開平10-68931には、一画素を副画素に分割して多階調を表示する液晶表示装置が開示されている。この装置によれば、例えば6ビットのデータの画素を表示するためには、6個に分割した副画素それぞれにデータを伝送するための信号線が合計6本必要となり、画素間隔が増大し、見栄えが悪化するおそれがある。

【0005】本発明は、このような点に鑑みてなされたものであり、その目的は、画素駆動用トランジスタのしきい値のばらつきによるムラの防止と多階調の画素デー

タを保持する回路を内蔵し、かつ見栄えの低下を防ぐことが可能な液晶表示装置を提供することにある。

【0006】

【課題を解決するための手段】上述した課題を解決するために、本発明は、ガラス基板に液晶材料を挟持してなり、複数の副画素によって一画素を構成する液晶表示装置において、デジタル画素データの各ビットが前記副画素のそれぞれに対応しており、前記副画素のそれぞれは、1ビットメモリを有し、前記複数の副画素のうち、それぞれ異なる副画素を選択する少なくとも2本のゲート線と、前記複数の副画素のうち、それぞれ異なる副画素にデジタル画素データを供給する少なくとも3本の信号線と、
10 前記一画素ごとに設けられる。

【0007】

【発明の実施の形態】以下、本発明に係るについて、図面を参照しながら具体的に説明する。

【0008】以下、本発明に係る表示装置について、図面を参照しながら具体的に説明する。

【0009】(第1の実施形態)図1は本発明に係る表示装置の第1の実施形態の概略構成を示すブロック図であり、液晶表示装置の構成を示している。

【0010】図1の液晶表示装置は、画素アレイ部1と、アドレスデコーダ2,3と、表示メモリ(VRAM)4と、VRAMコントローラ5とを備えており、システムバスL1を介してCPU6および周辺回路7と信号の送受を行う。

【0011】画素アレイ部1は、複数の1ビットメモリで各画素を構成した面積階調表示が可能な画素構造になっている。図2は1画素分の構造を示す図である。図示のように、1画素はRGBの各色表示画素ごとにそれぞれ4つの副画素領域で構成され、各領域にはそれぞれ1ビット分のメモリが設けられている。図2は1表示画素が各色ごとに4ビットの表示信号に基づく4つの副画素領域で構成されている例を示しており、最下位ビットをd0、最上位ビットをd3とすると、各画素の画素値は、 $2^0 \cdot d_0 + 2^1 \cdot d_1 + 2^2 \cdot d_2 + 2^3 \cdot d_3$ で表される。これにより、各色ごとに、 $2^4 = 16$ 階調の表示が可能となる。

【0012】副画素領域内の各1ビットメモリは、A1やAg等で構成される例えば反射性を有する画素電極に接続されている。これら反射画素電極の上面には液晶層を挟んで例えば対向電極が配置されている。

【0013】また、図2では、最下位ビットd0から最上位ビットd3までの各4ビットの面積比が、d0:d1:d2:d3=1:2:4:8の例を示している。一般には、各ビットの面積×白色の透過率が2のべき乗になるようにするのが望ましい。なお、1画素を構成する副画素領域は、表示信号のビット数に対応して、例えば6ビットの表示信号であれば所望の面積比率と成るように6副画素領域に分割すればよい。

【0014】各画素を構成する4つの副画素領域の配列は、必ずしも各表示画素内で順番に並んでいる必要はなく、図2Aのように(d0, d3, d1, d2)の順に並んでいてもよく、あるいは、図2Bのように(d0, d1, d2, d3)の順に並んでいてもよい。また、図2Cのように2次元状に並んでいても良く、これはメモリとの接続のしやすさ、カラーフィルタの構造とを考慮し、開口率が最大となるようにするのが望ましい。

【0015】図2ではRGBの各色の表示画素を構成する副表示画素数が等しく、各色の表示階調数が16階調とした場合を示したが、色ごとに表現可能な表示階調数を異ならしめても良い。例えば、図3は、RとBが3ビット、即ち3つの副画素領域で構成され、Gが4ビット、即ち4つの副画素領域で構成されている例を示している。

【0016】図2では各副画素領域の面積がRGBの各色で等しい例を説明したが、各副画素領域の面積がRGBの各色で異なってもよい。実際には、最も自然な色合いになるようにRGBのビット数を定めればよい。また、各副画素領域の面積比がRGBの各色で異なってもよい。

【0017】図1のVRAMコントローラ5は、CPU6から送られる映像データをVRAM4に書き込み、VRAM4から画素ブロック単位で映像データを取り出し、画素ブロック座標を示すアドレスデータとともにアドレスデコーダ2、3に出力し、アドレスデコーダ2、3は画素アレイ部1の対応する画素ブロックの1ビットメモリに映像データを格納する。

【0018】画素ブロックのサイズは、1フォント描画に要するドット数に略等しい。VRAMコントローラ5は、1ビットメモリをアクセスするための分周用クロックを出力する。また、VRAMコントローラ5は、データ休止期間(ブランキング期間)中に中間電位を出力可能である。

【0019】画素アレイ部1は、データ休止期間中に1ビットメモリのリフレッシュ動作および液晶印加電圧の極性反転が行えるように、クロック発生回路を備えている。

【0020】VRAMコントローラ5はシリコンチップで構成され、画素アレイ部1が形成されるガラス基板上に例えばCOG(chip on glass)実装される。あるいは、VRAMコントローラ5とCPU6を一個のシリコンチップにまとめて、ガラス基板上にCOG実装してもよい。さらに、このチップにVRAM4を内蔵してもよい。

【0021】本実施形態は、画素アレイ部1全体を複数の画素からなる二次元マトリクス状の画素ブロックに区分けし、ブロック単位で各画素の1ビットメモリの書き換えを行う点に特徴がある。ブロック単位で書き換えを行うことで、周辺デコーダ回路のビット数を削減でき、回路の実装面積が小さくなる。また、現実問題として、

1画素分だけの書き換えを行うことはほとんどなく、通常は数十画素分まとめて書き換えを行うため、ブロック単位で書き換えを行っても、消費電力を浪費するような冗長動作には必ずしもならないですむ。

【0022】さらに、本実施形態では、VRAM4に書き込む単位よりも、VRAM4から読み出す単位を大きくしている。これにより、書き換えが必要な範囲だけVRAM4の書き換えを行うとともに、VRAM4からの高速読み出しが可能になる。

【0023】図1の液晶表示装置の具体例として、画素数が256(×3)×256ドットで、16ドットの文字を表示する場合、画素ブロックは16×16ドットの二次元マトリクス状にし、アドレスデコーダ2、3は4ビットデコーダとし、静止画時は6ビットとし、ポリシリコン発振回路を用いて待機時液晶画素極性反転を行い、外部コントローラは完全休止させる。また、VRAM4、VRAMコントローラ5およびCPU6は一個のチップにまとめ、VRAM4はCPU6の主記憶メモリの一部を用いる。このチップは、画素アレイ部1が形成されるガラス基板上にCOG実装される。

【0024】図4は画素アレイ部1と、その周辺の回路構成を示すブロック図である。図示のように、画素アレイ部1は二次元マトリクス状に複数のメモリセル(画素ブロック)11に区分され、各メモリセル11は複数の画素で構成されている。メモリセル11を構成する各画素は面積が重み付けされた2並列に配置されるそれぞれ3つの副画素、合計6副画素で構成され、それぞれの副画素にはSRAM構造の1ビットメモリが設けられている。

【0025】1ビットメモリは、等価回路的には、図示のように、例えばトランジスタQ1、Q2とインバータIV1、IV2とで構成されるSRAMであって、データバス12から供給されたデータを保持する。1ビットメモリに保持されたハイレベル電圧またはローレベル電圧を画素電極に印加し、画素電極とコモン電圧との間の電位差を液晶層に印加する構造になっている。

【0026】メモリセル11には、ビット線駆動回路13とワード線駆動回路14とが接続されている。ビット線駆動回路は、データバス12上の画素データをどのビット線に供給するかを選択する列ブロックセクタ15を有する。また、ワード線駆動回路14は、行ブロックセクタ16と、シフトレジスタ17とを有する。行ブロックセクタ16はいずれかのブロックを選択し、選択したブロック内のワード線をシフトレジスタ17が順次駆動する。

【0027】本実施形態では、例えば絶縁基板としてガラス基板上に、低温ポリシリコン技術を利用して画素表示用のトランジスタと駆動回路用のトランジスタを形成する。ところが、低温ポリシリコンで形成されたトランジスタは、シリコンウエハ上に形成される結晶シリコン

によるトランジスタに比べて動作速度が遅いため、電圧振幅を大きくする必要がある。このため、ガラス基板の外部から供給されたアドレスデータや映像データはガラス基板上でレベル変換される。

【0028】図5はメモリセル11周辺の回路構成をより詳しく示したブロック図である。図示のように、画素データのレベル変換を行うレベルシフトおよびシリアル-パラレル変換回路(S P変換回路)21と、バッファ22と、データバッファ23と、行側のアドレスバッファ24および行ブロックデコーダ25と、列側のアドレスバッファ26、列ブロックデコーダ27およびマルチプレクサ28と、同期信号等を生成する制御回路29と、待機時用クロック発生回路30と、クロック切替え回路31と、極性制御回路32とを有する。

【0029】図5のレベルシフト21でレベルシフトされたデータは、シリアル-パラレル変換回路(S P変換回路)21で分周される。S P変換回路21は、データ期間をn倍(nは2以上の自然数)に引き延ばし、後段側のデジタル回路でのタイミングマージンを確保しやすくする。

【0030】ガラス基板には、映像データと、書き込みを行うブロックを指定するブロックアドレスデータが入力される。データバス12は本数ができるだけ少ないほど望ましいため、本実施形態では、映像データとブロックアドレスとを同一のバスで伝送するようにしている。具体的には、各ブロックごとに、まずアドレスデータを伝送し、次に映像データを伝送する。アドレスデータは、行/列アドレスバッファ24, 26に保持され、データバスを確定する。また、映像データは、データバッファ23に蓄えられて所定の順序でマルチプレクサ28を経由して、画素アレイ部1内の信号線に送られる。

【0031】図2のような1ビットメモリを用いて液晶表示を行う場合、待機時も表示を継続しなければならない。ところが、液晶に直流電圧が長期間にわたり印加されると液晶が焼き付け等を起こすため、待機時でも所定期間毎に極性反転動作を行う必要がある。このため、本実施形態では、図5に示すように待機時用クロック発生回路30を設け、待機時には通常よりも緩やかな速度で極性反転を行う、例えば通常駆動時は1垂直走査周期で待機時は4垂直走査周期で極性反転を行なうようにしている。このような待機時用クロック発生回路30を設けることで、待機時にはシステムクロックを完全に停止させることができ、消費電力の低減が図れる。

【0032】(メモリと極性反転回路の具体例1)図6は表示面積に重み付けの為された副画素ごとにSRAMと極性反転回路を設けた液晶表示装置の構成を示す回路図であり、図6の一点鎖線で囲んだ部分がそれぞれの副画素を示している。各副画素には、ワード線と、極性制御線P+, P-と、データ線とが接続されており、シングルワード線構造である。各副画素は、ワード線の電位によ

りオン・オフするトランジスタQ3と、極性制御線P+の電位によりオン・オフするトランジスタQ4と、極性制御線P-の電位によりオン・オフするトランジスタQ5と、縦続接続されたインバータIV3, IV4と、を有する。トランジスタQ3とインバータIV3, IV4とでSRAMが構成され、トランジスタQ4, Q5により極性反転回路が構成される。

【0033】図6の回路は比較的簡単であり、行単位または複数行単位のランダムアクセス回路と、また二次元マトリクス状のランダムアクセス回路と組み合わせることにより、常に全画面更新を行う場合より大幅に低消費電力にできるが、誤書き込みが生じやすい、ワード線負荷が大きくなり消費電力が大きくなる、ワード線負荷が大きくなるなどの問題が生じる場合もある。このような問題を回避する手法として、以下に示すような二重ワード線構造を組み合わせることができる。

【0034】(メモリと極性反転回路の具体例2)図7は二重ワード線構造の回路図である。図7の回路は、列ワード線の電位によりオン・オフするトランジスタQ6を有する。トランジスタQ6がオンすると、主ワード線の電位が副ワード線に供給される。副ワード線は、行方向に並んだ副画素それぞれに接続されている。例えば、副ワード線がハイレベルのときは、トランジスタQ3がオンするとともに、SRAMのフィードバック経路にあるトランジスタQ7がオフする。このときは、極性制御線P+, P-の電位により、トランジスタQ4, Q5のいずれかがオンする。

【0035】一方、副ワード線がローレベルのときはトランジスタQ7がオンし、SRAM内の後段側のインバータ出力が初段側のインバータの入力に帰還され、データが保持される。

【0036】このように、二重ワード線構造では、更新対象のブロックのみ副ワード線がアクティブになり、それ以外の副ワード線は非アクティブになるため、誤書き込みが起きにくくなる。

【0037】図8は二重ワード線構造を説明する図であり、図8の一点鎖線で囲んだ領域がデータの書き換え単位を示すブロックである。図示のように、主ワード線と列ワード線の電位により、いずれか一つの副ワード線のみがアクティブになる。また、選択されたブロック内の各1ビットメモリは順次駆動される。なお、ブロックの単位となる範囲は特に制限はなく、何ラインにわたってもよい。

【0038】(メモリと極性反転回路の具体例3)図9Aはデータ線と極性制御線P+, P-とを隣接画素で共有する例を示す回路図である。図9の回路は、4つの重み付けされた副画素で一画素を構成し、これにより各画素毎に16階調表示を実現する例であり、4つの副画素は上下左右に2個ずつ配置されており、横方向に隣接する2つの副画素は、データ線を介して配置され、このデ

ータ線を共有している。副画素は、データ線に接続されたトランジスタQ3と、SRAMと、極性反転回路とを有する。SRAMは、トランジスタQ4、Q5およびインバータIV3、IV4とを有し、極性反転回路は、トランジスタQ4、Q5を有する。

【0039】図9の回路は、横方向に隣接する副画素100でデータ線を共有するため、これら2つの副画素100にはそれぞれ別個のワード線を接続する必要がある。すなわち、図7の回路よりもワード線が余計に必要な。一方、極性制御線P+、P-は、上下方向に配置された4つの副画素100すべてに共通に接続される。

【0040】ところで、図9Aでは、横方向に隣接する2つの副画素100の間にデータ線を配置する例を説明したが、図9Bに示すように、隣接する2つの副画素100の左端（あるいは右端）にデータ線を配置してもよい。

【0041】（ディスプレイコントローラの構成）図1のVRAM4とVRAMコントローラ5はワンチップにまとめられることが多い。

【0042】図10はVRAM4とVRAMコントローラ5をワンチップにまとめたディスプレイコントローラのブロック図である。図示のディスプレイコントローラは、CPU6とデータの送受信を行うホストインタフェース（ホストI/F）部41と、メモリコントローラ42と、ディスプレイFIFO43と、ルックアップテーブル44と、VRAM4と、書き込み監視回路45と、読み出しブロックアドレス発生回路46と、アドレス変換回路47と、図1のアドレスデコーダ2、3へのデータの受け渡しを行うインタフェース（I/F）部48とを有する。

【0043】書き込み監視回路45は、CPU6がVRAM4の内容を書き換えた否かを監視する。VRAM4の内容が書き換えられると、読み出しブロックアドレス発生回路46は、所定時間内に書き換えられた画素を含む画素ブロック分のアドレスを発生する。

【0044】アドレス変換回路47は、CPU6が指定したVRAM空間のアドレスを表示用のブロックアドレスに変換する。ルックアップテーブル44は、CPU6が指定した色階調データを1ビットメモリ用のデータに変換する。

【0045】（単一データ線メモリへの小振幅書き込み）上述した図7の回路の場合、1ビットメモリにデータを書き込む際に、トランジスタQ7をオフにしてメモリループをカットしている。このような制御により、データ線に送り込むデータの振幅を極小化することができる。この場合のデータの振幅は、インバータIV3、IV4のしきい値ばらつき+程度でよい。例えば、インバータIV3、IV4のしきい値が、素子ばらつきを考慮に入れて $2.5V \pm 0.3V$ とすると、データ線が $2.2V$ 以下の場合にはローレベルと認識され、 $2.8V$ 以上の場合

にはハイレベルと認識される。

【0046】そこで、図11に示すように、 $0V - 5V$ 振幅のデジタルバッファ50の出力を、アナログバッファ51にて $2V - 3V$ 振幅の信号にレベルシフトした後、1ビットメモリ55に供給する。これにより、消費電力の低減が図れる。

【0047】また、1ビットメモリ55内のどこかに容量C1を接続するのが望ましい。このような容量C1を付加することにより、ワード線をオフした後も容量にダイナミックに書き込みレベルが保持されるので、インバータIV3、IV4の遅延が大きくてワード線が活性化している間にインバータループの動作が安定化しなくても、しばらく後に安定状態に到達できる。なお、容量C1は外付けのものでなくてもよく、回路に寄生している容量、液晶容量、または補助容量Csでも有効である。

【0048】さらに、 $0V - 5V$ 振幅のデジタルデータを、アナログバッファ51により、 $2V - 3V$ あるいは $1V - 4V$ の小振幅にすることにより、データ分配用のバス配線で消費される電力を低減できる。アナログバッファの代わりに、信号のロー/ハイに応じて $1V - 4V$ 電源線をデータ線に接続する簡単な方法も可能であり、特性ばらつきの大きいポリシリコンTFTでアナログバッファを構成するよりも消費電力のロスが小さくなる。

【0049】一方、図5のマルチプレクサなどの論理回路は、比較的大きな振幅で駆動する必要がある。このため、図12に示すように、小振幅に変換するアナログバッファ51の後段側に、大振幅に変換するレベルシフタ52を設ける必要がある。

【0050】図13はレベルシフタ52の一例を示す回路図、図14は図13の回路の入出力波形を示す図である。図14において、 $300nsec$ まではスイッチSW1がオンしてスイッチSW2がオフする。このため、図13のコンデンサC2の左側電極は $1.65V$ になる。また、このとき、インバータ53の入出力端子はスイッチSW3を介して導通状態にあるため、インバータ53の入出力端子はしきい値電圧に略等しい電圧になる。

【0051】 $300nsec$ 以降はスイッチSW1がオフしてスイッチSW2がオンする。これにより、しきい値ばらつきに応じた電圧に変換する。

【0052】図15はアナログバッファ51周辺の詳細な回路図である。アナログバッファ51の入力端子には、スイッチSW4、SW5が接続され、アナログバッファ51の出力端子にはコンデンサC3を介してインバータ54が接続されている。

【0053】アナログバッファ51は、簡単には図16Aのような2個のトランジスタQ8、Q9で構成される。あるいは、図16Bのように差動増幅回路構成にしてもよい。

【0054】上述した実施形態では、画素アレイ部1内の1ビットメモリをSRAM構造にする例を説明したが、DR

AM構造や抵抗負荷型構造にしてもよい。図17は1ビットメモリの構造を示す図であり、図17AはSRAM構造の例、図17Bは抵抗負荷型構造の例、図17CはDRAM構造の例を示している。

【0055】SRAMを構成するインバータのPMOSトランジスタを抵抗に置き換えたものが図17Bの抵抗負荷型構造になる。また、図17Cに示すDRAM構造の場合、点線で示すDRAM部分の他に、リフレッシュと極性反転を行う回路が複数ビットごとに設けられている。

【0056】図18は図17CのDRAM構造のタイミング図である。以下、図に基づいて図17Cの動作を説明する。電源電圧VDDと接地電圧VSSは、その差を5Vに保ちながら、COM電圧に同期して振る。

【0057】まず、データ書き込みの手順を説明する。データ書き込み時は、図17Cのワード線Wiを活性化することで、データが補助容量Csと初段のインバータに印加される。このとき、信号Aがハイレベルのため、トランジスタはオフ状態であり、インバータのループは遮断されている。

【0058】次に、ワード線Wiを非活性化して信号Aをローレベルにすると、インバータのループが活性化し、初段のインバータのゲート容量にダイナミックに保持されていた電圧レベルが反転増幅され、所望の電圧レベルになる。

【0059】次に、信号S_{Bi}を導通させる。これにより、Csレベルは電源レベルに充電される。その後、ワード線Wiを活性化して、上記の手順を繰り返す。

【0060】一方、データ保持期間中の反転リフレッシュは、以下の手順で行われる。図17Cにおいて、信号S_{Ai}を活性化すると、補助容量Csの電圧レベルが初段のインバータのゲートに動的に保持される。信号Aがローレベルになると、インバータのループが活性化し、このループの増幅動作により、保持レベルが電源レベルになる。次に、信号S_{Bi}を活性化すると、反転レベルが補助容量Csに書き込まれる。次に、信号S_{A(i+1)}を活性化し、上記の手順を繰り返す。

【0061】なお、データのリフレッシュは、データの書き込みを行わない期間（ブランキング期間）に行われる。

【0062】図19は、メモリ全体を書き換える場合と、行単位で書き換える場合と、行列単位で書き換える場合とで、消費電力を比較した図である。図示のように、消費電力が最も多いのはメモリ全体を書き換える場合で、次に行単位で書き換える場合であり、消費電力が最も少ないのが本実施形態と同様に行列単位で書き換える場合である。

【0063】図20はDRAM構造の1ビットメモリを利用して画素アレイ部1を構成した場合の液晶表示装置の概略構成を示すブロック図である。図20の回路構成は、基本的には図5と同様であるが、画素アレイ部1に反転

リフレッシュ回路付きのDRAMが設けられている点で図と異なる。DRAM構造にすることで、SRAM構造よりも回路構成を簡略化でき、消費電力も低減できる。

【0064】以上では、1ビットメモリに記憶された論理レベルに基づく表示を詳しく説明したが、デジタル映像信号をアナログ電圧レベルにD/A変換し、アナログ電圧レベルをデータ線に印加し、液晶容量や、Cs容量に書き込む通常の表示手段も併用できる。各副画素4ビットメモリとし、待機表示モードではメモリベースの4ビット低消費電力表示、動画表示モードではD/A変換による6-8ビット表示にできる。また、本発明における表示層は液晶層に限らず、EL層等であってもよい。

【0065】次に、第1の実施形態の液晶表示装置の好適な具体例について図面を参照して説明する。

【0066】この液晶表示装置は、PDA用に用いられる対角4インチサイズ、総画素数320(×3)×480の表示領域を備えた光反射型である。

【0067】図21は、この液晶表示装置の概略構成図、図22は表示画素の概略構成図、および図23は液晶表示装置の一部概略断面図である。

【0068】この液晶表示装置は、絶縁基板として例えばガラスからなるアレイ基板200上に、表示アレイ部1、一対のYアドレスデコーダ2a、2b、Xアドレスデコーダ3、および図1中のVRAMコントローラ5の機能の一部を内蔵したインターフェイス部5aとを、例えば多結晶シリコン・トランジスタ(p-Si TFT)により一体的に形成したものである。

【0069】上記したインターフェイス部5aをアレイ基板200上に一体的に形成することで、後述するグラフィック・コントローラIC5bの出力ピン数を低減でき、これによりグラフィック・コントローラIC5bを低減化できることは勿論であるが、更に後述するグラフィック・コントローラIC5b動作を停止させることができ、これにより一層の低消費電力化が達成される。

【0070】この他、アレイ基板200上には、図1中のVRAMコントローラ5の機能の一部と表示メモリ(VRAM)4とを1パッケージにまとめたグラフィック・コントローラIC5bと、DC/DCコンバータ等の電源回路を内蔵した電源IC8とがCOG(chip on glass)により実装されている。

【0071】グラフィック・コントローラIC5bはシステムバスL1に直接接続されている。電源IC8は図示しない外部電源に接続され、3Vの駆動電圧VDDおよびグランド電圧VSSの供給を受ける。

【0072】表示アレイ部1は、上述したように総画素数320(×3)×480で構成され、表示領域の左右で2分割され、また上下で4分割された160(×3)×120画素からなる8ブロック(A1~4、B1~4)に区分される。表示アレイ部1内の左ブロック(A1~4)はYアドレスデコーダ2aによって制御され、右ブロック(B

1~4)はYアドレスデコーダ2bによって制御される。

【0073】表示アレイ部1を構成する各表示画素は、図22に示すように、面積比率が2:1の副表示画素電極81a, 81bをそれぞれ備えている。第1の副表示画素電極81aと対向電極Vcomとの間には液晶容量CLcaが形成され、第2の副表示画素電極81bと対向電極Vcomとの間には液晶容量CLcbが形成される。

【0074】第1副画素電極81aに対応して、3ビット分の画素データDATAを記憶するDRAM71a-1, 71a-2, 71a-3と、各DRAM71a-1, 71a-2, 71a-3に対応して設けられる転送用TF T72a-1, 72a-2, 72a-3と、各DRAM71a-1, 71a-2, 71a-3に対して共通に設けられるリフレッシュ回路73aと、第1副画素電極81aとリフレッシュ回路73aとの間に配置される極性反転回路77aとが設けられる。

【0075】また、第1副画素電極81aの1/2の面積をもつ第2副画素電極81bに対応して、3ビット分の画素データを記憶するDRAM71b-1, 71b-2, 71b-3と、各DRAM71b-1, 71b-2, 71b-3に対応して設けられる転送用TF T72b-1, 72b-2, 72b-3と、各DRAM71b-1, 71b-2, 71b-3に対して共通に設けられるリフレッシュ回路73bと、極性反転回路77bとが設けられる。

【0076】また、第1副表示画素電極81aと第2副表示画素電極81bとの間には、液晶容量CLca, CLcbに保持された電荷を放電させるディスチャージ回路78が設けられている。

【0077】DRAM71a-1, 71a-2, 71a-3, 71b-1, 71b-2, 71b-3のそれぞれは、サンプリング 30トランジスタSTr1~STr5と容量Cs0~Cs5とを有する。

【0078】リフレッシュ回路73a, 73bは、0V(Vss)および5V(Vdd)の電圧ラインに接続され、直列接続された2つのインバータIV1, IV2と、初段のインバータIV1の入力端子と後段のインバータIV2の出力端子との間に接続された帰還TF T76a, 76bとを有する。そして、前段のインバータIV1の出力端子および後段のインバータIV2の出力端子は極性反転回路77に接続されている。

【0079】次に、図21の液晶表示装置の動作について説明する。

【0080】図21の液晶表示装置は、面積階調(各表示画は2副表示画素電極81a, 81bで構成される)とパルス幅変調(1フレーム期間に点灯時間の異なる3つのサブフレーム期間を設け、各サブフレーム(第1~第3表示)期間の点灯時間の比率を、1:2:4とする)とを組み合わせた駆動により、6ビット映像データに基づく64階調表示を実現するものである。

【0081】各表示画素はメモリとしてDRAMを備えているため、静止画等を表示する際には周辺駆動回路の動作 50

を停止させることができ、低消費電力化が可能になる。また、表示領域の8ブロックの独立制御により、表示画面の部分的な書換えが可能になるため、周辺駆動回路の動作を部分的に停止させることができ、より一層の低消費電力化が可能になる。

【0082】詳しくは、グラフィック・コントローラICは、グラフィック・コントローラIC内のフレームメモリの更新がない期間には電源IC8に休止信号SHUTを出力し、これに基づいて電源IC8は一部のブロックの電源供給を停止して低消費電力化を図る。

【0083】まず、グラフィック・コントローラICに映像データdataの入力がない場合について説明する。

【0084】従来の液晶表示装置では、グラフィック・コントローラICに映像データdataの入力がない場合であっても、グラフィック・コントローラICは常に1フレーム分の画素データを出力していたが、この実施例の液晶表示装置では各画素がメモリを内蔵しているため、グラフィック・コントローラICからの一切の映像データdataの出力を停止させることができる。また、これに伴いXアドレスデコーダの動作も停止させることができ、更に一部電源の出力も停止させることにより低消費電力化が達成される。

【0085】図24はこの表示画素の1フレーム期間内の表示タイミングを示す図である。図24を参照して、例えばA2ブロック内の一表示画素の表示を例にとって説明する。

【0086】まず、時刻t1~t2の間では、DRAM71b-1の容量Cs0にデータ線Xnbを介して0ビット目のデータ(例えば、"0")が保持されるとともに、DRAM71a-1の容量Cs3にデータ線Xnaを介して3ビット目のデータ(例えば"1")が保持される。

【0087】その後、時刻t2~t3(第1表示期間)では、極性反転回路77に入力される極性信号PoIAがハイレベル、PoIBがローレベルに設定され、第1副表示画素電極81aには5V(Vdd)の電圧が、第2副表示画素電極81bには0V(Vss)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は0Vに設定されており、これにより第1表示期間内(時刻t2~t3)は、第1副表示画素電極81aに対応する領域は光が透過し、第2副表示画素電極81bに対応する領域は光が遮断する。

【0088】その後、時刻t3~t4の間では、制御信号Aをハイレベルに設定して、第1および第2副表示画素電極81a, 81bの電位を対向電極電位Vcomにショートさせる。これにより、液晶容量CLca, CLcbに保持されている電荷はいったん放電される。また、DRAM71b-2の容量Cs1にデータ線Xnbを介して1ビット目のデータ(例えば"1")が保持されるとともに、DRAM71a-2の容量Cs4にデータ線Xnaを介して4ビット目のデータ("0")が保持される。

【0089】その後、時刻 $t_4 \sim t_5$ （第2表示期間）では、極性反転回路77に入力される極性信号PoIAがハイレベル、PoIBがローレベルに設定され、第1副表示画素電極81aには0V（Vss）の電圧が、第2副表示画素電極81bには5V（Vdd）の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は第1表示期間と同様に0Vに設定されており、これにより第1表示期間内（時刻 $t_2 \sim t_3$ ）は、第1副表示画素電極81aに対応する領域は光が遮断し、第2副表示画素電極81bに対応する領域は光が透過する。

【0090】その後、時刻 $t_5 \sim t_6$ の間では、制御信号Aをハイレベルに設定して、第1および第2副表示画素電極81a、81bの電位を対向電極電位Vcomにショートさせる。これにより、液晶容量CLca、CLcbに保持されている電荷はいったん放電される。また、DRAM71b-3の容量Cs2にデータ線Xnbを介して1ビット目のデータ（例えば"1"）が保持されるとともに、DRAM71a-3の容量Cs5にデータ線Xnaを介して4ビット目のデータ("0"）が保持される。

【0091】その後、時刻 $t_6 \sim t_7$ （第3表示期間）では、極性反転回路77に入力される極性信号PoIAがハイレベル、PoIBがローレベルに設定され、第1副表示画素電極81aには5V（Vdd）の電圧が、第2副表示画素電極81bには0V（Vss）の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は0Vに設定されており、これにより第1表示期間内（時刻 $t_2 \sim t_3$ ）は、第1副表示画素電極81aに対応する領域は光が透過し、第2副表示画素電極81bに対応する領域は光が遮断する。

【0092】このように、本実施例では、面積階調を実現するための2つの副表示画素電極81a、81bと、パルス幅変調を実現するための1フレーム期間内の第1～第3表示期間（第1～第3表示期間の点灯時間の比率は1：2：4）とを組み合わせた駆動により、6ビット映像データに基づく64階調表示が実現される。

【0093】尚、次フレーム期間においては、極性反転回路77に入力される極性信号PoIAはローレベル、PoIBはハイレベルに設定され、かつ対向電極の電圧は5Vに設定されるため、同一の表示状態を維持しつつ、液晶に印加される電圧極性を反転することができ、焼き付け防止が図れる。

【0094】以上のように、図21の液晶表示装置では、グラフィック・コントローラICに映像データdataの入力がない場合にXアドレスデコーダの動作を完全に停止させ、内蔵されるDRAMに保持された画素データDATAにより表示を維持することができる。

【0095】次に、上記の表示状態が続いた後に、グラフィック・コントローラICに映像データdataが入力された場合（表示領域内のA1ブロックの一部の表示が変更がある場合）について説明する。

【0096】グラフィック・コントローラICには、CPU6（図1参照）からシステムバスL1を介してシステムクロックSYSCLKと共に、映像データdataおよびこの映像データdataのアドレスデータadrsが入力される。グラフィック・コントローラICは、このアドレスデータadrsに基づいてグラフィック・コントローラIC内のフレームメモリを順次更新する。

【0097】グラフィック・コントローラICは、入力されるシステムクロックSYSCLKに基づいてXアドレスデコーダ3を制御するXクロックXCLKとXスタートXSTを出力するとともに、Yアドレスデコーダを制御するYスタートYSTをインターフェイス部5aに出力する。また、グラフィック・コントローラICは、更新された映像データdataに対応したA1ブロックの画素データDATAおよびA1ブロックの座標を指すアドレスデータADRSをインターフェイス部5aに出力する。

【0098】インターフェイス部5aは、入力されるXクロックXCLKに基づいてYクロックYCLKを生成し、このYクロックYCLKおよびYスタートYSTをYアドレスデコーダ2a、2bに出力し、またXクロックXCLKおよびXスタートXSTをXアドレスデコーダ3に出力する。更にインターフェイス部5aは、入力されるブロック単位の画素データDATAおよびアドレスデータADRSに基づき、YアドレスデータYADRSをYアドレスデコーダ2a、2bに出力すると共に、画素データDATAおよびXアドレスデータXADRSをXアドレスデコーダ3に出力する。

【0099】Xアドレスデコーダ3は、入力される画素データDATAおよびXアドレスデータXADRSに基づいてH/2期間でA2ブロックの一水平画素ラインに対応したデータをサンプリング回路SPでサンプリングし、データラッチDLで画素データDATAを保持する。そして、データ線ドライバXDR、データ線選択スイッチXSWを介してA2ブロックに対応するデータ線Xna、Xnbに、対応する画素データDATAを各ビット順に順次出力する。

【0100】Yアドレスデコーダ2a、2bのデコード部DCは、入力されるYアドレスデータYADRSに基づいてA2ブロックに対応する制御部2Lのみをアクティブとし、制御部2Lは対応画素に信号（A,W1～W3,SA1～SA3,PoIA,PoIB）を出力する。

【0101】図24に示すA2ブロックのタイミングでXアドレスデコーダ3からA2ブロックに対応するデータ線Xna、Xnbに6ビットの画素データDATAが順次供給される。また、Yアドレスデコーダ2aからサンプリングパルスW1が順次供給され、これにより、まず、6ビットDATAの0ビット目がDRAM71b-1の容量Cs0に保持されるとともに、3bitがDRAM71a-1の容量Cs3に保持される。次にサンプリングパルスW2が供給された時点で、6ビットDATAの1ビット目がDRAM71a-2の容量Cs1に保持され、4bit目がDRAM71b-2の容量Cs4に保持される。次にサンプリングパルスW3が供給された時点で、6

ビットDATAの2bit目がDRAM71b-3の容量Cs2に保持され、5bit目がDRAM71a-3の容量Cs5に保持される。

【0102】例えば、先の表示状態と異なり、DRAM71b-1, 71b-2, 71b-3、71b-1, 71b-2, 71b-3の容量Cs0に0bit目のデータ"1"が、容量Cs1に1bit目のデータ"0"が、容量Cs2に2bit目のデータ"1"が、容量Cs3に3bit目のデータ"0"が、容量Cs4に4bit目のデータ"1"が、容量Cs5に5bit目のデータ"0"が保持されるものとする。

【0103】なお、本実施例の構成によれば、各DRAM71a-1~71b-3と副表示画素電極81a, 81bに電流供給するリフレッシュ回路73a, 73bとはサンプリング動作時に転送用トランジスタ72a-1~72b-3により電氣的に切り離されるため、表示動作と独立してサンプリング動作を行うことが可能である。したがって、表示動作を行うのと同時にDRAM71a-1~71b-3のリフレッシュを行うことができ、リフレッシュ期間を他に設ける必要がなくなる。

【0104】図24に示す0, 3bit目のロード期間で、転送パルスSA1により転送用トランジスタ72a-1, 72b-1は導通される。

【0105】例えば、第1表示期間(図24の時刻t2~t3)では、極性反転回路77に入力される極性信号PoIAがハイレベル、PoIBがローレベルに設定され、第1副表示画素電極81aには0V(Vss)の電圧が、第2副表示画素電極81bには5V(Vdd)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は0Vに設定されており、これにより第1表示期間内は、第1副表示画素電極81aに対応する領域は光が遮断し、第2副表示画素電極81bに対応する領域は光が透過する。

【0106】その後、図24の時刻t3~t4では、制御信号Aをハイレベルに設定して、第1および第2副表示画素電極81a, 81bの電位を対向電極電位Vcomにショートさせる。これにより、液晶容量CLca, CLcbに保持されている電荷はいったん放電される。また、DRAM71b-2の容量Cs1にデータ線Xnbを介して1ビット目のデータ(例えば"1")が保持されるとともに、DRAM71a-2の容量Cs4にデータ線Xnaを介して4ビット目のデータ("0")が保持される。

【0107】その後、時刻t4~t5(第2表示期間)では、極性反転回路77に入力される極性信号PoIAがハイレベル、PoIBがローレベルに設定され、第1副表示画素電極81aには5V(Vdd)の電圧が、第2副表示画素電極81bには0V(Vss)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は第1表示期間と同様に0Vに設定されており、これにより第1表示期間内(時刻t2~t3)は、第1副表示画素電極81aに対応する領域は光が透過し、第2副表示画素電極81bに対応する領域は光が遮断する。

【0108】その後、時刻t5~t6の間では、制御信

号Aをハイレベルに設定して、第1および第2副表示画素電極81a, 81bの電位を対向電極電位Vcomにショートさせる。これにより、液晶容量CLca, CLcbに保持されている電荷はいったん放電される。また、DRAM71b-3の容量Cs2にデータ線Xnbを介して1ビット目のデータ(例えば"1")が保持されるとともに、DRAM71a-3の容量Cs5にデータ線Xnaを介して4ビット目のデータ("0")が保持される。

【0109】その後、時刻t6~t7(第3表示期間)では、極性反転回路77に入力される極性信号PoIAがハイレベル、PoIBがローレベルに設定され、第1副表示画素電極81aには0V(Vss)の電圧が、第2副表示画素電極81bには5V(Vdd)の電圧がそれぞれ印加される。尚、この時、対向電極の電圧は0Vに設定されており、これにより第1表示期間内(時刻t2~t3)は、第1副表示画素電極81aに対応する領域は光が遮断し、第2副表示画素電極81bに対応する領域は光が透過する。

【0110】尚、データ入力のなかった他のブロックは、上述したように、DRAMに保持されている画素データに基づいて表示が維持される。

【0111】上述したように、本実施例の液晶表示装置によれば、内蔵6ビットメモリと、面積階調(各表示画素を2副表示画素電極81a, 81bで構成)と、パルス幅変調(1フレーム期間に点灯時間の異なる3つのサブフレーム期間を設け、各サブフレーム(第1~第3表示)期間の点灯時間の比率を、1:2:4とする)とを組み合わせた構成により、静止画表示時にはXアドレスデコーダの動作を完全に停止させつつ、内蔵6ビットメモリにより64階調表示を実現することができ、消費電力を大幅に削減することができる。

【0112】また、表示領域を2次的に複数のブロックに区分し、それぞれ独立制御可能にしたことで、部分的な領域の書換えも最小限の回路動作に留めて実現でき、消費電力を大幅に削減することができる。

【0113】この実施例では、液晶に印加される電圧の極性を1フレーム期間毎に反転させることで焼き付きによる表示品位の低下を防止したが、消費電力は増大するもののフリッカを低減させるために1フレームに限らず1水平画素ライン毎、あるいは複数水平画素ライン毎であってもかまわない。

【0114】また、この実施例では対向電極の電位をフレーム周期で変動させる、所謂コモン反転駆動を用いることで、インバータへ入力される電源電圧を2つに抑えることができ、アレイ基板の構成を簡略化が達成された。

【0115】ところで、上記の実施例では、Yアドレスデコーダを画素アレイ部1の左右に配置することで左右方向に2分割することを実現したが、この他にも例えば図25に示すように列ワード線駆動回路を配置すること

で、左右方向での分割数に制限がなく、より細かくブロック区分することが可能となる。即ち、先の実施例では Y アドレスデコーダの指定で対応ブロックが一義的に決定されたが、この実施例では Y アドレスデコーダと列ワード線駆動回路とのそれぞれの指定により対応ブロックが決定されることとなる。

【0116】図21の液晶表示装置の構成について、図23を参照して補足する。それぞれの回路ブロック等を構成する TFT は、ガラスからなる絶縁基板 100 上に多結晶シリコン (p-Si) 101 を活性層として形成され、N チャネル TFT はリーク電流を低減するために LDD 構造が採用されている。多結晶シリコン (p-Si) 101 上には酸化シリコン膜からなるゲート絶縁膜 102 が配置され、この上に MoW 合金等からなるゲート電極 103 が配置されている。そして、この上に酸化シリコン膜からなる層間絶縁膜 104 を介して多結晶シリコン (p-Si) 101 に電氣的に接続されるソースおよびドレイン電極 105, 106 が配置されている。更にこの上にアクリル樹脂などからなる層間絶縁膜 104 が約 3 μm の膜厚で配置され、この上に Al からなる反射電極で画素電極 107 が配置されてアレイ基板 99 は構成されている。

【0117】このアレイ基板 99 に対向する対向基板 110 は、ガラス基板上に Cr 等の金属、あるいは黒色樹脂からなる遮光膜 111 が配置され、遮光膜 111 間に赤、青、緑のカラーフィルタ 112 が配置され、この上に ITO 等の透明電極からなる対向電極 113 が配置されて構成されている。

【0118】そして、アレイ基板 99 と対向基板 113 との間には配向膜 114, 115 を介して液晶層 116 が保持され、更に対向基板 113 上には偏光板 117 が配置されて構成されている。

【0119】液晶層 116 としては、ツイスト・ネマチック液晶等の他に、応答性に優れた強誘電性液晶、OCB 液晶等が好適に使用される。

【0120】また、液晶の表示モードとしては、上述した反射型の他に、透過型であってもよく、また反射電極に開口が形成された反射と透過を兼用する反射・透過型、更にはコレステリック液晶等の選択反射膜を用いた半透過型等、種々の表示モードに適用することができる。

【0121】(第2の実施形態) 第2の実施形態は、表示素子として EL (electroluminescence) 素子を用いた例である。

【0122】この EL 素子は、図 26 に示すようにガラスからなる絶縁基板 100 上に多結晶シリコン (p-Si) を活性層 131 として形成され、N チャネル TFT はリーク電流を低減するために LDD 構造が採用されている。多結晶シリコン (p-Si) 上には酸化シリコン膜からなるゲート絶縁膜 132 が配置され、この上に MoW 合

金等からなるゲート電極 133 が配置されている。そして、この上に酸化シリコン膜からなる層間絶縁膜 134 を介して多結晶シリコン (p-Si) に電氣的に接続されるソースおよびドレイン電極 135, 136 が配置されている。更にこの上にアクリル樹脂などからなる層間絶縁膜 137 が約 3 μm の膜厚で配置され、この上に Al と ITO 等の透明電極との積層体からなる反射性の画素電極 138 が配置されている。

【0123】そして、画素電極を区画するために画素電極間にはアクリル系黒色樹脂からなる画素分離用隔壁 139 が配置され、画素分離用隔壁 139 に区画された画素電極上に高分子イオンコンプレックスからなるホール注入層 140 が配置されている。更にホール注入層 140 上には、各画素に対応した共役ポリマーからなる発光層 141 が配置され、この上に薄膜アルカリ土類金属と ITO 等の透明電極との積層体からなるカソード電極 142 が配置されて構成されている。

【0124】ホール注入層 140 や発光層 141 としては、上記した高分子材料はインクジェット塗布により形成可能であるため生産性が高く好適であるが、この発明はこれに限られるものではなく各種低分子材料も好適に使用可能である。

【0125】図 27 は、この EL 素子の概略構成図であり、EL 表示装置の 1 画素分の構成を示している。図示のように、赤 (R) 色用、緑 (G) 色用、および青 (B) 色用の 3 つのブロックで構成される。各ブロック内には、画素データを記憶する DRAM 71 と、転送用 TFT 72 と、リフレッシュ回路 73 と、駆動用 TFT 74 と、EL 素子 75 とが設けられる。

【0126】DRAM 71 と転送用 TFT 72 は画素データのビット数分だけ設けられる。例えば、図 27 は 6 個の DRAM 71 と転送用 TFT 72 を備えており、 $2^6 = 64$ 階調の表示が可能である。

【0127】リフレッシュ回路 73 は、直列接続された 2 つのインバータ IV3, IV4 と、初段のインバータ IV3 の入力端子と後段のインバータ IV4 の出力端子との間に接続された帰還 TFT 76 とを有する。後段のインバータ IV4 の出力端子は、駆動用 TFT 74 のゲート端子に接続され、駆動用 TFT 74 のソース端子には EL 素子 75 が接続されている。

【0128】リフレッシュ回路 73 には、6 つの DRAM 71 と転送用 TFT 72 が並列に接続されており、転送用 TFT 72 のいずれかがオンすると、対応する DRAM 71 のデータが読み出されてリフレッシュ回路 73 に入力される。

【0129】図 27 の EL 表示装置は、EL 素子 75 の点灯期間を制御することにより、階調表示を実現している。例えば 64 階調表示を行う場合、図 28 に示すように、1 フレーム期間に点灯時間の異なる 6 つのサブフレーム期間を設け、各サブフレーム期間の点灯時間 (同図

の黒部分)の比率を、1:2:4:8:16:32にする。そして、画素データの値に応じて、各サブフレーム期間内にEL素子75を点灯させるか否かを決定する。

【0130】図28Aは画素データ(1,1,1,1,1,1)の画素の場合を例として、該画素のEL素子が実際に点灯する期間を1フレームにわたり図示したものである。同図の黒で示した期間に実際に該画素のEL素子が発光する。図28Bは画素データ(1,0,1,0,1,1)の画素の場合を例として、該画素のEL素子が実際に点灯する期間を1フレームにわたり図示したものである。

【0131】以下、図27のEL表示装置の動作を説明する。まず、ワード線 $W_i \sim W_{(i+5)}$ を順にオンした状態で、ビット線にデータを順に供給することにより、DRAM71への画素データの書き込みが行われる。

【0132】DRAM71へのデータ書き込みが終了すると、制御線 $S A_i \sim S A_{(i+5)}$ を制御することにより、6つの転送用TFT72を一つずつ順にオンさせる。より具体的には、サブフレーム期間ごとに、転送用TFT72を順に交互にオンさせる。

【0133】これにより、オンした転送用TFT72に接続されたDRAM71のデータが順にリフレッシュ回路73に入力される。この時点では、制御線Aはハイレベルであり、帰還TFT76はオフしている。

【0134】次に、制御線Aをローレベルにして帰還TFT76をオンさせる。これにより、リフレッシュ回路73でリフレッシュ動作が行われる。

【0135】一方、電源供給線には、図28Aと同周期の図28Cのような電圧パルスが供給される。したがって、リフレッシュ回路73の出力がハイレベルであれば、駆動用TFT74がオンし、図28Aの黒色期間の間、EL素子75が点灯する。

【0136】DRAM71に画素データを書き込むタイミングとEL素子75の発光タイミングは、一通りだけではなく、複数通りが考えられる。例えば、図29AはEL素子75の発光期間とは別個にDRAM71のデータ更新期間を設ける場合のタイミング図を示している。

【0137】また、図29BはEL素子75の発光期間の一部をDRAM71のデータ更新に利用する例を示している。発光期間中にデータの更新を行うには、例えば、転送用TFT72や帰還TFT76をオフすればよい。

【0138】また、図29CはEL素子75の発行機間とDRAM71のデータ更新とをほぼ同タイミングで行なう例を示している。この場合は、リフレッシュ動作が終わるとすぐに転送用TFT72をオフしてDRAM71とリフレッシュ回路73とを分離してDRAM71のデータ更新を行えばよい。さらに、次のようにすると、発光期間とは全く独立にメモリ更新をすることが可能となる。即ち、転送用TFT72によりDRAM71の電圧をリフレッシュ回路に送っている最中であっても、ワード線 W_i が活性化したら必ず $S A_i$ をローレベルにするロジックを

定める。発光シーケンスとメモリ更新シーケンスを全く独立な周期で定めることができる。本発明のような構成ならばこそ可能となる。

【0139】図29Aよりも図29Bの方が発光期間を長くでき、また、図29Bよりも図29Cの方が発光期間を長くできる。一般には、発光期間が長い方が消費電力を低減できる。

【0140】本実施形態では、DRAMリフレッシュ回路として二つのインバータの入出力をループ上に接続するものを用いたが、DRAM71の論理レベルを増幅する機能を有した回路であれば他にも種々変形が可能である。

【0141】(第3の実施形態)第3の実施形態は、1画素当たり2本の走査線と3本の信号線を配置したものである。

【0142】図30は本発明に係る表示装置の第3の実施形態のレイアウト図であり、RGBのうちいずれか1つの絵素の構造を示している。図30の絵素が3つで1画素が構成される。

【0143】図示のように、3本の信号線 $D_1 \sim D_3$ と2本のゲート線 G_1, G_2 が設けられている。信号線のそれぞれには、画素駆動用TFTQ3を介して2個の副画素が接続されており、合計6個の副画素により1画素が構成されている。これら6個の副画素のそれぞれに対応する画素駆動用TFTQ3は、2本のゲート線にそれぞれ3個ずつ接続されている。

【0144】6個の副画素のそれぞれは、対応する画素駆動用TFTQ3に接続されたSRAM回路150を有する。このSRAM回路150は、信号線 $D_1 \sim D_3$ を介して供給された画素データを保持する。

【0145】図31は図30のSRAM回路150の内部構成の一例を示す回路図であり、図示の点線で囲んだ部分がSRAM回路150の内部構成を示している。図示のように、SRAM回路150は、インバータ $I V_3, I V_4$ と、トランジスタ Q_4, Q_5, Q_7 と、トランジスタ Q_4 のオン・オフを制御する制御信号線 L_1 と、トランジスタ Q_5 のオン・オフを制御する制御信号線 L_2 と、2本の電源線 V_{DD}, V_{SS} とを有する。

【0146】次に、図30の表示装置の動作を説明する。通常駆動の場合、ゲート線 G_1, G_2 によって選択された画素駆動用TFTQ3がONすると、その画素駆動用TFTQ3に接続された信号線の電位が補助容量151と液晶152に印加され、画面が表示される。

【0147】一般に、液晶の駆動は、定期的に極性を反転させる必要があるため、1フレーム毎に極性が反転した信号が伝送されている。この際、コモン電位(対向基板電位)を交流駆動することで、極性反転に伴う信号振幅の変動を小さくすることができることは、良く知られている。

【0148】例えば、制御用TFTQ4がオンで、制御用TFTQ5がオフするように制御信号 L_1, L_2 を入

力すると、図31のa点が正極に、b点が負極になる。逆に、制御用TFTQ4がオフで、制御用TFTQ5がオンするように制御信号L1, L2を入力すると、図31のa点が負極に、b点が正極になる。a, b点のうち、正極の電位はVDDに、負極の電位はVSSにほぼ等しくなる。

【0149】よって、VDDを5V、VSSをGND(0V)とすれば、0または5Vの電位をSRAM回路150から出力できる。制御用TFTQ4, Q5のオン・オフを切り替えるタイミングに同期してコモン電位を5Vまたは0Vにすれ

ば、5Vの電位を極性反転させて液晶に印加することができる。【0150】すなわち、位相の異なる制御信号L1, L2に応じて、コモン電極の電位を交流駆動させることで、一旦、SRAMに書き込んだデータを保持でき、かつ交流駆動できることになる。

【0151】ここでいうSRAMはデータを保持するための一例であり、SRAM動作する回路はこれに限らない。また、SRAMの代わりに、DRAMなど他の構成のメモリ回路を用いてもよい。

【0152】図30では、図31の回路をブロックとして記載しており、回路の電源線、制御信号線はそれぞれ2本ずつ記載しているが、必ずしもこれに限るものではない。

【0153】図30の画素サイズは、実効的に1:2:4:8:16:32の面積比を持つ6個の副画素で構成されており、各画素はそれぞれ1ビットのメモリ回路を具備している。6個の副画素は、2個ずつ信号線D1~D3に接続されており、各信号線D1~D3に接続したうちそれぞれ一個ずつがゲート線G1, G2に接続されている。

【0154】本実施形態は、一画素ごとに2本のゲート線G1, G2を有し、各ゲート線に接続された画素駆動用TFTQ3は図32に示すように、異なるタイミングで駆動される。1水平周期の前半でたとえばゲート線G1を選択したとすれば、後半でゲート線G2を選択することになる。その際、それぞれに接続された副画素に応じて信号線D1~D3にはデータが伝送され、画素あるいはSRAM回路150に書き込まれる。

【0155】また、アナログ通常駆動の際には、2本のゲート線G1, G2を同時に選択して、信号線D1~D3に所定の電位の信号を3本同時に伝送すれば、各副画素がそれぞれ所定の電位まで書き込まれることになり、画素全体として所定の階調を表示することができる。

【0156】

【発明の効果】以上詳細に説明したように、本発明によれば、本発明によれば、副画素による多階調表示を用いて画面表示をすることができ、かつ、1ビットメモリを用いた画面表示を行うこともできる。すなわち、画面駆動用のTFTのしきい値ばらつきによるムラの無い表示が可能になり、かつゲート信号線とデータ信号線を複数設

けることにより、画素間隔を増大させることなく、画面を構成することが可能になる。

【図面の簡単な説明】

【図1】本発明に係る液晶表示装置の一実施形態の概略構成を示すブロック図。

【図2】1画素分の構造を示す図。

【図3】各副画素領域の面積がRGBの各色で異なる例を示す図。

【図4】画素アレイ部1周辺の回路構成を示すブロック図。

【図5】メモリセル11周辺の回路構成をより詳しく示したブロック図。

【図6】副画素ごとにSRAMと極性反転回路を設けた構成を示す回路図。

【図7】二重ワード線構造の回路図。

【図8】二重ワード線構造を説明する図。

【図9】データ線と極性制御線P+, P-を共有する例を示す回路図。

【図10】VRAM4とVRAMコントローラ5をワンチップにまとめたディスプレイコントローラのブロック図。

【図11】アナログバッファでレベルシフトする例を示す図。

【図12】小振幅に変換するアナログバッファ51の後段側に、大振幅に変換するレベルシフタ52を設ける例を示す図。

【図13】レベルシフタの一例を示す回路図。

【図14】図13の回路の入出力波形を示す図。

【図15】アナログバッファ51周辺の詳細な回路図。

【図16】アナログバッファの具体的構成を示す回路図。

【図17】1ビットメモリの構造を示す図。

【図18】図17CのDRAM71構造のタイミング図。

【図19】メモリ全体を書き換える場合と、行単位で書き換える場合と、行列単位で書き換える場合とで、消費電力を比較した図。

【図20】DRAM71構造の1ビットメモリを利用して画素アレイ部1を構成した場合の液晶表示装置の概略構成を示すブロック図。

【図21】DRAM71構造のメモリを利用して画素アレイ部1を構成した場合の液晶表示装置の概略構成を示すブロック図。

【図22】図21における一表示画素の概略構成を示す図。

【図23】図21における液晶表示装置の概略構成図。

【図24】図21における液晶表示装置の駆動タイミングを示す図。

【図25】DRAM71構造のメモリを利用して画素アレイ部1を構成した場合の他の液晶表示装置の概略構成を示すブロック図。

【図26】EL素子の概略断面図。

【図27】本発明に係る表示装置の第2の実施形態を示す概略構成図。

【図28】フレームとサブフレームとの関係を示す図。

【図29】発光期間とデータ更新期間との関係を示す図。

【図30】本発明に係る表示装置の第3の実施形態のレイアウト図。

【図31】図30のSRAM回路の内部構成の一例を示す回路図。

【図32】図30の表示装置の駆動タイミングを示す図。

【符号の説明】

1 画素アレイ部

* 2, 3 アドレスデコーダ

4 表示メモリ (VRAM)

5 VRAMコントローラ

6 CPU

7 周辺回路

11 メモリセル

12 データバス

13 ビット線駆動回路

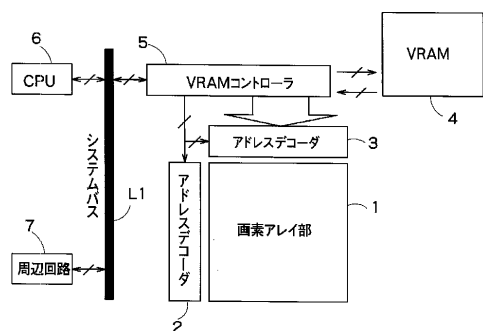
14 ワード線駆動回路

10 15 列ブロックセクタ

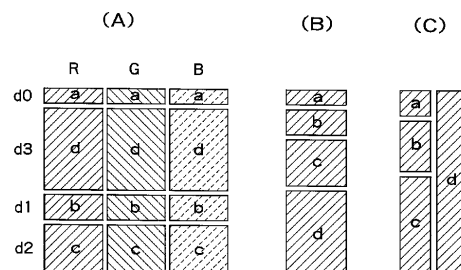
16 行ブロックセクタ

17 シフトレジスタ

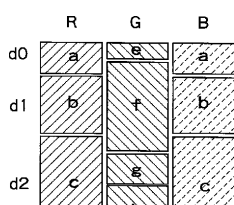
【図1】



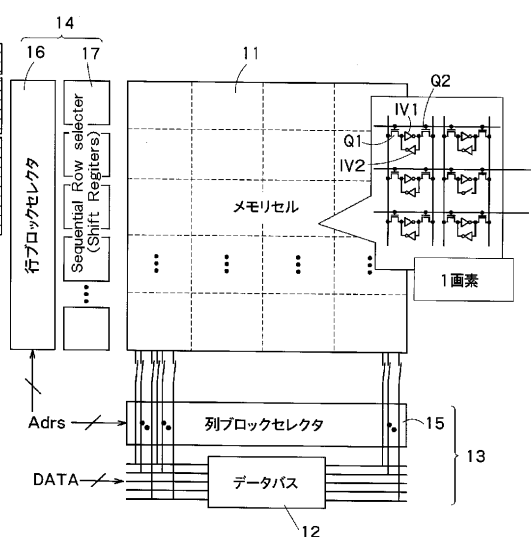
【図2】



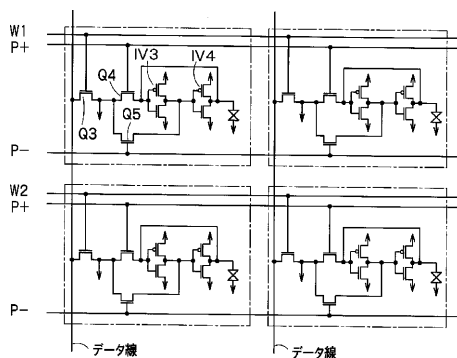
【図3】



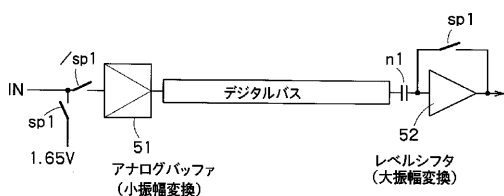
【図4】



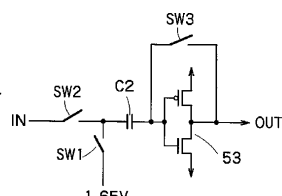
【図6】



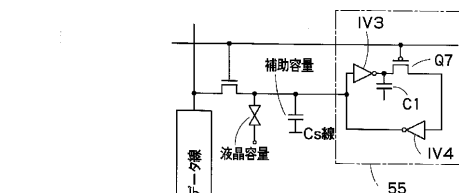
【図12】



【図13】



【図11】

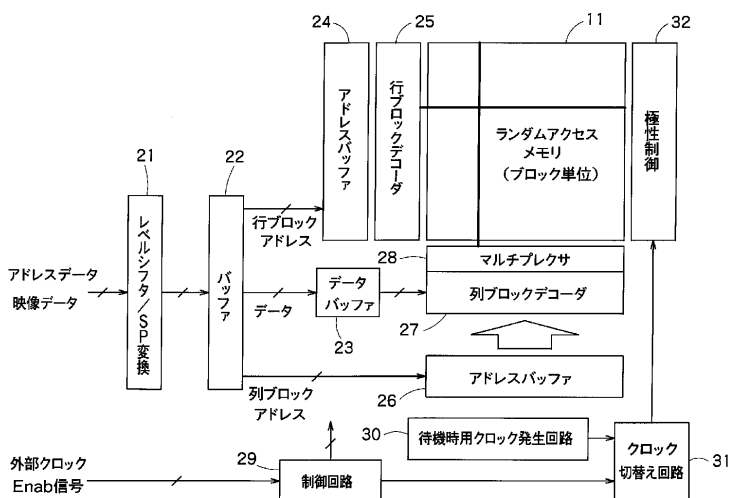


50 デジタルバッファ (0/5V)

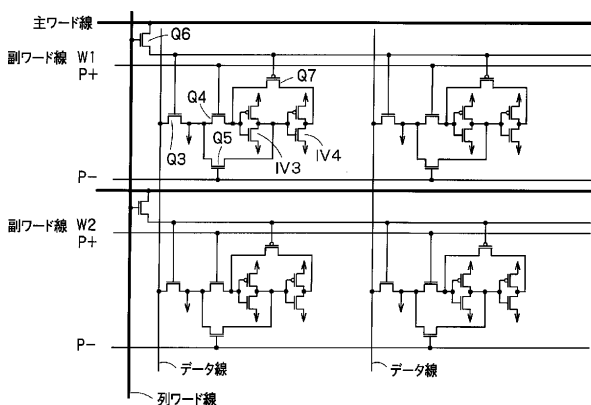
51 アナログバッファ (2/3V)

55

【図5】

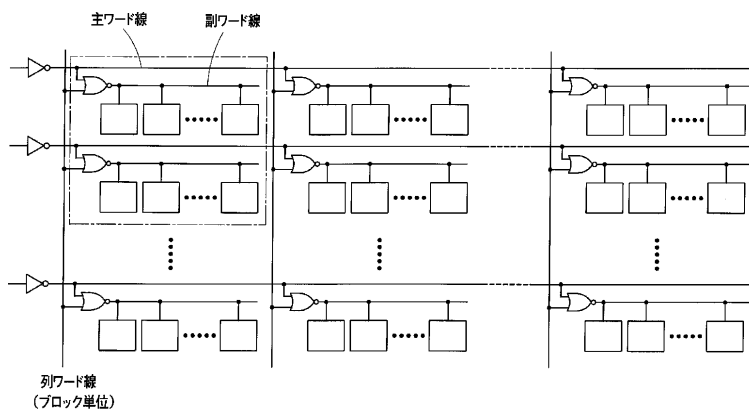


【図7】

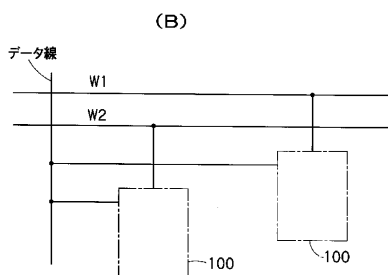
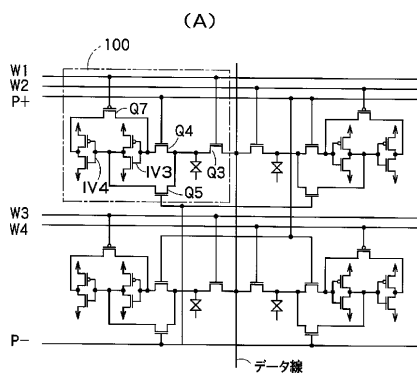


【図8】

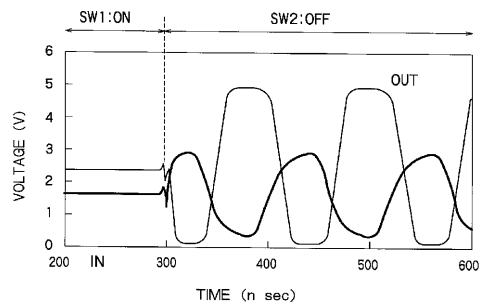
2重ワード線構造



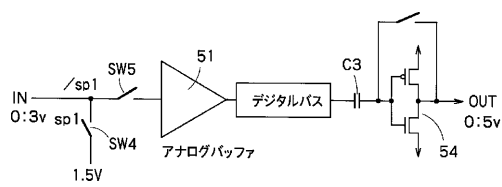
【図9】



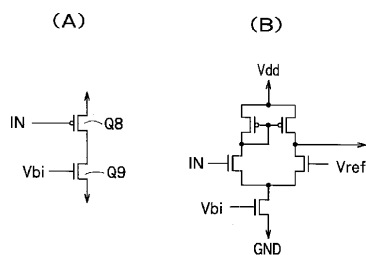
【図14】



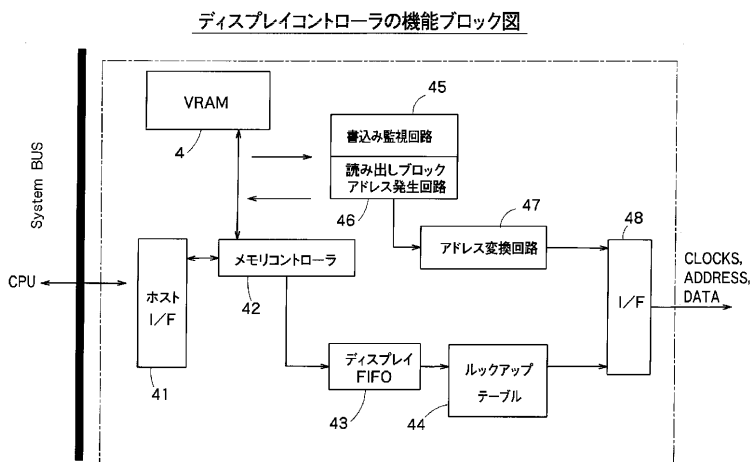
【図15】



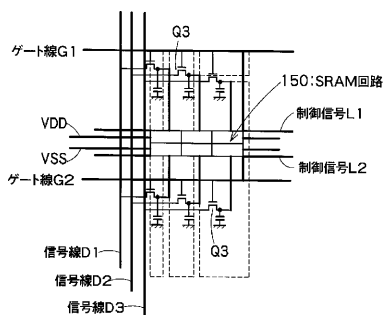
【図16】



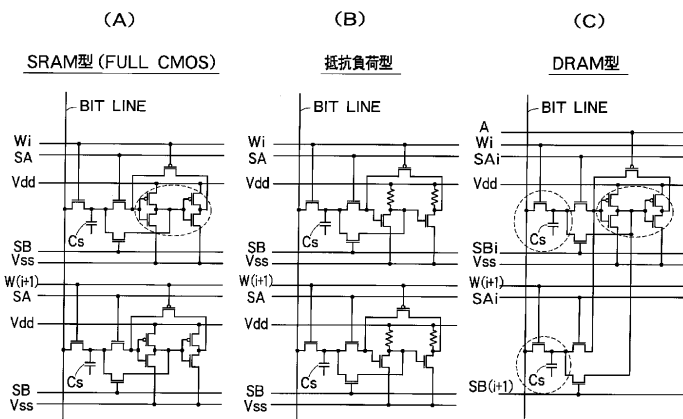
【図10】



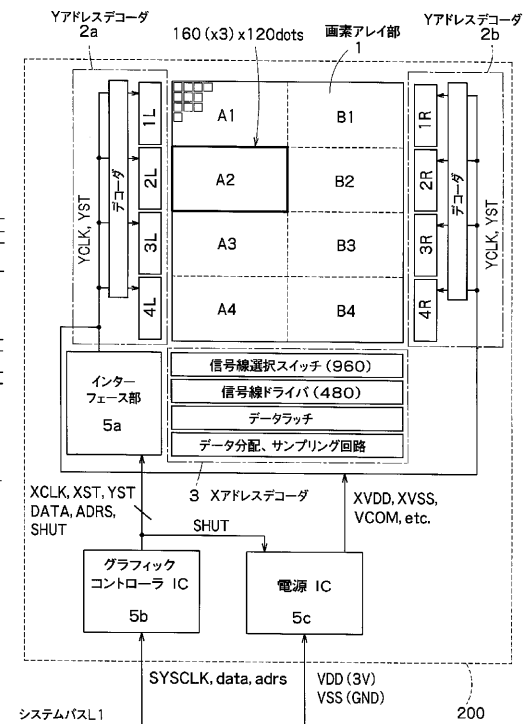
【図30】



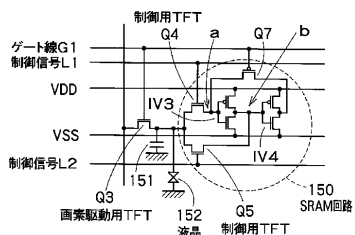
【図17】



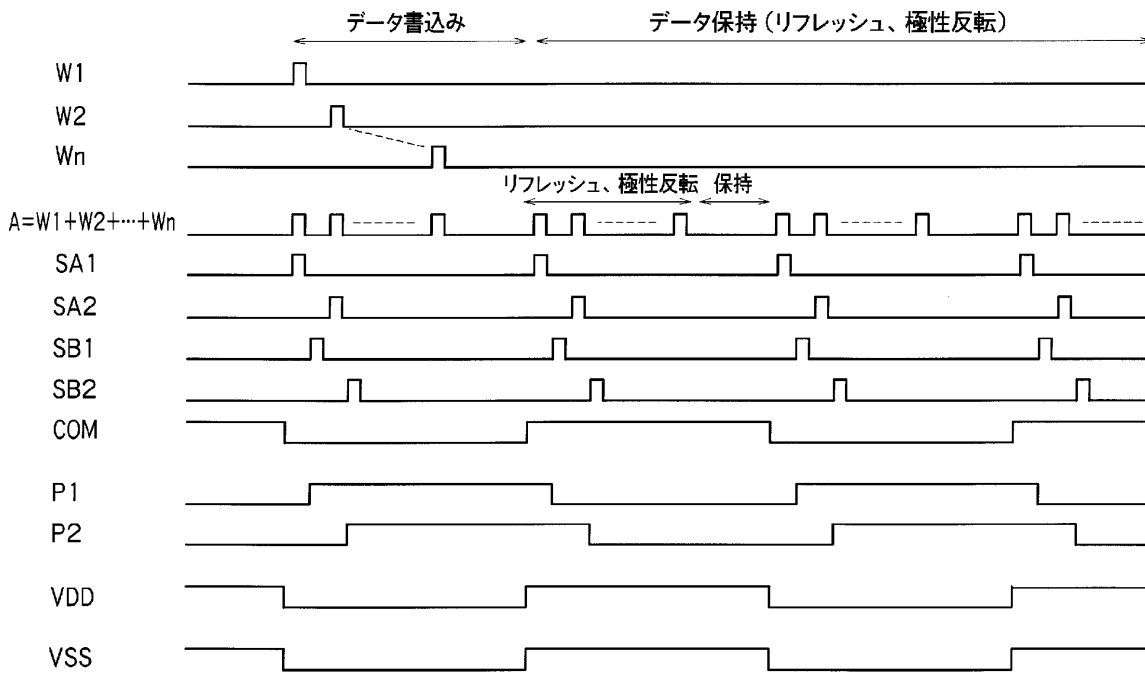
【図21】



【図31】



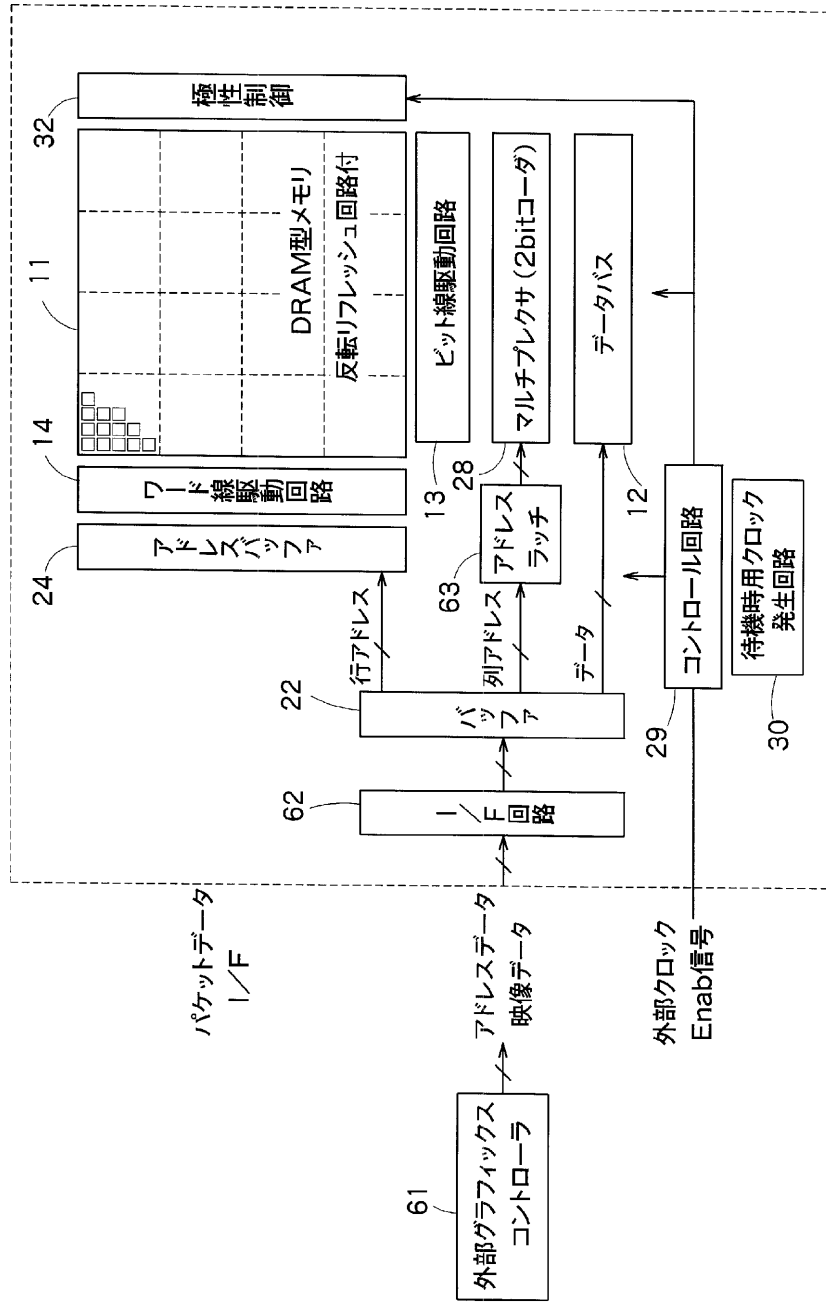
【図18】



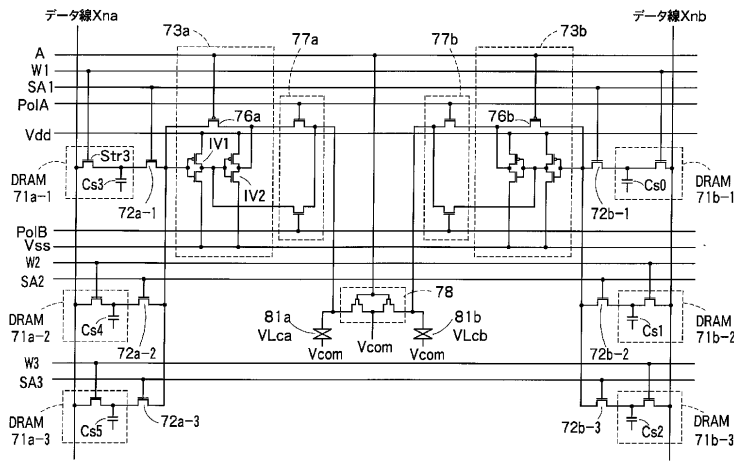
【図19】

| | A. 全面書換え | B. 部分書換え | |
|------|-----------------------|-----------------------------|---------------------------------------|
| | A. シーケンシャル | B1. 行単位 | B2. 行列単位 |
| 構造 | ワード線 ビット線 全面書換え | ワード線 ビット線 特定行ブロックを書換え | 2重ワード線 列ワード線 ビット線 特定ブロックを書換え |
| 行配線 | ワード, POLx2, Vdd, Vss | ワード, POLx2, Vdd, Vss | ワードx2, POLx2, Vdd, Vss |
| 列配線 | ビット | ビット | ビット、列ワード |
| 消費電力 | 1 | 1~1/(行分割数) 表示パターンにより異なる | 1~1/(行分割数) / (列分割数) 表示パターンにより異なる |

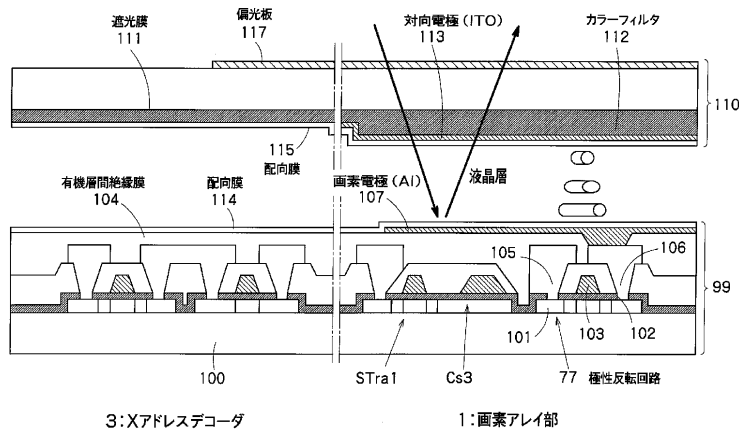
【図20】



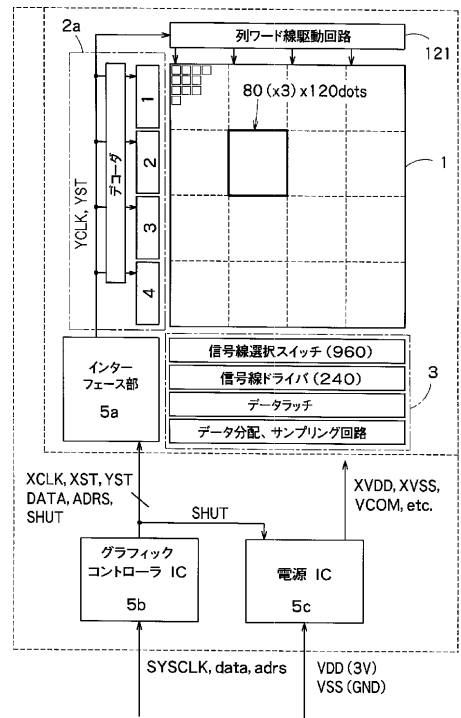
【図22】



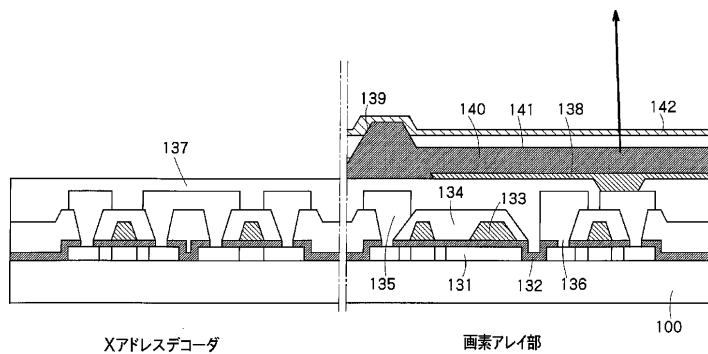
【図23】



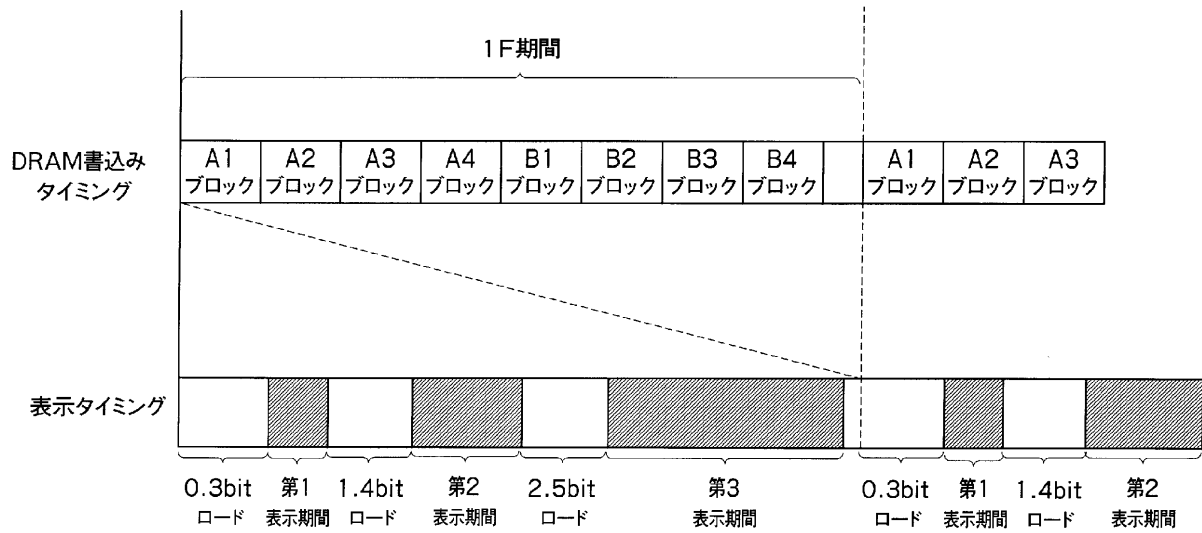
【図25】



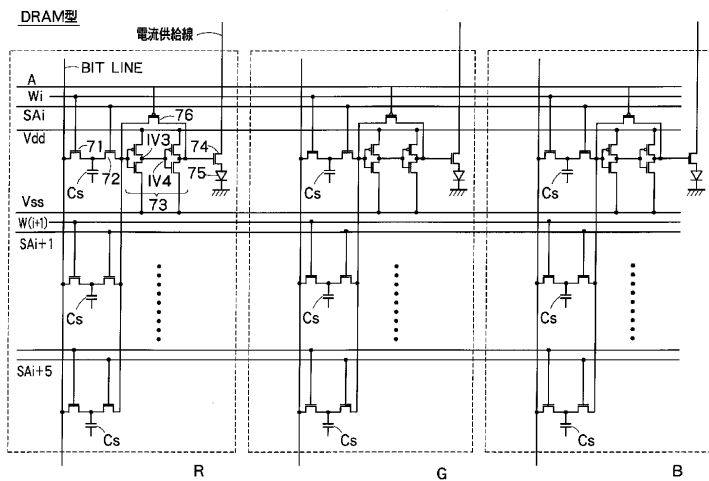
【図26】



【図24】

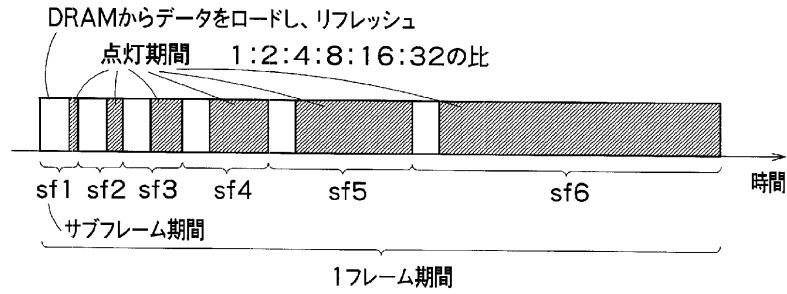


【図27】

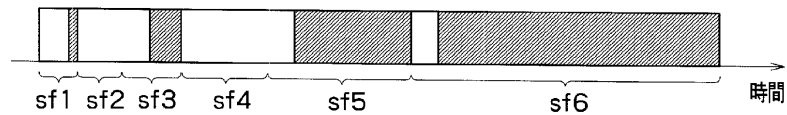


【図28】

(A)



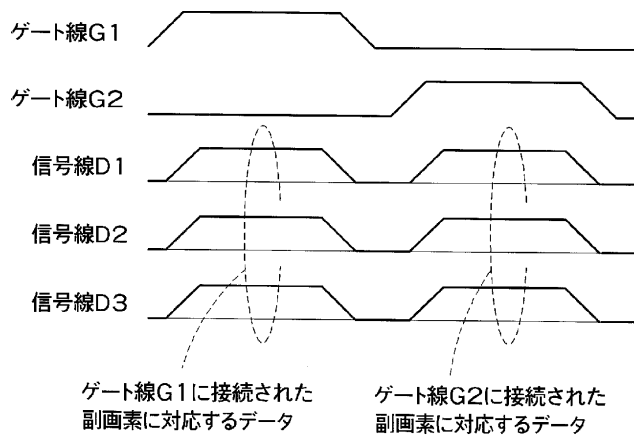
(B)



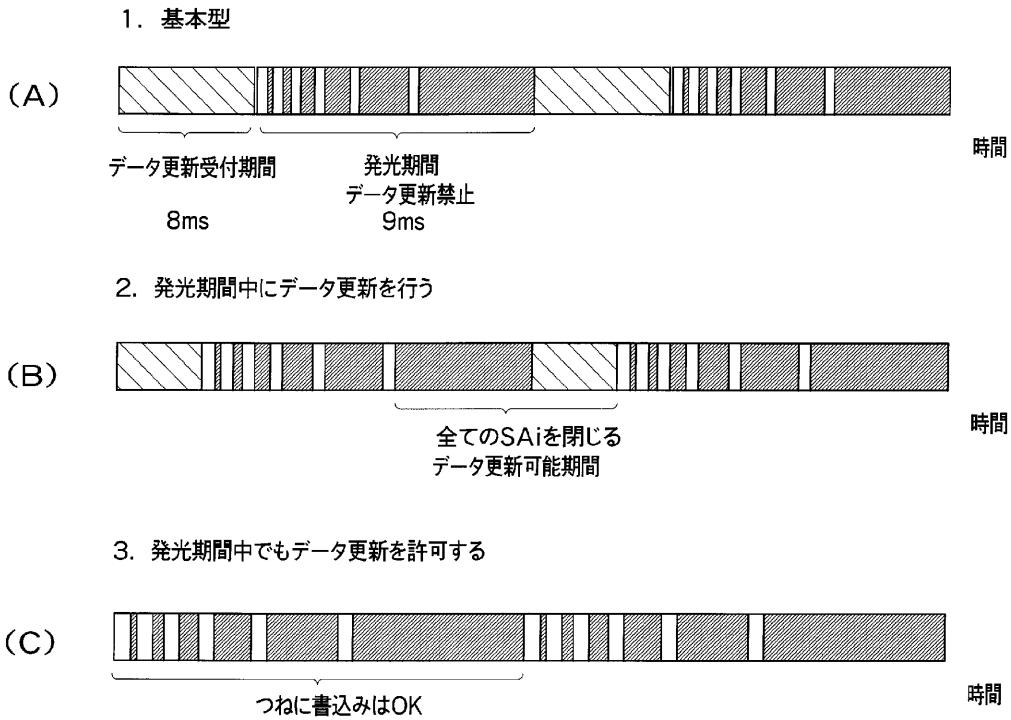
(C)



【図32】



【図29】



フロントページの続き

| (51) Int.Cl. ⁷ | 識別記号 | F I | テ-マコード [*] (参考) |
|---------------------------|-------|--------------|--------------------------|
| G 0 9 G 3/20 | 6 2 3 | G 0 9 G 3/20 | 6 2 3 G |
| | 6 2 4 | | 6 2 4 B |
| | 6 3 1 | | 6 3 1 Z |
| | 6 4 1 | | 6 4 1 E |
| | | | 6 4 1 G |
| | 6 8 0 | | 6 8 0 G |
| | | | 6 8 0 H |
| 3/30 | | 3/30 | J |

F ターム(参考) 2H092 GA13 HA05 JA24 JB68 JB69
KA04 KA12 NA01 NA07 NA24
NA26 PA06
2H093 NA32 NA33 NA54 NC05 NC16
NC24 NC28 NC34 NC35 NC50
ND06 ND08 ND09 ND10 ND12
ND22 ND39 NE03 NF05 NF09
NF17
5C006 AA12 AA14 AA17 AA22 AC26
BB16 BC06 BC12 BC20 FA22
FA41 FA48
5C080 AA06 AA10 BB05 CC03 DD05
DD22 DD26 EE29 EE30 FF11
FF12 JJ02 JJ03 JJ04 JJ06

| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 液晶表示装置 | | |
| 公开(公告)号 | JP2002156954A | 公开(公告)日 | 2002-05-31 |
| 申请号 | JP2001269397 | 申请日 | 2001-09-05 |
| [标]申请(专利权)人(译) | 株式会社东芝 | | |
| 申请(专利权)人(译) | 东芝公司 | | |
| [标]发明人 | 中村卓 羽成淳 | | |
| 发明人 | 中村卓 羽成淳 | | |
| IPC分类号 | G02F1/1343 G02F1/133 G09G3/20 G09G3/30 G09G3/36 | | |
| FI分类号 | G09G3/36 G02F1/133.575 G02F1/1343 G09G3/20.611.A G09G3/20.621.B G09G3/20.623.G G09G3/20.624.B G09G3/20.631.Z G09G3/20.641.E G09G3/20.641.G G09G3/20.680.G G09G3/20.680.H G09G3/30.J G09G3/3225 G09G3/3266 G09G3/3275 G09G3/3291 | | |
| F-TERM分类号 | 2H092/GA13 2H092/HA05 2H092/JA24 2H092/JB68 2H092/JB69 2H092/KA04 2H092/KA12 2H092/NA01 2H092/NA07 2H092/NA24 2H092/NA26 2H092/PA06 2H093/NA32 2H093/NA33 2H093/NA54 2H093/NC05 2H093/NC16 2H093/NC24 2H093/NC28 2H093/NC34 2H093/NC35 2H093/NC50 2H093/ND06 2H093/ND08 2H093/ND09 2H093/ND10 2H093/ND12 2H093/ND22 2H093/ND39 2H093/NE03 2H093/NF05 2H093/NF09 2H093/NF17 5C006/AA12 5C006/AA14 5C006/AA17 5C006/AA22 5C006/AC26 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC20 5C006/FA22 5C006/FA41 5C006/FA48 5C080/AA06 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD05 5C080/DD22 5C080/DD26 5C080/EE29 5C080/EE30 5C080/FF11 5C080/FF12 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H092/GA59 2H092/JB42 2H092/JB44 2H093/NC40 2H193/ZA04 2H193/ZA20 2H193/ZC02 2H193/ZC15 2H193/ZD24 2H193/ZD32 2H193/ZP03 2H193/ZQ06 2H193/ZQ08 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB18 5C380/AB23 5C380/AB24 5C380/AB34 5C380/AC12 5C380/BA01 5C380/BA03 5C380/BA38 5C380/BA39 5C380/BA47 5C380/BB02 5C380/BB14 5C380/BB17 5C380/CA04 5C380/CA12 5C380/CA14 5C380/CA32 5C380/CB01 5C380/CC24 5C380/CC26 5C380/CC33 5C380/CC63 5C380/CC64 5C380/CD018 5C380/CD077 5C380/CE03 5C380/CF02 5C380/CF07 5C380/CF09 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF28 5C380/CF36 5C380/CF48 5C380/CF52 5C380/CF62 5C380/CF64 5C380/DA06 5C380/DA09 5C380/DA11 5C380/DA16 5C380/DA41 5C380/DA49 5C380/DA56 5C380/DA58 | | |
| 优先权 | 2000269177 2000-09-05 JP | | |
| 外部链接 | Espacenet | | |

摘要(译)

提供一种能够减少功耗并减小尺寸的液晶显示装置。液晶显示装置包括像素阵列单元1，地址解码器2和3，显示存储器 (VRAM) 4和VRAM控制器5，以及经由系统总线L1的CPU 6和外围电路7。并发送和接收信号。像素阵列单元1具有面积灰度像素结构，其中每个像素由多个1位存储器构成。整个像素阵列单元1被分成由多个像素组成的像素块，并且以块为单位重写1位存储器。1位存储器具有双字线结构。

