

(19)日本国特許庁（J P）

(12) **公開特許公報** (A)

(11)特許出願公開番号
特開2002－141511
(P2002－141511A)

(43)公開日 平成14年5月17日(2002.5.17)

(51)Int.Cl ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L 29/786		G 0 9 F 9/30 338	2 H 0 9 2
G 0 2 F 1/1368		H 0 1 L 29/78 617 K	5 C 0 9 4
G 0 9 F 9/30 338		G 0 2 F 1/136 500	5 F 1 1 0
		H 0 1 L 29/78 616 T	

審査請求 未請求 請求項の数 3 O L (全 5 数)

(21)出願番号 特願2000－334210(P2000－334210)

(22)出願日 平成12年11月1日(2000.11.1)

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 岡田 隆史

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 西谷 幹彦

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74)代理人 100097445

弁理士 岩橋 文雄 (外2名)

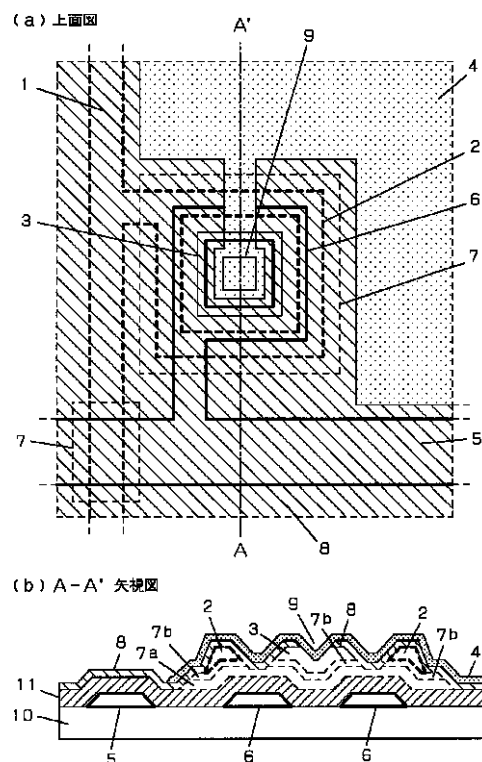
最終頁に続く

(54)【発明の名称】 アクティブマトリクス液晶表示素子

(57)【要約】

【課題】 大型、高精細の液晶表示素子に対しても、フリッカレベルの小さい、すなわち高画質品位を保持した液晶表示素子を実現する。

【解決手段】 フォトマスクの合わせずれによるゲートドレイン間のオーバーラップ面積の変動を抑制するために、トランジスタのゲート電極と、ソース又はドレイン電極のうちどちらか一方のみとを、環状の構造となるようにする。



【特許請求の範囲】

【請求項1】 画像信号を伝達する複数のソースラインと、前記ソースラインと交差する方向に設けられ、走査信号を伝達する複数のゲートラインと、ソースラインとゲートラインとの各交差部に対応して設けられた画素電極と、各画素電極に接続されるとともに、ソースライン、及びゲートラインに接続されたトランジスタと、画素電極に対向して設けられた対向電極とを具備するアクティブマトリクス表示素子において、前記トランジスタのゲート電極が、環状の構造を有することを特徴とする 10
アクティブマトリクス液晶表示素子。

【請求項2】 前記トランジスタにおける、ソース電極、及びドレイン電極は共に、前記ゲート電極の一部の領域と絶縁膜を介してオーバーラップしており、かつ前記ソース電極、及び前記ドレイン電極の少なくとも一方は、環状の構造を有することを特徴とする請求項1に記載のアクティブマトリクス液晶表示素子。

【請求項3】 前記トランジスタにおける、ソース電極、及びドレイン電極は共に、前記ゲート電極の一部の領域と絶縁膜を介してオーバーラップしており、かつ前記ドレイン電極が、環状の構造を有することを特徴とする請求項1に記載のアクティブマトリクス液晶表示素子。 20

【発明の詳細な説明】**【0001】**

【発明の属する技術分野】 本発明は、各画素に対応するトランジスタを有した、いわゆるアクティブマトリクス液晶表示素子に関するものである。

【0002】

【従来の技術】 近年、液晶表示素子の大型化、高精細化、高画質化が急激に進んでおり、これらの要求を満たすための取り組みが盛んに行われている。特に、画質の課題としては、フリッカの低減が重要であり、近年の大型化、高精細化によってますます深刻な課題になりつつある。 30

【0003】 大型化、高精細化が進むと、アクティブマトリクス表示を行う、画素のトランジスタのゲート電極に入力されるパルスは、給電端ではほぼ矩形波で入力されるのに対し、終電端では、負荷が大きいために、波形がなまってくる。この影響により、再充電と呼ばれる現象が終電端で大きくなり、結果的に、例えば画面の左側と右側とで画素に保持される電位が異なってしまう。この場合、偶フレームと奇フレームとで同じ大きさの電圧が液晶に印加されるように対向電位を決定する際に、画面の場所によって、とるべき対向電位の値が異なってしまう。この場合、通常は平均的な値を設定することになるが、この結果、画面の特定の場所にはフリッカと呼ばれるちらつきが見られ、画質上の大きな問題となる。これに対する対策としては、トランジスタのゲートとドレインの間の容量が、突き抜け電圧と呼ばれる値に影響することを利用し、この容量値を画面の場所によって、少 50

しずつ異なった値になるように設定することで、フリッカを低減するという方法等が用いられている。

【0004】

【発明が解決しようとする課題】 しかしながら、前述のようにゲートとドレイン間の容量を設定したつもりでも、実際には、ゲートとドレイン電極パターンを形成する際に、それぞれのパターンを作成するためのフォトマスクに合わせずれが生じ、絶縁膜を介したゲート電極と、ドレイン電極とのオーバーラップ領域の面積がばらつき、この結果フリッカが低減されずに残ってしまうという問題があった。これに対する対策としては例えば、特開平6-67199号公報や、特開平8-8432号公報などに開示されているように、ドレイン電極、及びゲート電極を、互いに十字型にクロスオーバーさせることにより、合わせずれに対して容量値が影響を受けないようにする方法が提案されている。しかしながら、この場合、オーバーラップ領域を形成する四角形の一边は、構成上、トランジスタのゲート幅に等しい長さになる。トランジスタのゲート幅は、画素に信号を書き込むために、ある程度大きくする必要がある。従ってむやみにゲートとドレイン間の容量を大きくしないためにはドレイン電極の幅をできるだけ小さくしなければならないがそうするとドレイン電極幅のばらつきが無視できなくなる。一方、別の対策としては例えば、特開平5-119347号公報などに開示されているように、トランジスタを2つ並列につなげ、第一のトランジスタと第二のトランジスタとでそれぞれソース電極、及びドレイン電極を、互いに上下関係が逆になるように配置接続することによって、合わせずれをキャンセルする方法が提案されている。しかしながら、この場合、ゲート電極パターン、又はドレイン電極パターンのどちらかの、角の部分の形状が、構成上、オーバーラップ面積に影響する。パターン形状は、フォト工程や、ドライエッチ、又はウェットエッチ工程等に依存し、面内ばらつきや、パネル間でのばらつきが大きい。従って、容量値のばらつきが依然として残る可能性がある。

【0005】 本発明は、以上のような課題を解決するためになされたものであり、フリッカを、画質上問題とまらない水準にまで低減させるために、トランジスタ構造について工夫を施したものである。

【0006】

【課題を解決するための手段】 本発明の液晶表示素子は、フォトマスクの合わせずれが原因となって起こるフリッカを最小限に抑制するためにトランジスタの構造に工夫を施したものである。具体的には、トランジスタのゲート電極が、環状の構造となるようにしている。ここで、一般に大型、高精細の液晶表示素子には、画素トランジスタの構造として、ボトムゲート構造がよく用いられ、この際、ゲート電極とソース電極、及びドレイン電極とは、絶縁膜を介して互いに、一部の領域でオーバラ

ップしている。これにより、ゲートソース間容量、及びゲートドレイン間容量が形成される。このようなオーバーラップ部を形成するために、さらに、ソース電極、及びドレイン電極のどちらか一方のみが、環状の構造を有するようにし、他方は島状の構造となるように構成している。このようにすることによって、従来の方法で問題となっている、合わせずれや、パターン形状ばらつき、及び線幅ばらつき、さらには容量値が大きくなりすぎるなどの影響を受けることなくオーバーラップ容量を形成でき、フリッカの低減に有効である。前述のようなトランジスタ構造の場合、ゲート電極、ソース電極、ドレイン電極は、島状構造のパターンの中心点を原点とした場合、全て原点对称の形状となっている。従って、合わせずれとして考え得る最大の量以上のオーバーラップ分を有していさえすれば、上下、左右のいずれの方向に対する合わせずれに対しても、容量値は変動しない。さらに、パターン形状に関しては、例えばゲート電極、ソース電極、及びドレイン電極の全てを、外枠、内枠共に長方形、すなわち頂点部の角度を直角になるようにパターン設計した場合、実際のパターン形成後は角が丸くなる。ここで、この形状が、面内、或いはパネル間で、一般にはばらつきを有するが、少なくとも同一の画素内において、ゲート電極、ソース電極、及びドレイン電極の頂点部のパターン形状は、ほぼ同一の傾向にあるため、ゲートソース間、及びゲートドレイン間のオーバーラップ分は結果的には、面内、或いはパネル間で、ほぼ一定となる。

【0007】以上のように、フォトマスクの合わせずれによるゲートドレイン間のオーバーラップ面積の変動を抑制するために、トランジスタのゲート電極と、ソース又はドレイン電極のうちどちらか一方のみとを、環状の構造となるようにすることにより、大型、高精細の液晶表示素子に対しても、フリッカレベルの小さい、すなわち高画質品位を保持した液晶表示素子を実現することができる。

【0008】

【発明の実施の形態】（実施の形態1）まず、従来における画素内のトランジスタ、及びその他の配置構造について述べる。

【0009】1画素内におけるパターンの上面図および断面図を図1（a）および図1（b）にそれぞれ示す。図1において、ソース電極2、ドレイン電極3が、ゲート電極6の真上において、領域の一部がオーバーラップした形でパターン化されている。この構成の場合、ゲート電極6とドレイン電極3をそれぞれパターン化するためのフォトリソ工程において、互いの工程間で、マスクの合わせずれが生じた場合、オーバーラップ部の面積が、所望の値とずれてしまう。この結果、ゲートパルスがオフする際の、突き抜け電圧と呼ばれる画素電位の変化が、画素間でばらつき、フリッカが生じる。

【0010】以上が従来の画素構成の説明であり、以下に本発明における実施の形態1の画素構成について述べる。実施の形態1における、1画素内におけるパターンの上面図および断面図を図2（a）および図2（b）にそれぞれ示す。

【0011】図2において、ゲートライン5に接続されているゲート電極6は、環状のパターン構成となっており、さらに同じくソースライン1に接続されているソース電極2も、ゲート電極6と同様に、環状のパターン構成となっており、かつ、それぞれ一部の領域でオーバーラップしており、ゲートソース間で容量を形成している。一方、ドレイン電極3は、ゲート電極6の内側の空白部分に、環状ではなく島状に形成されており、かつ、同じくそれぞれの電極は一部の領域でオーバーラップしており、ゲートドレイン間で容量を形成している。以上のように、オーバーラップ領域が四方で囲むような構成となっていることから、ゲートソース間容量、及びゲートドレイン間容量は共に、上下方向、左右方向のどの方向に、両者の相対的な位置関係がずれた場合においても、全体としての容量値は不変となり、この結果、画素間での突き抜け電圧がばらつかないため、フリッカが大幅に低減され、高品位の画像が得られる。

【0012】尚、本実施の形態においては、ドレイン電極側が孤立しているため、画素電位と接続するために、透明電極4を用いて配線を設けている。この際に、ゲート電極6、及びソース電極2とはパッシベーション用絶縁膜8を介してオーバーラップしているので、ショートはしていないが容量は若干形成されることになる。

【0013】さらに、本実施の形態とは逆に、ドレイン電極側を環状の構造にしてもよいが、この際には逆に、ソース電極側が孤立してしまうため、同様に透明電極4を用いてソースライン1に接続する必要がある。この構成にした場合の利点は、ドレイン電極側の接続は、ゲート電極6とオーバーラップすることなしにできるため、突き抜け容量がばらつく余分な原因を排除できる点であり、一方欠点としては、ソースライン側にも透明電極4との接続のためのコンタクト領域が必要となり、不良による歩留まり低下の原因となることである。従って、何をより重視するかを判断した上で、どちらを選択するかを決定すればよい。しかしながらドレイン電極側を環状の構造にすることにより、ゲートドレイン間容量の設定範囲をより広くとることができるので、設計上はこの構成が好ましい場合がある。

【0014】なお、ゲート電極などの環状パターンとして、本実施の形態では正方形の場合を示したが、これに限るものではなく、点対称のパターンであればよい。例えば長方形、六角形、八角形、楕円形などが可能である。

【0015】

【発明の効果】本発明は、以上説明したような形態で実

施され、以下に記載されるような効果を奏する。すなわち、フォトマスクの合わせずれによるゲートドレイン間のオーバーラップ面積の変動を抑制するために、トランジスタのゲート電極と、ソース又はドレイン電極のうちどちらか一方のみとを、環状の構造となるようにすることにより、大型、高精細の液晶表示素子に対しても、フリッカレベルの小さい、すなわち高画質品位を保持した液晶表示素子を実現することができる。

【図面の簡単な説明】

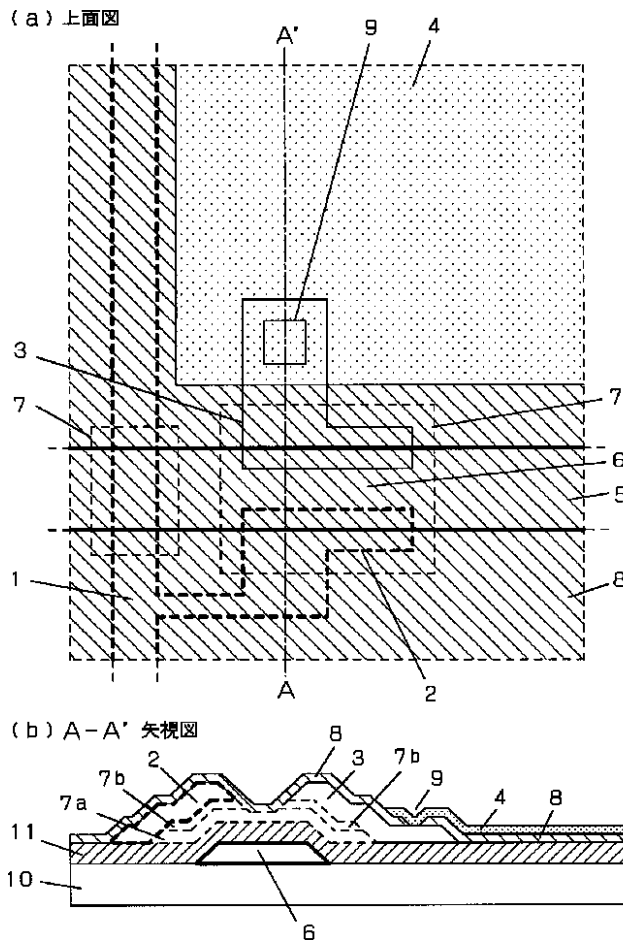
【図1】 アレイ基板上パターンの従来例の1画素内における上面及び断面を示す説明図

【図2】 実施の形態1のアレイ基板上パターンの1画素内における上面及び断面を示す説明図

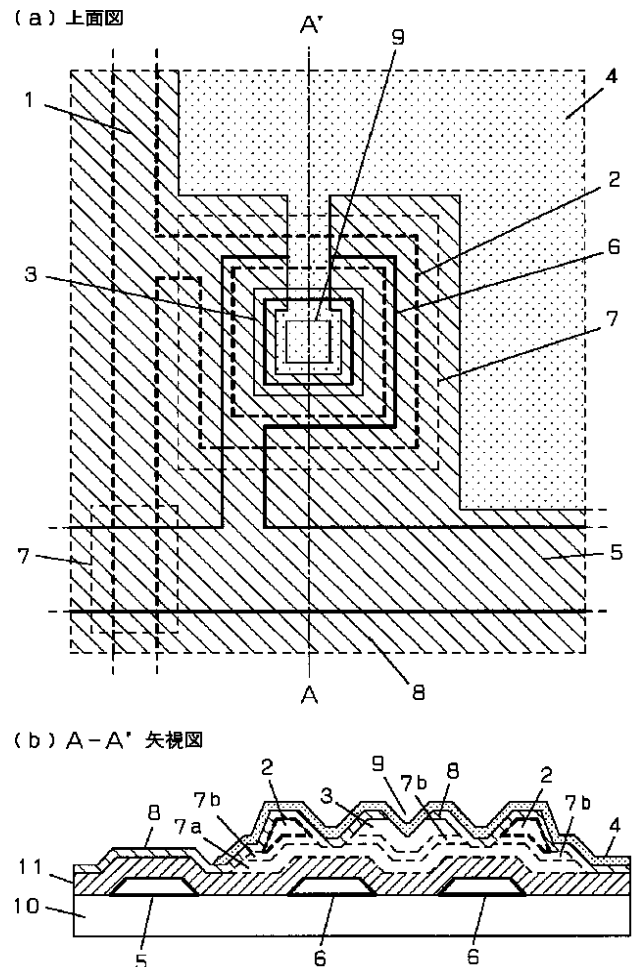
【符号の説明】

- 1 ソースライン
- 2 ソース電極
- 3 ドレイン電極
- 4 透明電極
- 5 ゲートライン
- 6 ゲート電極
- 7 シリコン膜
- 7a シリコン膜（ノンドープ層）
- 7a シリコン膜（n+ドープ層）
- 8 パッシベーション用絶縁膜
- 9 コンタクト部
- 10 アレイ用ガラス基板
- 11 ゲート絶縁膜

【図1】



【図2】



フロントページの続き

Fターム(参考) 2H092 JA26 JA38 JA42 JA46 MA14
NA01
5C094 AA03 BA03 BA43 CA19 DA13
EA03 EA04 EA07 FA04
5F110 AA02 AA26 AA30 BB01 CC07
DD02 EE24 GG02 HK09 HM04

专利名称(译)	有源矩阵液晶显示元件		
公开(公告)号	JP2002141511A	公开(公告)日	2002-05-17
申请号	JP2000334210	申请日	2000-11-01
申请(专利权)人(译)	松下电器产业有限公司		
[标]发明人	冈田隆史 西谷幹彦		
发明人	冈田 隆史 西谷 幹彦		
IPC分类号	G02F1/136 G02F1/1368 G09F9/30 H01L29/786		
FI分类号	G09F9/30.338 H01L29/78.617.K G02F1/136.500 H01L29/78.616.T G02F1/1368		
F-TERM分类号	2H092/JA26 2H092/JA38 2H092/JA42 2H092/JA46 2H092/MA14 2H092/NA01 5C094/AA03 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/EA03 5C094/EA04 5C094/EA07 5C094/FA04 5F110/AA02 5F110/AA26 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE24 5F110/GG02 5F110/HK09 5F110/HM04 2H192/AA24 2H192/BC33 2H192/CB05 2H192/CC14 2H192/CC42 2H192/DA71		
外部链接	Espacenet		

摘要(译)

解决的问题：为了实现具有小闪烁水平的液晶显示元件，即，即使对于大尺寸和高清晰度的液晶显示元件，也要保持高图像质量。提供晶体管的栅电极以及源电极和漏电极中的仅一个以便抑制由于光掩模的未对准而导致的栅和漏之间的重叠区域的变化。具有圆形结构。

