

(19)日本国特許庁 (J P)

(12) **公 開 特 許 公 報** (A) (11)特許出願公開番号

特開2002－139743

(P2002－139743A)

(43)公開日 平成14年5月17日(2002.5.17)

(51)Int.Cl ⁷	識別記号	F I	テ-マコード [*] (参考)
G 0 2 F 1/1368		G 0 2 F 1/1333 500	2 H 0 9 0
	1/1333 500	G 0 9 F 9/30 330 Z	2 H 0 9 2
G 0 9 F 9/30	330		5 C 0 9 4
	338	G 0 2 F 1/136 500	5 F 0 3 3
H 0 1 L 21/3205		H 0 1 L 21/88 K	5 F 1 1 0
審査請求 未請求 請求項の数 6 O L (全 10数) 最終頁に続く			

(21)出願番号 特願2000－336966(P2000－336966)

(22)出願日 平成12年11月6日(2000.11.6)

(71)出願人 591037719
畑村 洋太郎
東京都文京区小日向2丁目12番11号

(71)出願人 000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者 畑村 洋太郎
東京都文京区小日向2丁目12番11号

(72)発明者 中尾 政之
千葉県松戸市新松戸4－272－D285

(74)代理人 100102277
弁理士 佐々木 晴康 (外 2 名)

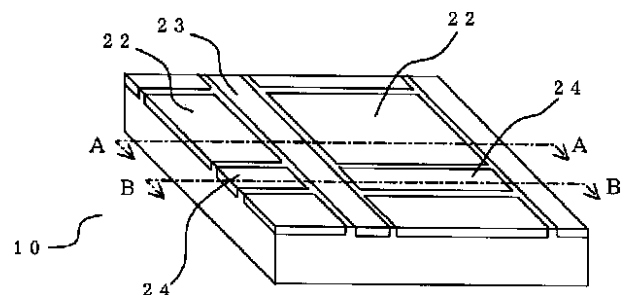
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 従来のアクティブマトリクス基板では配線の接続部分やクロス部分では絶縁膜にピンホールが生じやすく、ライン欠陥の発生等歩留まりの低下をきたしていた。

【解決手段】 スイッチング素子、信号線、走査線及び画素電極を有するアクティブマトリクス基板において、絶縁性基板の内部にスイッチング素子を埋め込み、基板表面を平坦化した液晶表示装置。



【特許請求の範囲】

【請求項1】 絶縁性基板と、該絶縁性基板にマトリクス状に設けられたスイッチング素子と、該スイッチング素子の第1端子に接続された走査線と、該スイッチング素子の第2端子に接続された信号線と、該スイッチング素子の第3端子に接続された画素電極とを有するアクティブマトリクス基板と、該アクティブマトリクス基板に対向する対向基板の間に液晶を挟持して構成される液晶表示装置において、該アクティブマトリクス基板を埋設する該絶縁性基板の内部にスイッチング素子が形成された構造を有することを特徴とする液晶表示装置。

【請求項2】 絶縁性基板と、該絶縁性基板にマトリクス状に設けられたスイッチング素子と、該スイッチング素子の第1端子に接続された走査線と、該スイッチング素子の第2端子に接続された（基準）信号線と、該スイッチング素子の第3端子に接続された画素電極とを有するアクティブマトリクス基板と、該アクティブマトリクス基板に対向する対向基板の上に、該画素電極の各々に対向する対向電極と、該対向電極に接続された信号線を有し、該信号線は該走査線に直交するように配置されており、該アクティブマトリクス基板と該対向基板の間に液晶を挟持して構成される液晶表示装置において、該アクティブマトリクス基板を埋設する該絶縁性基板の内部にスイッチング素子が形成された構造を有することを特徴とする液晶表示装置。

【請求項3】 前記画素電極が光反射材料で形成されていることを特徴とする前記請求項1、2記載の液晶表示装置。

【請求項4】 前記アクティブマトリクス基板の走査線、信号線、画素電極の少なくとも1つが、該絶縁膜と該絶縁性基板の少なくとも一方の溝部分に埋め込まれた構造を有することを特徴とする前記請求項1、2、3記載の液晶表示装置。

【請求項5】 前記アクティブマトリクス基板の走査線、信号線、画素電極の少なくとも1つが、Cu、Al等の低抵抗金属から成ることを特徴とする前記請求項4記載の液晶表示装置。

【請求項6】 前記絶縁性基板の内部に形成されたスイッチング素子が基板表面に対して傾斜した構造になっていることを特徴とする前記請求項1、2、3、4、5記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に関し、さらに詳しくはパーソナルコンピュータ、ワークステーション、プロジェクタ等のディスプレイの応用分野に用いられる液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は、薄型、軽量、低消費電力の特長を生かして、ノートブック型パーソナルコンピ

ュータ、携帯情報端末、ワークステーションや、小型高精細の特長を生かしたプロジェクタ等の各種商品に広く応用されている。

【0003】特に、薄膜トランジスタ（以下、TFTと称す）などの能動素子をスイッチング素子として用い、画素をマトリクス状に配置したアクティブマトリクス型の液晶表示装置が、高い表示品位が求められる商品に使われている。

【0004】従来のアクティブマトリクス型液晶表示装置は、透光性基板上にアクティブマトリクス素子を形成したアクティブマトリクス基板と、透光性基板上に対向電極を形成した対向基板と、両基板間に液晶層を挟み込んだ構成となっている。

【0005】アクティブマトリクス基板は図5に示すように、液晶層に電圧印加するための複数の画素電極51と画素電極51を駆動するためのスイッチング手段であるTFT52がマトリクス状に形成され、TFT52が画素電極51に接続されている。

【0006】上記TFT52におけるゲート電極には走査線53が、またソース電極には信号線54がそれぞれ接続されている。上記走査線53と信号線54はマトリクス状に配列された画素電極51の周囲を通り、互いに直交するように配置されている。上記走査線53を介してゲート信号を制御することによりTFT52のON/OFF制御が行われ、TFT52のON時に上記信号線54にデータ信号（表示信号）が入力されるとTFT52を介してデータ信号が画素電極51に入力される。

【0007】前記TFT52の具体的構造は図6に示すように、透明な絶縁性基板61上にゲート電極62が形成され、これを覆うようにゲート絶縁膜63が形成されている。ゲート電極62の上にゲート絶縁膜63を介して半導体薄膜64が形成されている。

【0008】この半導体薄膜64の中央上部にチャネル保護膜65が形成されている。このチャネル保護膜65と半導体薄膜64のソース部側に n^+ シリコン層からなるソース電極66aが、ドレイン部側にも同じく n^+ シリコン層からなるドレイン電極66bが形成されている。

【0009】上記ソース電極66aに対してソース配線となる金属層67aが接続されており、上記ドレイン電極66bに対してドレイン配線となる金属層67bが接続されている。このTFT52の表面は層間絶縁膜68によって覆われており、さらに、その上に画素電極51となる透明導電膜が形成されている。

【0010】画素電極51は、コンタクトホール69を介して、TFTのドレイン配線となる金属層67bと接続されている。また、図示しないが、画素電極51上には、液晶を配向させるための配向膜が表示領域全域にほぼ一様に形成されている。

【0011】上記層間絶縁膜68としては、従来、CV

D法などで形成したSiNxなどの無機薄膜が用いられ、半導体薄膜64としては、CVD法などで形成した水素化アモルファスシリコン(a-Si:H)が用いられている。

【0012】また、上記と異なる構造として、上記信号線を対向基板側に形成した液晶表示装置が提案されている(特開平7-128687号公報など)。この構造は、共通の基板上で走査線と信号線が交差することなく各々別基板上に形成したのでライン欠陥の発生率が低下し歩留まりが向上できる。

【0013】図7を用いて、本構造を説明する。一方の基板70上において、マトリクス状に設けられたアモルファスシリコン半導体などの3端子のスイッチング素子71に、前記スイッチング素子71の各列ごとの一端子に走査線72が接続され、前記スイッチング素子の各列ごとの別の端子に基準信号線73が接続され、該スイッチング素子71各々の更に別の端子に画素電極74が接続されている。

【0014】一方の基板70に対向する対向基板75上には、上記走査線72に直交する方向に、信号線76が複数配置される。またここでは、信号線76が、画素電極74に対向する部分において、対向電極を兼ねている。

【0015】また、歩留りを改善する他の方法として、絶縁膜の溝部分に配線や画素電極を埋め込む構造が提案されている(特開2000-21885号公報)。この構造では、スイッチング素子の上に絶縁膜を形成し、画素電極を配置する部分に溝を形成した上に金属膜を形成する。

【0016】その後、CMP技術による表面平坦化を行い画素電極を形成している。

【0017】

【発明が解決しようとする課題】しかしながら、図5及び図6の構造では上記走査線53と信号線54が透明な絶縁性基板61上で、マトリクス状に配列された画素電極51の周囲を通り、各々の配線が互いに直交するように配置され、上記走査線53と信号線54との多数の交差部では、上記走査線53上にその段差形状を反映して、信号線54が積層されている。

【0018】したがって、このような交差部では、層間絶縁膜68にクラックが入りやすく、上層の信号線54が製造中に断線しやすいため、信頼性低下や歩留まり低下の要因となっている。また、層間絶縁膜68にピンホールがあると、上層の信号線54と下層の走査線53が短絡して歩留まりを低下させる。

【0019】また、この問題を解決するために、上記信号線を対向基板側に形成した液晶表示装置が特開平7-128687号公報などに提案されている。この構造は、共通の基板上で走査線と信号線が交差することなく各々別基板上に形成したのでライン欠陥の発生率が低下

し歩留まりが向上できる。

【0020】しかしながら、この構造ではスイッチング素子の端子に基準信号線や画素電極が重ね合せて接続されているので、接続部分で段差が形成されるため、製造工程中の成膜不良やエッチング不良で断線が発生しやすくなるため、表示不良や歩留まり低下が生じ易い。

【0021】また、この問題を解決する別の手法として、スイッチング素子の上に絶縁膜を形成し、画素電極を配置する部分に溝及びスルーホールを形成した上に金属膜を形成する。その後、CMPによる表面平坦化を行い画素電極を形成する事で膜の重ね合せによる段差を無くす方法が提案されている。

【0022】しかしながら、この方法を用いるとプロセスが複雑になり、工程数が増加するため、コストアップとなる。

【0023】本発明は、上記従来の問題を改善するものであり、配線接続部分の段差による断線を防止し歩留まりを向上させコストダウンを図ると共に、信頼性が高く表示品位の良好な液晶表示装置を提供するものである。

【0024】

【課題を解決するための手段】本発明の液晶表示装置は、上記目的を達成するためのものであり、本発明の請求項1記載の液晶表示装置は、絶縁性基板と、該絶縁性基板にマトリクス状に設けられたスイッチング素子と、該スイッチング素子の第1端子に接続された走査線と、該スイッチング素子の第2端子に接続された信号線と、該スイッチング素子の第3端子に接続された画素電極とを有するアクティブマトリクス基板と、該アクティブマトリクス基板に対向する対向基板の間に液晶を挟持して構成される液晶表示装置において、該アクティブマトリクス基板の該絶縁性基板の内部にスイッチング素子が形成された構造を有することを特徴としている。

【0025】上記構成によれば、スイッチング素子が基板内部に形成されているので、信号線と走査線が交差しない構造を採れるので、線間リークが発生しないため、歩留まり及び信頼性が向上する。また画素表面が平坦となるので、良好な表示品位が得られる。

【0026】本発明の請求項2記載の液晶表示装置は、絶縁性基板と、該絶縁性基板にマトリクス状に設けられたスイッチング素子と、該スイッチング素子の第1端子に接続された走査線と、該スイッチング素子の第2端子に接続された(基準)信号線と、該スイッチング素子の第3端子に接続された画素電極とを有するアクティブマトリクス基板と、該アクティブマトリクス基板に対向する対向基板の上に、該画素電極の各々に対向する対向電極と、該対向電極に接続された信号線を有し、該信号線は該走査線に直交するように配置されており、該アクティブマトリクス基板と該対向基板の間に液晶を挟持して構成される液晶表示装置において、該アクティブマトリクス基板の該絶縁性基板の内部にスイッチング素子が形

成された構造を有することを特徴としている。

【0027】上記構成によれば、主基準信号線と主走査線が隣接していないので、線間リークが発生しないため、歩留まりが向上する。また配線間に交差部がなく主走査線が同一層内で連続しているため、信頼性が向上する。また画素表面が平坦となるので、良好な表示品位が得られる。

【0028】本発明の請求項3記載の液晶表示装置は、請求項1または請求項2記載の液晶表示装置において前記画素電極が光反射材料で形成されていることを特徴と 10 している。

【0029】上記構成によれば、光反射材料表面が平坦性良く形成できるので反射効率が良く良好な表示品位が得られる。

【0030】本発明の請求項4記載の液晶表示装置は、前記アクティブマトリクス基板の走査線、信号線、画素電極の少なくとも1つが、該絶縁膜と該絶縁性基板の少なくとも一方の溝部分に埋め込まれた構造を有することを特徴としている。

【0031】上記構成によれば、溝部分に配線が埋め込 20 まれているので配線間リークが発生しないため、歩留りが一層向上する。

【0032】本発明の請求項5記載の液晶表示装置は、前記アクティブマトリクス基板の走査線、信号線、画素電極の少なくとも1つが、Cu、Al等の低抵抗金属から成ることを特徴としている。

【0033】上記構成によれば、配線を低抵抗金属材料で構成できるので、高精細化や大画面化時においても信号遅延が生じないので、良好な表示品位が得られる。

【0034】本発明の請求項6記載の液晶表示装置は、 30 前記絶縁性基板の内部に形成されたスイッチング素子が基板表面に対して傾斜した構造になっていることを特徴としている。上記構成によれば、スルーホールを形成する工程を短縮することができるので、コスト低減を図る事ができる。

【0035】

【発明の実施の形態】以下、図面を参照しながら本発明の液晶表示装置の実施例を示す。なお、これによって、実施例を限定するものではない。

【0036】（実施の形態1）本発明の液晶表示装置の 40 アクティブマトリクス基板側構造を1図及び2図に示す。

【0037】なお、2図は1図のA-A断面及びB-B断面での形成工程を示す。アクティブマトリクス基板10の構造を1図及び2図をもとに説明する。

【0038】透明な絶縁性基板11に、ドライエッチングまたはウェットエッチングにより溝を形成し、スイッチング素子の埋め込み領域12を形成する。スイッチング素子13は、透明な絶縁性基板11の上にアルミニウムやタンタル等の金属膜をスパッタ法等により成膜し 50

て、パターニングする事で埋め込み領域12内に走査端子14を形成する。

【0039】その上層にプラズマCVD法を用いて窒化シリコンからなる絶縁層15、非晶質シリコンからなる半導体層16、 n^+ 型非晶質シリコンからなるコンタクト層17a、17bを形成する。その上層にスパッタ法等によりタンタル、モリブデン等の単層金属膜やチタン／アルミニウム、タンタル／窒化タンタル等の積層金属膜を成膜して、信号端子18及び画素端子19を形成した後、スイッチング素子13のチャンネル部分の n^+ 型非晶質シリコンをドライエッチング等により取り除く事でスイッチング素子13が構成される。

【0040】その上層にプラズマCVD法を用いて、窒化シリコンからなる絶縁膜25を形成し、表面研磨し平坦化を行った。次いで、画素電極となる溝20a、信号線となる溝20b、走査線となる溝を形成した後、走査端子14と走査線24を接続するためのスルーホール、信号端子18と信号線23を接続するためのスルーホール21b、画素端子19と画素電極22を接続するためのスルーホール21aを形成する。

【0041】その上層に、スパッタ法等によりアルミニウム、銅等の金属膜を成膜して、スルーホールを通して各端子14、18、19と接続する。次いで、表面を研磨し平坦化を行う事で、金属膜が溝に埋め込まれた構成となり、走査線24、信号線23、画素電極22が形成される。これにより、透明性絶縁基板にスイッチング素子を埋め込んだ構成となり、画素電極、配線形成面を平坦にする事ができる。

【0042】対向基板は、透明の絶縁性基板にカラーフィルタが形成され、その上に透明導電膜であるITOが表示領域全域に形成されている。

【0043】液晶表示装置は、前記スイッチング素子がマトリクス状に形成されたアクティブマトリクス基板、および対向基板の両基板上に配向膜を形成し配向処理を行った後、前記アクティブマトリクス基板と前記対向基板の間に液晶層を挟持することで構成されている。液晶層の表示モードとしては、HFEモードを用いた。これにより反射型の液晶表示装置が構成される。

【0044】本構成によれば、従来のスイッチング素子の構成で存在していた段差を介しての配線接続部分や配線の交差部分が存在しないため、段差部分で起き易い段切れが発生しない。また交差部で起き易い線間リークが発生しないので、歩留まり及び信頼性が向上する。

【0045】また画素表面が平坦となるので、反射型では反射効率が向上し、明るくコントラストが高い良好な表示品位が得られる。また、金属膜を研磨することにより配線を形成する事ができるので、銅のようにドライエッチングで加工する事ができなかった低抵抗材料で配線形成が可能となるので大画面表示や高精細表示を実現する場合に求められる配線の低抵抗化ができ、表示性能向

上に寄与できる。

【0046】上記実施例においては、金属膜の材料としてアルミニウム、銅を用いたが、これ以外にも、アルミニウム、銅、タンタル、クロム、ニッケル、銀、チタンのうち少なくとも1つを含む金属、又はこれらの金属の積層を用いても良い。

【0047】（実施の形態2）本発明の他の実施例である液晶表示装置のアクティブマトリクス基板側の構造を3図及び4図に示す。なお、4図は3図のC-C断面での形成工程を示す。

【0048】アクティブマトリクス基板30の構造を3図及び4図をもとに説明する。透明な絶縁性基板31にドライエッチングまたはウェットエッチングにより溝を形成し、スイッチング素子の埋め込み領域32を形成する。スイッチング素子33は、前記実施例と同様の材料、方法により形成した。透明な絶縁性基板31の埋め込み領域32内に走査端子34を形成する。その上層に絶縁層35、半導体層36、コンタクト層37a、37bを形成する。次に、スイッチング素子33のチャンネル部分をドライエッチング等により取り除く事でスイッチング素子33を構成している。

【0049】なお、ここではプロセスを短縮するため、前記実施例で形成した基準信号端子及び画素端子は形成していない。その上層に絶縁膜45を形成し、表面研磨し平坦化を行った。次いで、画素電極を形成するための溝40a、基準信号線を形成するための溝40b、走査線を形成するための溝40cを形成した後、走査端子34と走査線44を接続するための図示していないスルーホール、コンタクト層37bと基準信号線43を接続するためのスルーホール41b、コンタクト層37aと画素電極42を接続するためのスルーホール41aを形成する。

【0050】その上層に、スパッタ法等によりアルミニウム、銅等の金属膜を成膜して、配線をスルーホールを通してスイッチング素子と接続する。次いで、表面を研磨し平坦化を行う事で、金属膜が溝に埋め込まれた構成となり、走査線44、基準信号線43、画素電極42が形成される。これにより、透明性絶縁基板にスイッチング素子を埋め込んだ構成となり、画素電極、配線形成面を平坦にする事ができる。

【0051】対向基板は、カラーフィルタを形成した透明性絶縁基板上に透明導電膜としてITOを形成し、ストライプ上にパターンニングし、対向電極及び信号線を形成して対向基板を構成する。液晶表示装置は、前記スイッチング素子がマトリクス状に形成されたアクティブマトリクス基板、及び対向基板の両基板上に配向膜を形成し配向処理を行った後、前記アクティブマトリクス基板の走査線と前記対向基板の信号線が直交するように貼り合せ、両基板間に液晶層を挟持することで構成されている。液晶層の表示モードとしては、HFEモードを用い

た。これにより反射型の液晶表示装置が構成される。

【0052】本構成によれば、段差を介しての配線接続部分や配線の交差部分が存在しないため、段切れが発生しない。また交差部で起き易い線間リークが発生しないので、歩留まり及び信頼性が向上する。また画素表面が平坦となるので、反射型では反射効率が向上し、明るくコントラストが高い良好な表示品位が得られる。

【0053】また、金属膜を研磨することにより配線を形成する事ができるので、銅のようにドライエッチングで加工する事ができなかった低抵抗材料で配線形成が可能となるので大画面表示や高精細表示を実現する場合に求められる配線の低抵抗化ができ、表示性能向上に寄与できる。更に、前記実施例に比べて走査線が連続して形成できるので、スルーホールを介しての接続不良が生じた時のライン欠陥が発生せず点欠陥となるので、不良発生時の表示品位低下を最小限に抑える事ができる利点がある。

【0054】なお、本実施例では画素電極を金属膜で形成し反射型液晶表示装置を構成したが、画素電極を透明導電膜にして透過型液晶表示装置を構成する事もできる。

【0055】（実施の形態3）本発明の他の実施例である液晶表示装置のアクティブマトリクス基板側の構造を8図、9図及び10図に示す。8図（a）はスイッチング素子を形成した段階でのアクティブマトリクス基板の平面図、8図（b）は、配線及び画素電極を形成したアクティブマトリクス基板の平面図である。

【0056】なお、9図及び10図は8図の各断面を示したものである。

【0057】アクティブマトリクス基板80の構造を8図、9図及び10図をもとに説明する。透明な絶縁性基板81上に溝に対応した露光パターン領域の透過率が傾斜を有するマスクを用いてレジストパターンを形成し、ドライエッチングまたはウェットエッチングにより傾斜構造の溝を形成し、スイッチング素子の埋め込み領域82を形成する。スイッチング素子83は、前記実施例と同様の材料、方法により形成した。

【0058】透明な絶縁性基板81の埋め込み領域82内に走査端子84を形成する。その上層に絶縁層85、半導体層86、コンタクト層87を形成する。次にスパッタ法等によりタンタル、モリブデン等の単層金属膜やチタン／アルミニウム、タンタル／窒化タンタル等の積層金属膜を成膜して、基準信号端子88及び画素端子89を形成した後、スイッチング素子のチャンネル部分をドライエッチング等により取り除く事でスイッチング素子83が構成される。

【0059】その上層に絶縁膜95を形成し、表面研磨し平坦化を行った。平坦化により基板表面上に走査端子84、基準信号端子88、画素端子89と各端子との接続領域が形成される。このため、端子と配線を接続する

ためのスルーホールを形成する必要がないので製造工程を短縮する事ができる。

【0060】次いで、スパッタ法等によりタンタル、モリブデン等の単層金属膜やチタン／アルミニウム、タンタル／窒化タンタル等の積層金属膜を成膜して、パターンニングする事で走査線94、基準信号線93、画素電極92が形成される。これにより、透明性絶縁基板にスイッチング素子を埋め込んだ構成となり、画素電極、配線形成面を平坦にする事ができる。

【0061】対向基板としては、カラーフィルタを形成した透明性絶縁基板上に透明導電膜としてITOを形成し、ストライプ状にパターンニングし、対向電極及び信号線を形成して対向基板を構成する。液晶表示装置は、前記スイッチング素子がマトリクス状に形成されたアクティブマトリクス基板、及び前記対向基板の両基板上に配向膜を形成し配向処理を行った後、前記アクティブマトリクス基板の走査線と前記対向基板の信号線が直交するように貼り合せ、両基板間に液晶層を挟持することで構成されている。液晶層の表示モードとしては、OCBモードを用いた。

【0062】これにより反射型の液晶表示装置が構成される。

【0063】本構成によれば、配線の交差部分が存在しないため、線間リークが発生しないので、歩留まり及び信頼性が向上する。また画素表面が平坦となるので、反射型では反射効率が向上し、明るくコントラストが高い良好な表示品位が得られる。

【0064】また、スルーホールを形成しなくても端子と配線を接続する事が可能となるため、製造工程を短縮することができるのでコスト低減できる利点がある。

【0065】上記実施例では、傾斜構造の溝の角度を基板表面に対し、ほぼ直角から5度程度までの範囲で本構造を構成する事ができる。

【0066】また、配線用金属膜を形成する前に絶縁膜を形成し、配線及び画素電極を形成するための溝を形成した後、配線用金属膜を形成しCMP等の手法を用い表面研磨する事で配線を形成する事もできる。

【0067】傾斜構造の溝にスイッチング素子を形成したアクティブマトリクス基板の構造は、本実施例の構造に限定されるものではなく、実施例1のアクティブマトリクス基板の構造等にも適用可能である。実施例1の構造に適用した場合、11図に示すように透明な絶縁性基板101上に傾斜構造の溝を形成し、スイッチング素子の埋め込み領域102を形成した後、スイッチング素子を形成する。

【0068】この構造では、走査端子104は分岐した形状になっているが、それ以外は上記実施例と同様である。これにより、断続して形成される走査線114を走査端子104を介して接続することができるので、アクティブマトリクス基板100を構成する事ができる。

【0069】

【発明の効果】以上説明したように、本発明によれば、液晶表示装置の歩留まり及び信頼性が向上する。

【0070】また画素表面が平坦となるので、反射型では反射効率が向上し、明るくコントラストが高い良好な表示品位が得られる。また、金属膜を研磨することにより配線を形成する事ができるので、低抵抗材料で配線形成が可能となり大画面表示や高精細表示を実現する場合に求められる配線の低抵抗化ができ、表示性能向上に寄与できる。

【図面の簡単な説明】

【図1】本発明の実施形態のアクティブマトリクス基板の構成を示す概念図である。

【図2】本発明の実施形態のアクティブマトリクス基板の製造工程の断面図である。

【図3】本発明の他の実施形態のアクティブマトリクス基板の構成を示す概念図である。

【図4】本発明の他の実施形態のアクティブマトリクス基板の製造工程の断面図である。

【図5】従来の液晶表示装置の構成を示す概念図である。

【図6】従来の液晶表示装置に用いられるTFEの構造を示す断面図である。

【図7】従来の他の液晶表示装置の構成を示す概念図である。

【図8】本発明の他の実施形態のアクティブマトリクス基板の構成を示す概念図である。

【図9】本発明の他の実施形態のアクティブマトリクス基板の製造工程の断面図である。

【図10】本発明の他の実施形態のアクティブマトリクス基板の製造工程の断面図である。

【図11】本発明の他の実施形態のアクティブマトリクス基板の構成を示す概念図である。

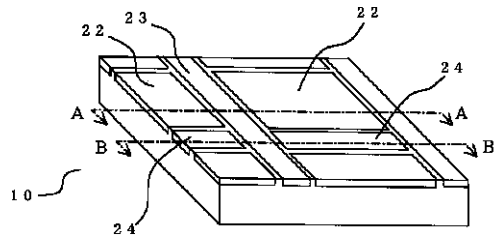
【符号の説明】

11	絶縁性基板
31	絶縁性基板
81	絶縁性基板
101	絶縁性基板
12	埋め込み領域
32	埋め込み領域
82	埋め込み領域
102	埋め込み領域
13	スイッチング素子
33	スイッチング素子
83	スイッチング素子
22	画素電極
42	画素電極
92	画素電極
112	画素電極
23	信号線

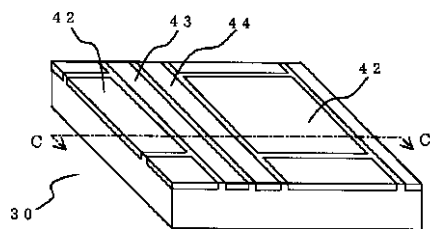
11

- 1 1 3 信号線
 4 3 基準信号線
 9 3 基準信号線
 2 4 走査線
 4 4 走査線
 9 4 走査線
 1 1 4 走査線
 1 5 絶縁層
 3 5 絶縁層

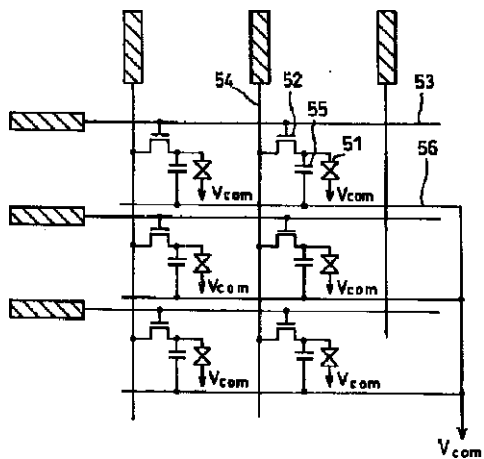
【図1】



【図3】



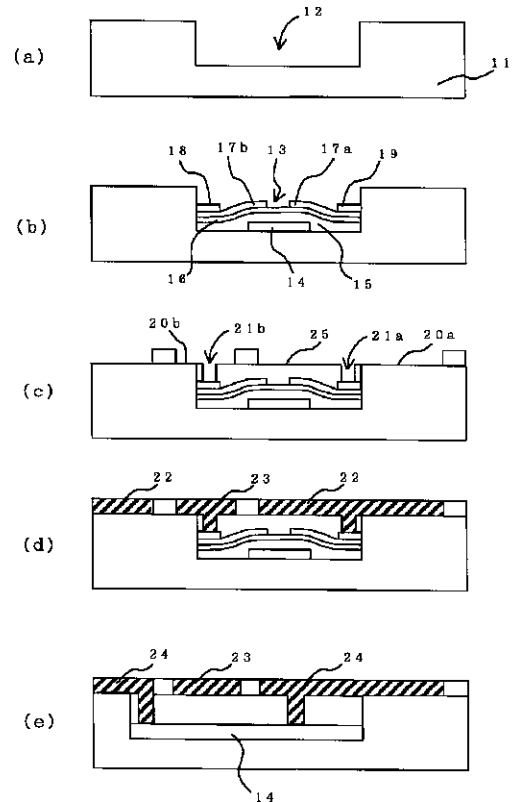
【図5】



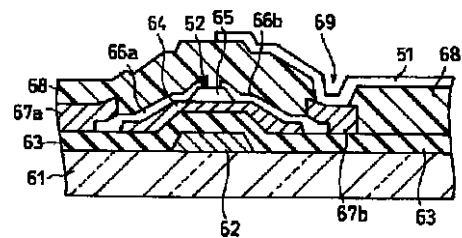
12

- * 8 5 絶縁層
 1 6 半導体層
 3 6 半導体層
 8 6 半導体層
 1 7 a コンタクト層
 1 7 b コンタクト層
 3 7 a コンタクト層
 3 7 b コンタクト層
 * 8 7 コンタクト層

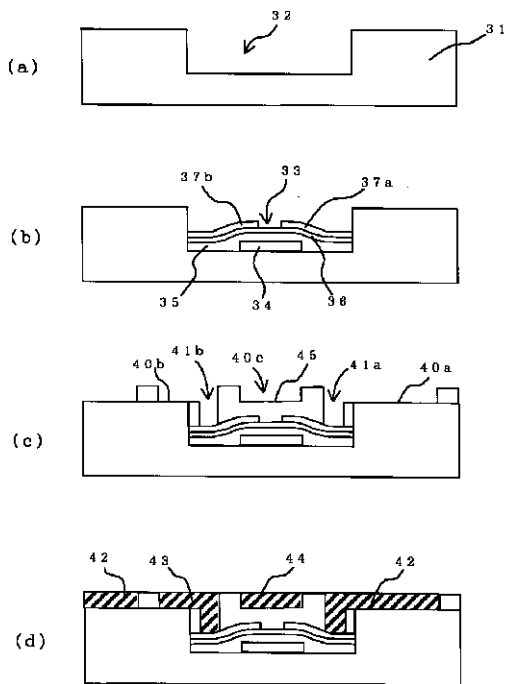
【図2】



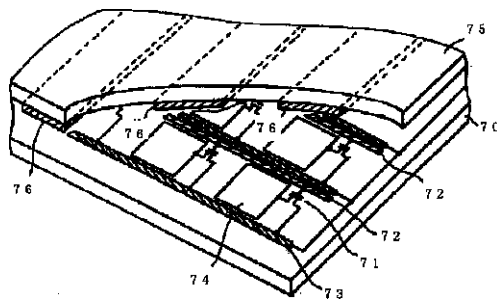
【図6】



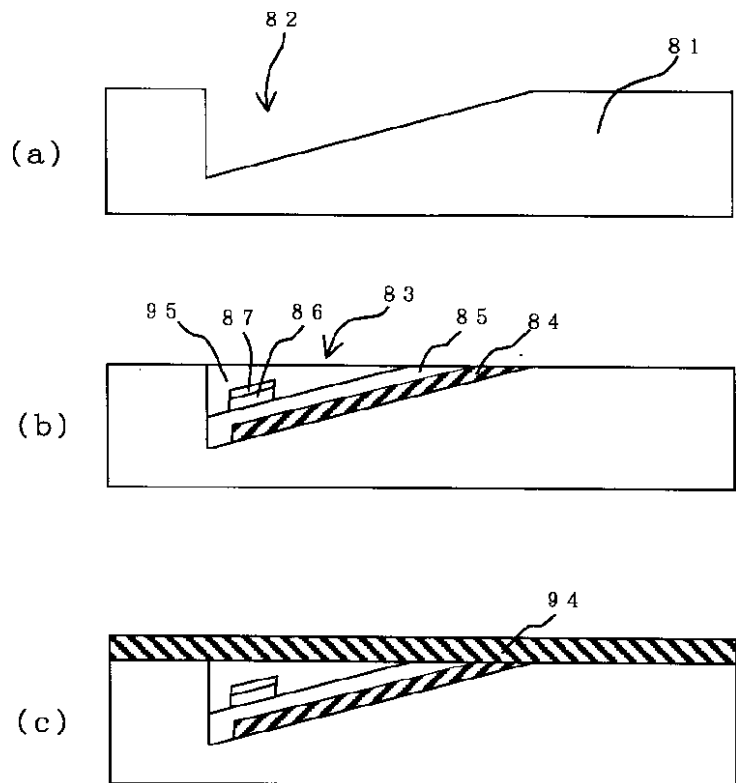
【図4】



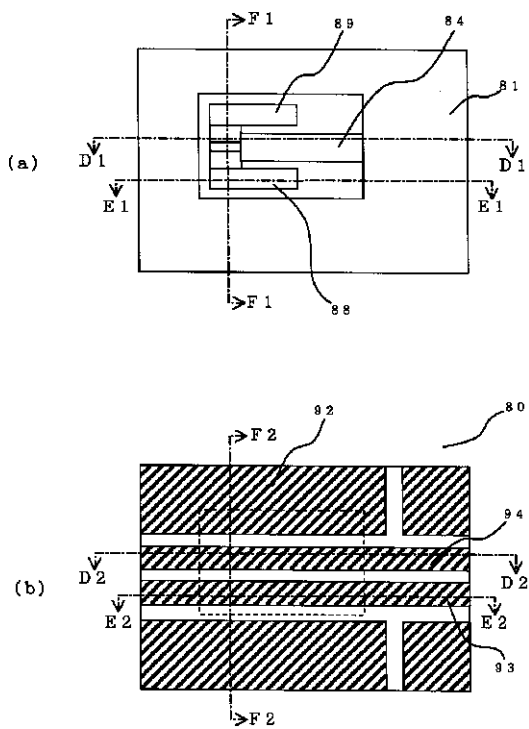
【図7】



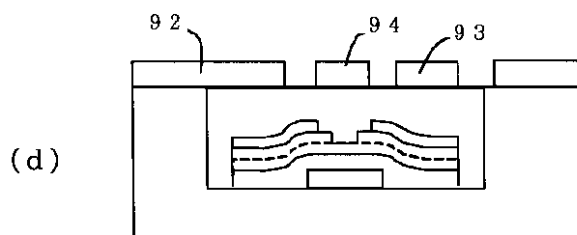
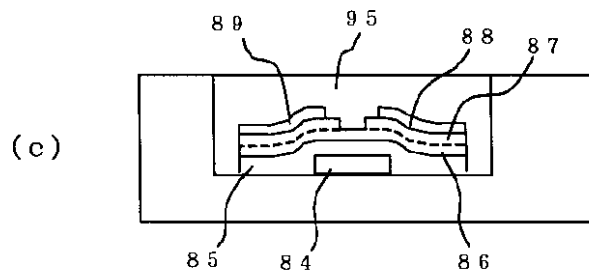
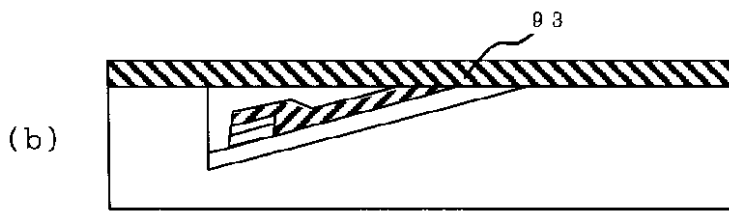
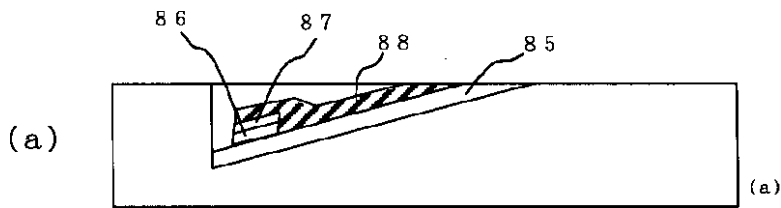
【図9】



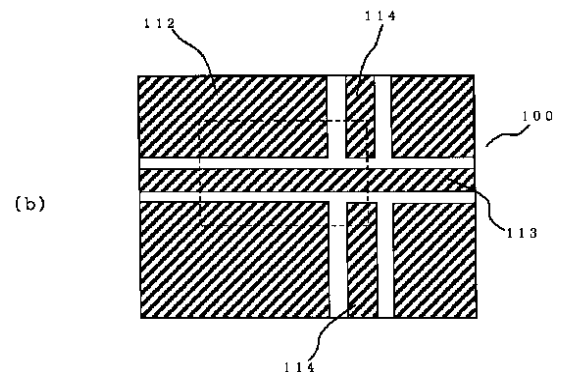
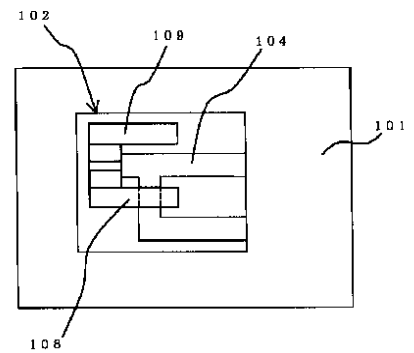
【図8】



【図10】



【図11】



フロントページの続き

(51)Int.Cl.⁷

H01L 21/768
29/786
21/336

識別記号

F I

H01L 21/90
29/78

テーマコード^{*} (参考)

A
612C
626C
627A

(72)発明者 波多野 晃継
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

(72)発明者 西村 靖紀
大阪府大阪市阿倍野区長池町22番22号 シ
ャープ株式会社内

F ターム(参考) 2H090 JA03 JA05 JA19 JC14 JC17
JD15 LA04 LA15
2H092 JA26 JA29 JA38 JA42 JA44
JA46 JB13 JB23 JB32 JB33
JB38 JB52 JB57 JB63 JB69
KA05 KA07 KB25 MA05 MA08
MA14 MA15 MA16 MA18 MA19
MA20 MA27 MA35 MA37 MA41
NA25 NA27 PA12 QA07
5C094 AA31 AA42 AA43 AA44 AA60
BA03 BA43 CA19 EA04 EA05
EA06 EB02 HA08
5F033 GG04 HH07 HH08 HH11 HH14
HH17 HH18 HH20 HH21 HH32
HH38 JJ01 JJ05 JJ07 JJ08
JJ11 JJ14 JJ17 JJ18 KK05
KK08 KK18 KK20 KK21 KK32
LL04 MM01 MM02 MM05 MM12
NN06 PP12 PP15 QQ01 QQ08
QQ09 QQ11 QQ19 QQ34 QQ37
QQ47 QQ48 RR06 SS15 VV15
XX01 XX10
5F110 AA06 AA26 BB02 CC07 DD21
EE03 EE04 EE44 FF03 FF30
GG02 GG15 GG45 HK01 HK03
HK04 HK09 HK16 HK21 HK22
HK33 HL02 HL03 HL04 HL11
NN24 NN35 QQ11 QQ19

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002139743A	公开(公告)日	2002-05-17
申请号	JP2000336966	申请日	2000-11-06
[标]申请(专利权)人(译)	阳太郎Hatamura 夏普株式会社		
申请(专利权)人(译)	阳太郎Hatamura 夏普公司		
[标]发明人	畑村洋太郎 中尾政之 波多野晃继 西村靖纪		
发明人	畑村 洋太郎 中尾 政之 波多野 晃继 西村 靖纪		
IPC分类号	G02F1/1333 G02F1/136 G02F1/1368 G09F9/30 H01L21/3205 H01L21/336 H01L21/768 H01L29/786		
FI分类号	G02F1/1333.500 G09F9/30.330.Z G09F9/30.338 G02F1/136.500 H01L21/88.K H01L21/90.A H01L29/78.612.C H01L29/78.626.C H01L29/78.627.A G02F1/1368 G09F9/30.330		
F-TERM分类号	2H090/JA03 2H090/JA05 2H090/JA19 2H090/JC14 2H090/JC17 2H090/JD15 2H090/LA04 2H090/LA15 2H092/JA26 2H092/JA29 2H092/JA38 2H092/JA42 2H092/JA44 2H092/JA46 2H092/JB13 2H092/JB23 2H092/JB32 2H092/JB33 2H092/JB38 2H092/JB52 2H092/JB57 2H092/JB63 2H092/JB69 2H092/KA05 2H092/KA07 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA14 2H092/MA15 2H092/MA16 2H092/MA18 2H092/MA19 2H092/MA20 2H092/MA27 2H092/MA35 2H092/MA37 2H092/MA41 2H092/NA25 2H092/NA27 2H092/PA12 2H092/QA07 5C094/AA31 5C094/AA42 5C094/AA43 5C094/AA44 5C094/AA60 5C094/BA03 5C094/BA43 5C094/CA19 5C094/EA04 5C094/EA05 5C094/EA06 5C094/EB02 5C094/HA08 5F033/GG04 5F033/HH07 5F033/HH08 5F033/HH11 5F033/HH14 5F033/HH17 5F033/HH18 5F033/HH20 5F033/HH21 5F033/HH32 5F033/HH38 5F033/JJ01 5F033/JJ05 5F033/JJ07 5F033/JJ08 5F033/JJ11 5F033/JJ14 5F033/JJ17 5F033/JJ18 5F033/KK05 5F033/KK08 5F033/KK18 5F033/KK20 5F033/KK21 5F033/KK32 5F033/LL04 5F033/MM01 5F033/MM02 5F033/MM05 5F033/MM12 5F033/NN06 5F033/PP12 5F033/PP15 5F033/QQ01 5F033/QQ08 5F033/QQ09 5F033/QQ11 5F033/QQ19 5F033/QQ34 5F033/QQ37 5F033/QQ47 5F033/QQ48 5F033/RR06 5F033/SS15 5F033/VV15 5F033/XX01 5F033/XX10 5F110/AA06 5F110/AA26 5F110/BB02 5F110/CC07 5F110/DD21 5F110/EE03 5F110/EE04 5F110/EE44 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG45 5F110/HK01 5F110/HK03 5F110/HK04 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK33 5F110/HL02 5F110/HL03 5F110/HL04 5F110/HL11 5F110/NN24 5F110/NN35 5F110/QQ11 5F110/QQ19 2H092/JB37 2H190/JA03 2H190/JA05 2H190/JA19 2H190/JC14 2H190/JC17 2H190/JD15 2H190/LA04 2H190/LA15 2H192/AA24 2H192/BC31 2H192/BC72 2H192/CB05 2H192/EA43 2H192/EA67 2H192/GA41 2H192/GD02 2H192/HA44 2H192/HA88 2H192/JA15 2H192/JA17		
其他公开文献	JP3713197B2		
外部链接	Espacenet		
摘要(译)			

解决的问题：为了降低诸如在有源矩阵基板中出现线缺陷的产量，这容易在布线的连接部分或交叉部分的绝缘膜中引起针孔。一种液晶显示装置，其中具有开关元件，信号线，扫描线和像素电极的有源矩阵基板具有嵌入在绝缘基板内部以使基板表面平坦的开关元件。

