

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2002 - 49360

(P2002 - 49360A)

(43)公開日 平成14年2月15日(2002.2.15)

(51) Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 3
G 0 2 F 1/133	550	G 0 2 F 1/133	5 C 0 0 6
G 0 9 G 3/20	622	G 0 9 G 3/20	622 M
			622 R
	650		650 E

審査請求 未請求 請求項の数 2 O L (全 9 数) 最終頁に続く

(21)出願番号 特願2000 - 234583(P2000 - 234583)

(22)出願日 平成12年8月2日(2000.8.2)

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72)発明者 古屋 正人

神奈川県横浜市神奈川区守屋町3丁目12番地

日本ビクター株式会社内

(74)代理人 100083806

弁理士 三好 秀和 (外 9 名)

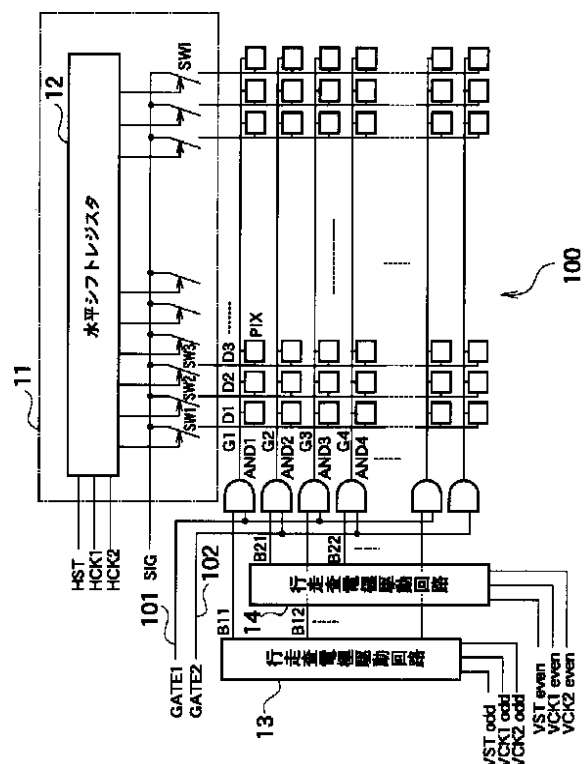
最終頁に続く

(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 行走査電極駆動回路を2ブロック配置した液晶表示装置において、順次走査と飛び越し走査の双方の表示信号に対応することができるようにし、かつ順次走査における上下の連結欠陥の発生を解消する。

【解決手段】 行走査電極駆動回路13及び14の各段の出力B11、B21、B12、B22、・・・と、これに対応する行走査電極G1、G2、G3、・・・との間にゲート回路AND1、2、・・・を接続し、このゲート回路で行選択パルスのオン期間を制御することにより、隣り合う行走査電極Gに供給される行選択パルスのオン期間がオーバーラップしないようにした。



【特許請求の範囲】

【請求項 1】マトリクス状に配置された複数の表示画素毎に設けられたスイッチング素子と、前記スイッチング素子の一方の主端子に接続された複数の列信号電極と、前記スイッチング素子の制御端子に接続された複数の行走査電極と、前記スイッチング素子の他方の主端子に接続された補助容量及び画素電極と、前記複数の列信号電極に表示信号を順次サンプリングする列信号電極駆動回路と、奇数番目の前記行走査電極に接続された前記スイッチング素子の制御端子に行選択パルスを供給する第 1 の行走査電極駆動回路と、偶数番目の前記行走査電極に接続された前記スイッチング素子の制御端子に行選択パルスを供給する第 2 の行走査電極駆動回路と、前記複数の画素電極と対向配置された共通電極と、前記複数の画素電極と前記共通電極との間に保持された液晶部材とを備えた液晶表示装置において、前記第 1 及び第 2 の行走査電極駆動回路の各出力とこれに対応する各行走査電極との間に、前記スイッチング素子の制御端子に供給される行選択パルスのオン期間を制御するゲート回路を接続したことを特徴とする液晶表示装置。

【請求項 2】請求項 1 に記載の液晶表示装置において、前記第 1 の行走査電極駆動回路は、奇数番目の前記行走査電極に接続された前記スイッチング素子を 2 ライン期間オン状態とする行選択パルスを供給し、前記第 2 の行走査電極駆動回路は、偶数番目の前記行走査電極に接続された前記スイッチング素子を 2 ライン期間オン状態とする行選択パルスを、前記第 1 の行走査電極駆動回路から供給される行選択パルスよりも 1 ライン期間の位相遅れで供給し、奇数番目の前記行走査電極に接続するゲート回路と偶数番目の前記行走査電極に接続するゲート回路を、1 ライン期間ごとに交互に導通 / 非導通とすることにより、隣り合う行走査電極に供給される行選択パルスのオン期間が後半の 1 ライン周期のみとなるようにしたことを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えば投射型ディスプレイ等に好適な液晶表示装置に関するもので、詳しくはアクティブマトリクス型液晶表示装置に関するものである。

【0002】

【従来の技術】図 5 は、従来のアクティブマトリクス型液晶表示装置の回路構成を示すブロック図であり、とくに行走査電極駆動回路を 2 ブロック配置した場合の回路構成を示している。

【0003】この液晶表示装置 10 は、図示しない単結晶シリコン基板上に複数の列信号電極 D 1、D 2、・

・（以下、適宜に D と総称する）が並行して配置されており、またこれと直交する方向に複数の行走査電極 G 1、G 2、・（以下、適宜に G と総称する）が配置されている。

【0004】各列信号電極 D と行走査電極 G との交差部には表示画素 P I X が配置されている。また、前記シリコン基板と対向する位置には共通電極が形成された図示しない対向基板が配置されており、前記画素電極と共通電極との間には配向層を介して液晶層が保持されている。

【0005】列信号電極駆動回路 11 は、水平シフトレジスタ 12 とサンプリングスイッチ S W 1、S W 2、S W 3、・ S W i（以下、適宜に S W と略称する）からなるスイッチ群により構成されている。各サンプリングスイッチ S W の入力側は、表示信号（V i d e o）が供給される表示信号供給線 S I G と共通に接続され、出力側は対応する列信号電極 D 1、D 2、D 3、・にそれぞれ接続されている。そして、図示しない駆動タイミング生成回路から供給される水平スタート信号 H S T、水平クロック信号 H C K 1 及び H C K 2 により水平シフトレジスタ 12 が駆動され、所定のタイミングでオンパルス信号が順に出力される。このオンパルス信号によってサンプリングスイッチ S W 1、S W 2、S W 3、・を順次オン状態とすることにより、1 ライン期間（1 水平期間）に出力すべき表示信号が列信号電極 D 1、D 2、D 3、・に順次サンプリングされる。

【0006】行走査電極駆動回路としては、奇数番目に位置する行走査電極 G 1、G 3、・に対応した行走査電極駆動回路 13 と、偶数番目に位置する行走査電極 G 2、G 4、・に対応した行走査電極駆動回路 14 の 2 ブロックが配置されている。

【0007】各行走査電極駆動回路 13、14 は図示しないシフトレジスタを含む回路で構成され、図示しない駆動タイミング生成回路からは、垂直スタート信号 V S T o d d、垂直クロック信号 V C K 1 o d d、同 V C K 2 o d d が行走査電極駆動回路 13 に、また垂直スタート信号 V S T e v e n、垂直クロック信号 V C K 1 e v e n、同 V C K 2 e v e n が行走査電極駆動回路 14 にそれぞれ供給されている。各行走査電極駆動回路の図示しないシフトレジスタは、前記 V S T、V C K 1 及び V C K 2 により駆動され、行走査電極 G 1、G 3、・及び行走査電極 G 2、G 4、・に後述するようなタイミングで順次、行選択パルス（走査信号）を出力する。

【0008】表示画素 P I X は、図 6 の回路構成図に示すように、スイッチングトランジスタ T r、補助容量 C s、画素電極 15、共通電極 16 及びこれら電極間に保持される液晶層 L C により構成されている。行走査線 G に行選択パルスが供給されると、対応する表示画素 P I X のスイッチングトランジスタ T r がオン状態となり、列信号電極 D にサンプリングされた表示信号がスイッチ

ングトランジスタ T_r を介して液晶層 LC に印加される。補助容量 C_s は、スイッチングトランジスタ T_r のオフ期間に液晶層 LC の駆動電圧を保持して、高デューティ比を得るために接続されている。この結果、表示画素 P_{IX} に対応した液晶層 LC には、画素電極 15 を介して表示信号が印加され、液晶層 LC の光変調度が表示信号の電圧値に応じて変化する。これにより、表示信号のもつ情報量に対応した画像が表示されることになる。

【0009】図7は、行走査電極駆動回路13及び14に含まれるシフトレジスタの回路構成図である。シフトレジスタ20は、複数のインバータ回路21及びCMOS転送ゲート22で構成されている（符号は1つのみに付している）。初段のインバータ回路21には、図示しない駆動タイミング生成回路から VST （odd又はeven、 VCK も同様）が入力されるとともに、各段のCMOS転送ゲート22には、 $VCK1$ （ $\phi 1$ 及びその反転クロック/ $\phi 1$ ）と $VCK2$ （ $\phi 2$ 及びその反転クロック/ $\phi 2$ ）の2相のクロック信号が交互に供給されている。この $VCK1$ 及び $VCK2$ のクロック1周期により、 VST が1段分シフトされ、行選択パルスとして行20走査電極 G に出力される。

【0010】図5に示すような、行走査電極駆動回路を2ブロック配置した液晶表示装置10では、順次走査（ノンインターレース）と飛び越し走査（インターレース）の双方に対応することができる。次に、順次走査／飛び越し走査のそれぞれにおける駆動方式について簡単に説明する。

【0011】図8は、順次走査で駆動する場合の動作タイミングを示すタイミングチャートである。

【0012】行走査電極駆動回路13と行走査電極駆動回路14の各シフトレジスタには、転送クロックとして、図中“ t ”で示す1ライン期間の2倍周期の $VCK1$ 及び $VCK2$ が供給されている。この $VCK1$ 及び $VCK2$ は、oddとevenでは位相が1水平周期ずれており、行走査電極駆動回路13と行走査電極駆動回路14は位相が1/2周期（1水平周期）ずれたクロックでシフト動作を行っている。また、 $VSTEVEN$ は $VSTODD$ に対して1水平周期遅延したタイミングで入力されている。この結果、行走査電極 $G1$ 、 $G2$ 、 $G3$ 、 $G4$ 、・・・には、図示のように2ライン期間分の行選択パルス40がそれぞれ1ライン期間の位相遅れで順次送り出される。これによると、各行走査電極 G に接続されている表示画素 P_{IX} のスイッチングトランジスタ T_r は、各々2ライン期間オン状態となるが、2ライン期間分の行選択パルスは1ライン期間づつオーバーラップしているため、前半の1ライン期間にサンプリングされた表示信号は、連続する後半の1ライン期間でサンプリングされる表示信号により書き換えられる。したがって、実質的には後半の1ライン期間の表示信号が表示画素 P_{IX} に保持され、この信号により液晶層 LC が駆動されることに50

なる。

【0013】図9は、飛び越し走査で駆動する場合の動作タイミングを示すタイミングチャートである。行走査電極駆動回路13と14の各シフトレジスタには、転送クロックとして、1ライン期間（1水平期間）と等しい周期の $VCK1$ 及び $VCK2$ が供給されている。この $VCK1$ 及び $VCK2$ の位相は、oddとevenともに同位相であり、行走査電極駆動回路13と行走査電極駆動回路14は同位相のクロックでシフト動作を行っている。そして、表示信号の奇数フィールド期間では、行走査電極駆動回路13と14の各シフトレジスタに対する VST oddと $VSTEVEN$ は同位相で入力され、表示信号の偶数フィールド期間では、行走査電極駆動回路13のシフトレジスタに対する VST oddは行走査電極駆動回路14のシフトレジスタに対する $VSTEVEN$ に対して1ライン期間先行したタイミングで入力される。この結果、表示信号の奇数フィールド期間では、行走査電極（ $G1$ 、 $G2$ ）、（ $G3$ 、 $G4$ ）、（ $G5$ 、 $G6$ ）、・・・の各組に対して行選択パルスが順次送出され、また表示信号の偶数フィールド期間では、行走査電極（ $G2$ 、 $G3$ ）、（ $G4$ 、 $G5$ ）、（ $G6$ 、 $G7$ ）、・・・の各組に対して行選択パルスが順次送出される。このように、奇数フィールド期間と偶数フィールド期間で行走査電極の組み合わせを1行分ずらして選択することにより、飛び越し走査の表示信号で駆動した時の垂直解像度を向上させることができる。

【0014】以上説明したように、図5に示すような行走査電極駆動回路を2ブロック配置した液晶表示装置10では、順次走査の表示信号と飛び越し走査の表示信号の双方に対して最適な駆動方式を選択することができる。

【0015】

【発明が解決しようとする課題】しかしながら、行走査電極駆動回路を2ブロック配置した従来構成の液晶表示装置では、とくに順次走査の表示信号で駆動する場合に以下のような問題点が生じていた。

【0016】図10は、縦方向に連続して配置された表示画素に生じる連結欠陥の説明図であり、（a）は縦方向に連続する3つの表示画素 P_{IX} の回路構成図、（b）はその表示状態を模式的に表したものである。

今、 $\times$ 印を付けた中央の表示画素 P_{IX2} に欠陥があるものとする。

【0017】先に説明したように、順次走査の表示信号に対しては、行走査電極 $G1$ 、 $G2$ 、 $G3$ 、 $G4$ 、・・・には2ライン期間分の行選択パルスが1ライン期間の位相遅れで順次送り出される。この場合、行走査電極 G_n の2ライン期間のオン期間中、後半の1ライン期間には次行 G_{n+1} が同時にオンとなる。このため、行走査電極 G_{n+1} の表示画素 P_{IX2} にショートモードの欠陥（例えばスイッチングトランジスタ T_r のソースと補

助容量 C_s の共通配線とのショート、あるいは T_r の図示しないウェルとのショート) が存在すると、行走査電極 G_n の表示画素 P_{IX1} への表示信号として列信号電極 D_m にサンプリングされた表示信号が行走査電極 G_{n+1} の欠陥画素 P_{IX2} の影響を受けることになり、図 10 (b) に示すように、本来は表示画素 P_{IX2} に単独で存在する欠陥が P_{IX1} にも及び、 P_{IX1} と P_{IX2} の上下の連結欠陥として認識されることになる。

【0018】この発明は、上記従来技術の問題点を解決するためになされたもので、行走査電極駆動回路を 2 ブロック配置した液晶表示装置において、順次走査と飛び越し走査の双方の表示信号に対応することができ、かつ順次走査における上下の連結欠陥の発生を解消することができる液晶表示装置を提供することを目的とする。

【0019】

【課題を解決するための手段】請求項 1 の液晶表示装置は、マトリクス状に配置された複数の表示画素毎に設けられたスイッチング素子と、前記スイッチング素子の一方の主端子に接続された複数の列信号電極と、前記スイッチング素子の制御端子に接続された複数の行走査電極と、前記スイッチング素子の他方の主端子に接続された補助容量及び画素電極と、前記複数の列信号電極に表示信号を順次サンプリングする列信号電極駆動回路と、奇数番目の前記行走査電極に接続された前記スイッチング素子の制御端子に行選択パルス进行供給する第 1 の行走査電極駆動回路と、偶数番目の前記行走査電極に接続された前記スイッチング素子の制御端子に行選択パルス进行供給する第 2 の行走査電極駆動回路と、前記複数の画素電極と対向配置された共通電極と、前記複数の画素電極と前記共通電極との間に保持された液晶部材とを備えた液晶表示装置において、前記第 1 及び第 2 の行走査電極駆動回路の各出力とこれに対応する各行走査電極との間に、前記スイッチング素子の制御端子に供給される行選択パルスのオン期間を制御するゲート回路を接続したことを特徴とする。

【0020】請求項 2 の液晶表示装置は、請求項 1 に記載の液晶表示装置において、前記第 1 の行走査電極駆動回路は、奇数番目の前記行走査電極に接続された前記スイッチング素子を 2 ライン期間オン状態とする行選択パルスを供給し、前記第 2 の行走査電極駆動回路は、偶数番目の前記行走査電極に接続された前記スイッチング素子を 2 ライン期間オン状態とする行選択パルスを、前記第 1 の行走査電極駆動回路から供給される行選択パルスよりも 1 ライン期間の位相遅れで供給し、奇数番目の前記行走査電極に接続するゲート回路と偶数番目の前記行走査電極に接続するゲート回路を、1 ライン期間ごとに交互に導通 / 非導通とすることにより、隣り合う行走査電極に供給される行選択パルスのオン期間が後半の 1 ライン周期のみとなるようにしたことを特徴とする。

【0021】上記構成によれば、行選択パルスのオン期

間をゲート回路で制御することにより、各行選択電極にそれぞれ供給される行選択パルスのオン期間を、隣り合う行走査電極に供給される行選択パルスのオン期間とオーバーラップしないようにすることができる。これによれば、隣り合う行走査電極に供給される行選択パルスのオン期間が時間軸上で完全に分離されることになるので、任意の行に属する表示画素にショートモードの欠陥が存在していても、その影響が上下に位置する他の表示画素に供給される表示信号に及ぶことがない。

【0022】

【発明の実施の形態】次に、この発明に係わる液晶表示装置を、アクティブマトリクス型液晶表示装置に適用した場合の実施の形態について説明する。

【0023】図 1 は、この実施形態に係わる液晶表示装置の回路構成を示すブロック図である。

【0024】図 1 において、図 5 と同一の符号を付した列信号電極駆動回路 11、行走査電極駆動回路 13 及び 14、列信号電極 D_1 、 D_2 、・・・、行走査電極 G_1 、 G_2 、・・・、表示画素 P_{IX} の構成は図 5 と同じであるため、これらの各部については説明を省略する。

【0025】この実施形態の液晶表示装置 100 において、行走査電極駆動回路 13 の各段の出力 B_{11} 、 B_{12} 、・・・は、奇数番目に位置する行走査電極 G_1 、 G_3 、・・・に対応し、また行走査電極駆動回路 14 の各段の出力 B_{21} 、 B_{22} 、・・・は、偶数番目に位置する行走査電極 G_2 、 G_4 、・・・に対応している。

【0026】行走査電極駆動回路 13 及び 14 の各段の出力 B_{11} 、 B_{21} 、 B_{12} 、 B_{22} 、・・・と各行走査電極 G_1 、 G_2 、 G_3 、 G_4 、・・・との間には、行選択パルスのオン期間を制御するためのゲート回路 AND_1 、 AND_2 、 AND_3 、 AND_4 、・・・が接続されている。

【0027】ゲート回路 AND_1 、 AND_2 、 AND_3 、 AND_4 、・・・のうち、奇数番目の行走査電極 G_1 、 G_3 、・・・に対応するゲート回路 AND_1 、 AND_3 、・・・の一方のゲート信号入力端子はゲート信号入力線 101 に共通に配線され、他方のゲート信号入力端子は行走査電極駆動回路 13 の各段の出力 B_{11} 、 B_{12} 、・・・に接続されている。また、偶数番目の行走査電極 G_2 、 G_4 、・・・に対応するゲート回路 AND_2 、 AND_4 、・・・の一方のゲート信号入力端子はゲート信号入力線 102 に共通に配線され、他方のゲート信号入力端子は行走査電極駆動回路 14 の各段の出力 B_{21} 、 B_{22} 、・・・に接続されている。

【0028】ゲート信号入力線 101 及び 102 には、図示しない駆動タイミング生成回路からゲート信号 $GATE_1$ 、 $GATE_2$ がそれぞれ供給されている。

【0029】ゲート回路 AND_1 、 AND_2 、 AND_3 、 AND_4 、・・・では、出力 B_{11} 、 B_{21} 、 B_{12} 、 B_{22} 、・・・が High レベルで、かつゲート信

号 GATE 1、GATE 2 が High レベルの期間に、High レベルのパルス信号を行選択パルスとして、それぞれ行走査電極 G 1、G 2、G 3、G 4、・・・に出力する。

【0030】次に、上記のように構成された液晶表示装置 100 の動作について説明する。図 2 は、図 1 の液晶表示装置 100 を順次走査で駆動する場合の動作タイミングを示すタイミングチャートである。

【0031】ここで、列信号電極駆動回路 11 に供給される HST、HCK 1、HCK 2、行走査電極駆動回路 13 に供給される VSTodd、VCK 1odd、VCK 2odd、同じく行走査電極駆動回路 14 に供給される行 VSTeven、VCK 1even、VCK 2even については、図 8 と同じであるため省略している。

【0032】行走査電極駆動回路 13 及び 14 からは、各段の出力 B 11、B 21、B 12、B 22、・・・として、図示のように 2 ライン期間分の信号パルスが 1 ライン期間の位相遅れで順次送り出されている。そして、図示しない駆動タイミング生成回路からは、1 ライン周期で High/Low が切り替わるゲート信号 GATE 1、GATE 2 がそれぞれ供給されている。このゲート信号 GATE 1、GATE 2 のレベルは、同一周期では High/Low が互いに逆転するように設定されている。

【0033】行走査電極駆動回路 13 及び 14 から送り出される各段の出力 B 11、B 21、B 12、B 22、・・・の信号パルスは、図 8 の行走査電極 G 1、G 2、・・・に供給される行選択パルスと同じように、2 ライン期間分の信号パルスが 1 ライン期間づつオーバーラップしている。ここで、行走査電極駆動回路 13 から送り出される出力 B 11 について見てみると、出力 B 11 の後半 1 ライン期間ではゲート信号 GATE 1 は High レベルであるため、行走査電極 G 1 には 1 ライン期間分の行選択パルス (High レベル) が出力される。また同一期間においてゲート信号 GATE 2 は Low レベルであるため、行走査電極駆動回路 14 から送り出される出力 B 21 により、ゲート回路 AND 2 から行選択パルスが出力されることはない (Low レベル)。以下同様に、出力 B 21 の後半 1 ライン期間ではゲート信号 GATE 2 は High レベルであるため、行走査電極 G 2 には 1 ライン期間分の行選択パルス (High レベル) が出力される。また同一期間においてゲート信号 GATE 1 は Low レベルであるため、行走査電極駆動回路 13 から送り出される出力 B 12 により、ゲート回路 AND 3 から行選択パルスが出力されることはない (Low レベル)。

【0034】ここで、ゲート回路 AND 1、AND 2、・・・に入力される出力 B 11、B 21、・・・の信号パルス、ゲート信号 GATE 1、GATE 2、並びに行選択電極 G 1、G 2、・・・にそれぞれ出力される行選

択パルスについて簡単に説明する。

【0035】今、行走査電極駆動回路 13 及び 14 から送り出される各段の出力 B 11、B 21、・・・の信号パルスの High/Low レベルを 5/0V とし、またゲート信号 GATE 1、GATE 2 の High/Low レベルを 5/0V とすると、それぞれの信号パルスが High レベルの期間にゲート回路 AND 1、AND 2、・・・からは High レベルの信号パルスとして 5V の行選択パルスが出力される。この行選択パルスは、図示しないレベルシフト回路により、表示画素 PIX のスイッチングトランジスタ Tr をオン状態とするのに必要な電圧、例えば 15V にレベル変換され、行選択電極 G 1、G 2、・・・に出力される。

【0036】このような動作が 1 ライン周期で繰り返される結果、ゲート回路 AND 1、AND 2、・・・から行選択電極 G 1、G 2、・・・にそれぞれ出力される行選択パルスのオン期間 (High レベル期間) は、もとの出力 B 11、B 21、・・・の 2 ライン周期分のうちの後半の 1 ライン周期のみとなるため、隣り合う行走査電極に供給される行選択パルスのオン期間とオーバーラップすることがなくなり、時間軸上で完全に分離されることになる。したがって、任意の行に属する表示画素にショートモードの欠陥が存在していても、その影響が上下に位置する他の表示画素に供給される表示信号に及ぶことがなく、この結果、上下に位置する表示画素での連結欠陥の発生を解消することができる。

【0037】また、図 1 の液晶表示装置 100 を飛び越し走査で駆動する場合は、ゲート信号 GATE 1 及び GATE 2 の双方を High レベルで固定することにより、図 9 と同じ動作タイミングで駆動することができる。

【0038】図 1 に示す液晶表示装置 100 では、順次走査における上下の連結欠陥の発生を解消できるだけでなく、順次走査と飛び越し走査の双方の表示信号に対応することができるが、飛び越し走査への対応を考慮しない場合には、例えば図 3 に示すような回路構成とすることができる。

【0039】図 3 に示す液晶表示装置 200 において、奇数番目の行走査電極 G 1、G 3、・・・に対応するゲート回路 AND 1、AND 3、・・・の一方のゲート信号入力端子はゲート信号入力線 103 に共通に配線され、ゲート信号 GATE が供給される。また、偶数番目の行走査電極 G 2、G 4、・・・に対応するゲート回路 AND 2、AND 4、・・・の一方のゲート信号入力端子はゲート信号入力線 105 に共通に配線され、インバータ回路 104 で反転されたゲート信号 GATE が供給される。その他の構成は図 1 と同じであり、同等の部分は同一の符号で表してある。また、このときの動作タイミングのタイミングチャートを図 4 に示す。

【0040】このように、回路構成を順次走査に特化し

た場合は、図示しない駆動タイミング発生回路から供給されるゲート信号 GATE を 1 つにすることができるため、外部からの配線数を減らすことができる。

【0041】なお、上記実施形態ではゲート回路をAND回路で構成した例について示したが、ゲート回路の機能はOR回路で構成することもできる。

【 0 0 4 2 】

【発明の効果】以上説明したように、この発明に係わる液晶表示装置では、順次走査において、隣り合う行走査電極に供給される行選択パルスのオン期間がオーバーラップしないため、欠陥画素の影響が上下に位置する他の表示画素に供給される表示信号に及ぶことがなく、上下に位置する表示画素での連結欠陥の発生を解消することができる。

【 0 0 4 3 】したがって、順次走査と飛び越し走査の双方の表示信号に対応するだけでなく、順次走査における上下の連結欠陥の発生を解消することができる液晶表示装置を提供することができる。

【図面の簡単な説明】

【図１】実施形態に係わる液晶表示装置の回路構成を示すブロック図。

【図2】図1の液晶表示装置を順次走査で駆動する場合*

*の動作タイミングを示すタイミングチャート。

【図 3】他の実施形態に係わる液晶表示装置の回路構成を示すブロック図。

【図 4】図 3 の液晶表示装置を駆動する場合の動作タイミングを示すタイミングチャート。

【図5】従来のアクティブマトリクス型液晶表示装置の回路構成を示すブロック図。

【図6】表示画素PIXの回路構成図。

【図 7】各行走査電極駆動回路に含まれるシフトレジスタの回路構成図。

【図 8】図 5 に示す液晶表示装置を順次走査で駆動する場合の動作タイミングを示すタイミングチャート

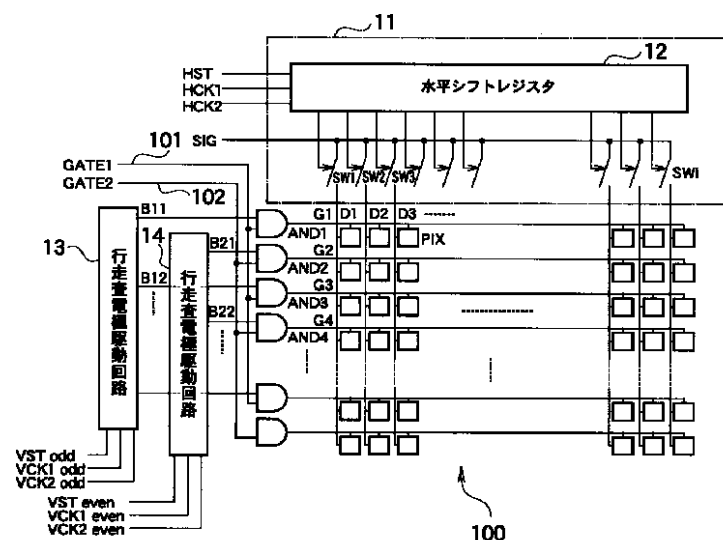
【図 9】図 5 に示す液晶表示装置を飛び越し走査で駆動する場合の動作タイミングを示すタイミングチャート。

【図 10】縦方向に連続して配置された表示画素に生じる連結欠陥の説明図。

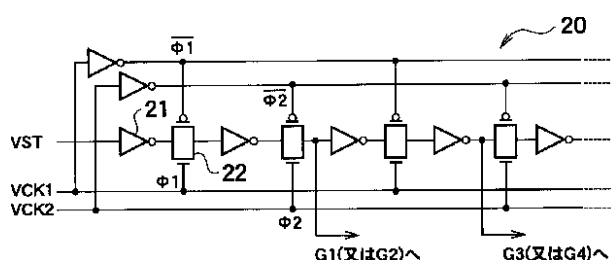
【符号の説明】

1 0 , 1 0 0 , 2 0 0 ...液晶表示装置、 1 1 ...列信号電極駆動回路、 1 3 , 1 4 ...行走査電極駆動回路、 1 5 ...画素電極、 1 6 ...共通電極、 L C ...液晶層、 P I X ...表示画素、 C s ...補助容量、 T r ...スイッチングトランジスタ

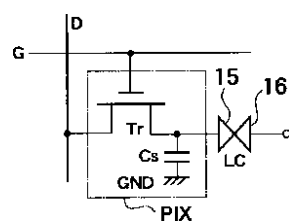
【圖 1】



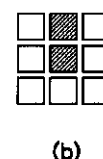
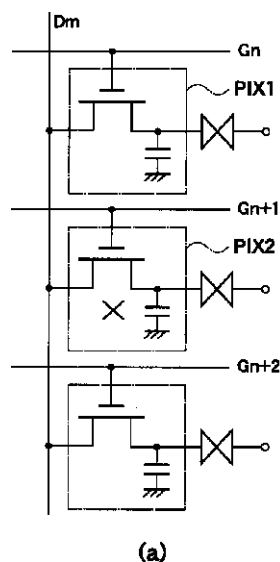
【圖 7】



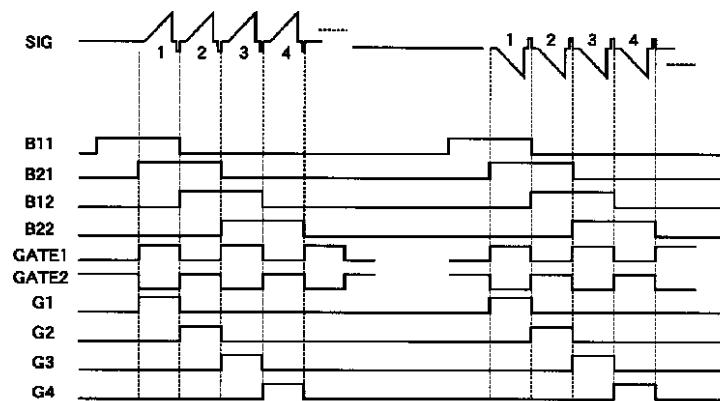
【圖 6】



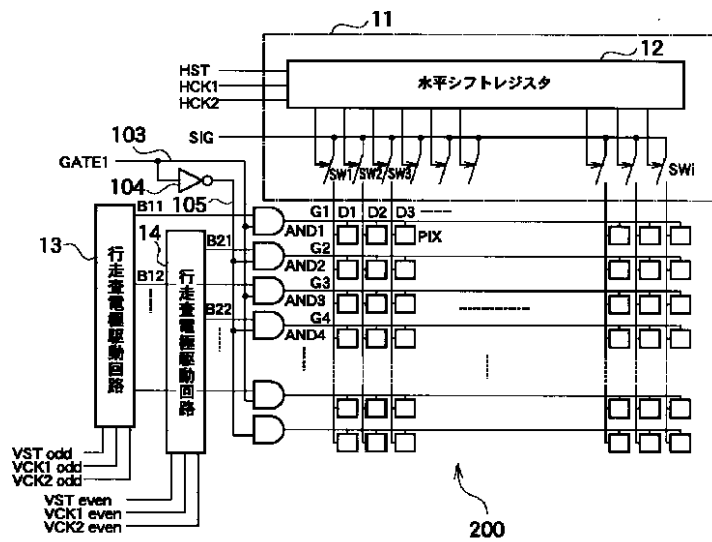
【圖 10】



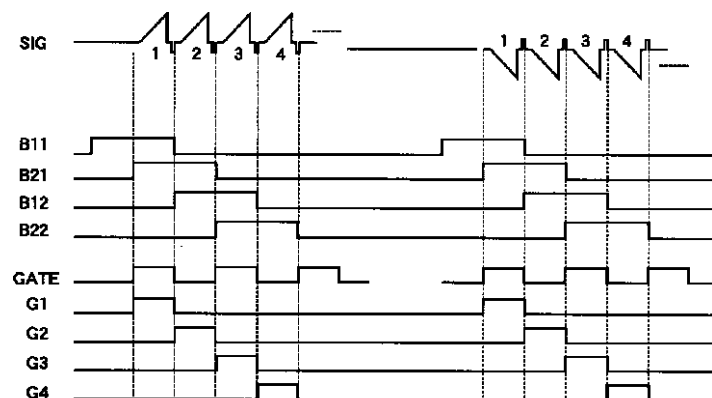
【図 2】



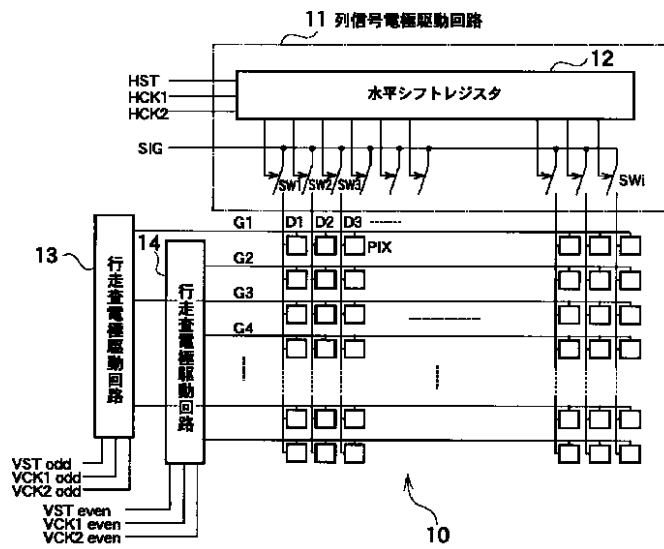
【図 3】



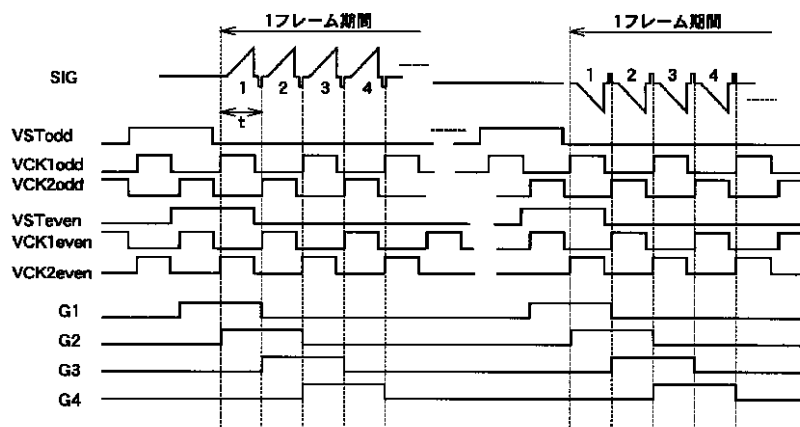
【図 4】



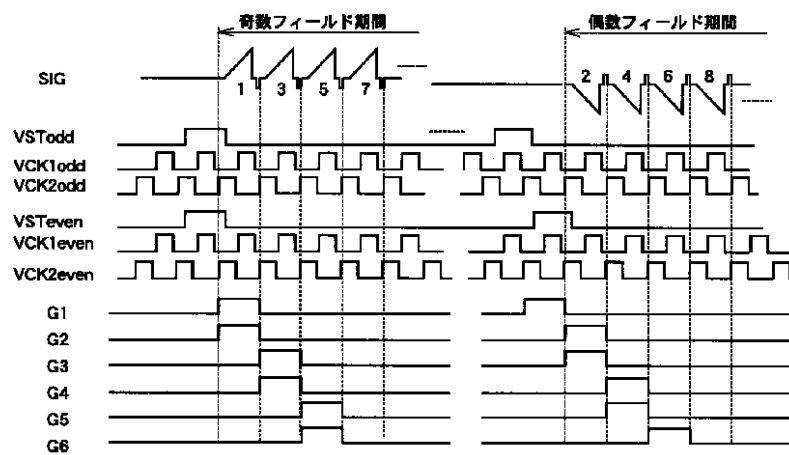
【図5】



【図8】



【図9】



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト(参考)
G 0 9 G 3/20	6 7 0	G 0 9 G 3/20	6 7 0 A

F タ-ム(参考) 2H093 NA45 NA46 NC10 NC22 NC34
ND16 ND60 NG02 NH15
5C006 AC22 AC29 AC30 BB16 BC03
BF03 BF11 BF26 EB04 EC11
5C080 AA10 BB05 BB08 DD01 DD09
DD23 FF11 JJ01 JJ02 JJ03
JJ04

专利名称(译)	液晶表示装置		
公开(公告)号	JP2002049360A	公开(公告)日	2002-02-15
申请号	JP2000234583	申请日	2000-08-02
[标]申请(专利权)人(译)	日本胜利株式会社		
申请(专利权)人(译)	日本有限公司Victor公司		
[标]发明人	古屋正人		
发明人	古屋 正人		
IPC分类号	G02F1/133 G09G3/20 G09G3/36		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.622.M G09G3/20.622.R G09G3/20.650.E G09G3/20.670.A G11C19/00 G11C19/00.J		
F-TERM分类号	2H093/NA45 2H093/NA46 2H093/NC10 2H093/NC22 2H093/NC34 2H093/ND16 2H093/ND60 2H093/NG02 2H093/NH15 5C006/AC22 5C006/AC29 5C006/AC30 5C006/BB16 5C006/BC03 5C006/BF03 5C006/BF11 5C006/BF26 5C006/EB04 5C006/EC11 5C080/AA10 5C080/BB05 5C080/BB08 5C080/DD01 5C080/DD09 5C080/DD23 5C080/FF11 5C080/JJ01 5C080/JJ02 5C080/JJ03 5C080/JJ04 2H193/ZA04 2H193/ZC26 2H193/ZC27 2H193/ZC34 2H193/ZF22 2H193/ZR02 5B074/AA10 5B074/CA01		
外部链接	Espacenet		

摘要(译)

解决的问题：为了使液晶显示装置中布置有两行行扫描电极驱动电路以处理逐行扫描和隔行扫描的显示信号，并消除顺序扫描中上下连接缺陷的发生。。在行扫描电极驱动电路13和14的各个级的输出B11，B21，B12，B22，...与相应的行扫描电极G1，G2，G3之间。通过连接门电路AND1、2，...，并用该门电路控制行选择脉冲的导通周期，提供给相邻行扫描电极G的行选择脉冲的导通周期不重叠。我选择了

