

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A) (11)特許出願公開番号

特開2001 - 343669

(P2001 - 343669A)

(43)公開日 平成13年12月14日(2001.12.14)

(51) Int. Cl ⁷	識別記号	F I	テ-マ-ト [*] (参考)
G 0 2 F 1/1368		G 0 9 F 9/30	338 2 H 0 9 2
G 0 9 F 9/30	338	G 0 2 F 1/136	500 5 C 0 9 4
H 0 1 L 29/786		H 0 1 L 29/78	618 Z 5 F 1 1 0
21/336			

審査請求 未請求 請求項の数 5 O L (全 15数)

(21)出願番号 特願2000 - 165449(P2000 - 165449)

(22)出願日 平成12年6月2日(2000.6.2)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 芦沢 啓一郎

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

(72)発明者 栗山 英樹

千葉県茂原市早野3300番地 株式会社日立製作所ディスプレイグループ内

(74)代理人 100093506

弁理士 小野寺 洋二

最終頁に続く

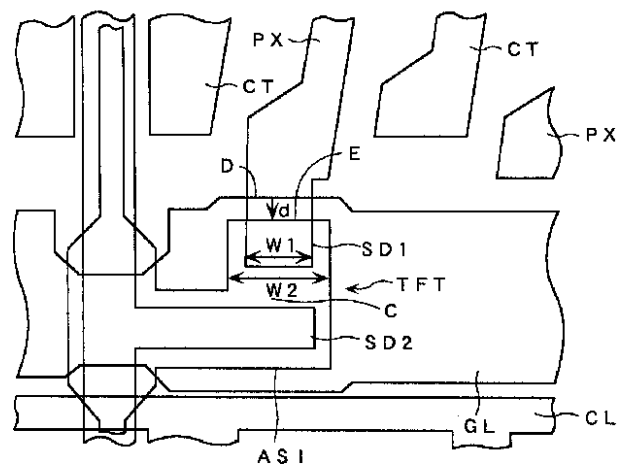
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】薄膜トランジスタ部分のホットコン電流を抑制し、ゲート電極やドレイン電極の断線を防止する。

【解決手段】薄膜トランジスタTFTのソース電極SD1の下層に位置する半導体層ASIをゲート線GLからはみ出させないで配置する。薄膜トランジスタTFTのチャネル部Cとソース電極SD1の半導体層ASI乗り越え部側壁の距離を拡大してホットコン電流の発生を抑制した。半導体層のドレイン電極あるいはソース電極の乗り越え部に2方向乗り越え部あるいは3方向乗り越え部を形成してドレイン電極やソース電極のクラックや断線を防止した。

図1



【特許請求の範囲】

【請求項1】少なくとも一方が透明な一对の基板の一方の内面に形成した複数のゲート線および複数のドレイン線との各交差部分に薄膜トランジスタを有し、前記一方の基板に近接させて形成した画素電極及び対向電極と、前記一对の基板間に挟持した液晶層とを有する液晶表示装置であって、前記薄膜トランジスタを構成するソース電極の下層に位置する半導体層の端部を当該半導体層の下層に位置するゲート配線の端縁以内に配置したことを特徴とする液晶表示装置。

【請求項2】前記ソース電極の下層に位置する半導体層の幅を当該ソース電極の幅より大として前記薄膜トランジスタのチャネル部と前記ソース電極の半導体層乗り越え部側壁の距離を拡大したことを特徴とする請求項1記載の液晶表示装置。

【請求項3】前記ゲート線とドレイン線の交差部の半導体層と薄膜トランジスタ部の半導体層を分離したことを特徴とする請求項1または2記載の液晶表示装置。

【請求項4】前記ドレイン線から分岐して前記薄膜トランジスタの半導体層の上層に延びるドレイン電極の前記分岐部を前記ゲート線から外れた部分に配置すると共に前記薄膜トランジスタの半導体層のドレイン電極側コーナー部を覆って配置し、前記半導体層の前記ドレイン電極側の下層部に2方向乗り越え部を形成したことを特徴とする請求項3記載の液晶表示装置。

【請求項5】前記薄膜トランジスタの半導体層の前記ドレイン電極側および前記ソース電極の下層部に3方向乗り越え部を形成したことを特徴とする請求項3または4記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、液晶表示装置に係り、特に、画素毎にスイッチング素子を配置した、所謂アクティブ・マトリクス型の液晶表示装置に関する。

【0002】

【従来の技術】液晶表示装置は、一对の基板間に挟持された液晶層の液晶分子に電界を印加して液晶の配向方向を変化させ、それにより生じる液晶層の光学変化を利用して表示を行う。従来のアクティブ・マトリクス型の液晶表示装置は、液晶層に印加する電界の方向が液晶層を挟持する基板面にほぼ垂直な方向に設定され、液晶層の光旋光性を利用して表示を行うツイステッドネマチック(TN)表示方式に代表される。

【0003】一方、櫛歯電極を用い、液晶に印加する電界の方向を基板面にほぼ平行とし、液晶の複屈折性を用いて表示を行うインプレーン・スイッチング方式(In-Plane Switching: IPS)の液晶表示装置が、特公昭63-21907号公報、米国特許第4345249号、WO91/10936、特開平6-160878号公報

等により提案されている。このIPS方式は従来のTN方式に比べて広視野角、低負荷容量等の利点があり、TN方式に替わる新たなアクティブ・マトリクス型液晶表示装置として近年急速に進歩している技術である。

【0004】IPS方式においては、ジャーナル オブ アプライド フィジクス、1997、Vol. 82、No. 2、第528頁～第535頁(M. Oh-e, M. Yoneya, and K. Kondo, JOURNAL OF APPLIED PHYSICS, 1997, Vol. 82, No. 4, 528-535)に明らかにされているように、液晶が負の誘電異方性を有する場合に、正の誘電異方性の液晶に比べ、より完全なインプレーン・スイッチングを実現することができる。上述のIPS方式では上記対となる基板の一方の表面内に設けられたストライプ状の不透明金属櫛歯電極を用いている。

【0005】しかし最近、櫛歯電極を不透明金属電極に代えてITO(Indium Tin Oxide)などの透明導電物質により形成し、またこの櫛歯電極の配置のピッチを従来のIPS方式より短いピッチで配置し、さらに誘電率異方性が負の液晶材料を用いることにより、櫛歯電極の縁部分に形成される電界のみでもこの透明櫛歯電極の上部に存在する液晶のすべてを配向変化させることが出来るようにして、透過率及び開口率を改善するIPS方式の一種が提案されている。

【0006】上記提案にかかる文献は、例えば「S. H. Lee, S. L. Lee and H. Y. Kim, アジアディスプレイ, 1998, pp. 371-374」及び「S. H. Lee, S. L. Lee, H. Y. Kim and T. Y. Eom, SID digest, 1999, pp. 202-205」を挙げることができる。上記文献では、誘電率異方性が負の液晶材料と短ピッチ透明櫛歯電極を組み合わせたIPS方式では、TN方式に近い透過率がIPS方式と同等の広視野角特性を保ったまま可能となることが報告されている。

【0007】このような液晶表示装置は、基板上に形成した複数のゲート線(ゲート配線)と複数のドレイン線(ドレイン配線)の交差部にスイッチング素子(一般に、薄膜トランジスタ、以下薄膜トランジスタとして説明する)を備えるとともに、コモン電極と上記スイッチング素子で駆動される画素電極とを近接させて配置している。上記薄膜トランジスタは、ゲート線をゲート電極として、その上層に半導体層(a-Si半導体層)を介してドレイン線から延びるドレイン電極と画素電極に接続するソース電極とで構成される。なお、ドレイン電極とソース電極は動作中に入れ代わるが、以下では後述の図に示したように固定して説明する。

【0008】図17はIPS方式の液晶表示装置の一例における薄膜トランジスタ部分を拡大して模式的に示す要部平面図である。図中、GLはゲート線、DLはドレイン線、ASIは半導体層(a-Si層:a-Siアイ

ランドとも言う)、P Xは画素電極、C Tはコモン電極を示す。S D 1はソース電極、S D 2はドレイン電極である。この液晶表示装置では、薄膜トランジスタ基板上に画素電極P Xとコモン電極C Tを隣接させて配置している。薄膜トランジスタのソース電極S D 1と画素電極P XはスルーホールT Hで接続されている。

【0009】また、図18はI P S方式の液晶表示装置の他例における薄膜トランジスタ部分を拡大して模式的に示す要部平面図である。図中、図17と同一符号は同一機能部分に対応する。この液晶表示装置では、画素電極P Xは薄膜トランジスタ基板上にベタ形成してあり、その上層に絶縁層を介してコモン電極C Tを形成してある。ソース電極S D 1は画素電極P Xと同層に形成してある。薄膜トランジスタのソース電極S D 1はスルーホールT Hで画素電極P Xに接続されている。なお、この他に、コモン電極C Tを薄膜トランジスタ基板上にベタ形成し、その上に絶縁層を介して画素電極P Xを形成したのもあり、また、画素電極P X、コモン電極C Tの形状を縦方向あるいは横方向に屈曲させたものも考えられている。

【0010】

【発明が解決しようとする課題】図17、図18に示した何れの液晶表示装置でも、ゲート線G Lの上層に形成される半導体層A S Iはソース電極S D 1の下でゲート線G Lからはみ出している(各図中、Aで示した部分)。この半導体層A S Iのはみ出し部分にバックライト光が当たって、所謂ホットコン電流が発生し、薄膜トランジスタのリーク電流発生の原因となったり、信号保持電圧の低下をもたらす。また、ソース電極S D 1と半導体層A S Iの側壁とのコンタクト部(図中のB部)と薄膜トランジスタのチャンネル部(同C部)とが近接しているためにホールの注入が起こり、これも薄膜トランジスタのリーク電流の発生や信号保持電圧の低下をもたらす。

【0011】さらに、半導体層A S Iの上層に形成されるソース電極(または、画素電極P Xのソース電極となる部分)S D 1あるいはドレイン電極は、半導体層A S Iを乗り越える部分(図17および図18におけるA、Bで示したソース電極S D 1の縁部)の段差に起因したクラックの発生による抵抗値の上昇や断線が発生し易い。

【0012】なお、上記の現象は、T N方式においても同様であり、ホットコン電流が発生や薄膜トランジスタのリーク電流の発生や信号保持電圧の低下は液晶表示装置での輝度に影響し、表示品質を劣化させる。また、ドレイン電極やソース電極のクラックや断線は製品歩留りを低下させる。そのため、これらを解消することが解決しなければならない課題の一つとなっていた。本発明の目的は、上記の課題を解消して高輝度で信頼性の高い液晶表示装置を提供することにある。

【0013】

【課題を解決するための手段】上記の課題を解決するために、本発明による液晶表示装置は、薄膜トランジスタのソース電極の下層に位置する半導体層がゲート線からはみ出さないように配置し、あるいは、薄膜トランジスタのチャンネル部とソース電極の半導体層乗り越え部側壁の距離を拡大して、ホットコン電流の発生を抑制した。

【0014】また、半導体層をゲート線とドレイン線の交差部の半導体層と薄膜トランジスタ部の半導体層とに分離し、ゲート配線とドレイン線の交差部で発生したホットコン電流が薄膜トランジスタに影響しないようにした。さらに、半導体層のドレイン電極あるいはソース電極の乗り越え部に2方向乗り越え部あるいは3方向乗り越え部を形成したことで、ドレイン電極やソース電極のクラックや断線を防止した。なお、本発明は上記の構成および後述する実施例の構成に限定されるものではなく、本発明の技術思想を逸脱することなく種々の変形が可能である。

【0015】

【発明の実施の形態】以下、図面を参照して本発明の実施形態を説明する。ここではI P S方式の液晶表示装置に本発明を適用した実施例について説明するが、T N方式の液晶表示装置についても同様である。また、以下の図において、同一機能を有する部分には同一符号を付け、その繰り返しの説明は省略する。

【0016】図1は本発明による液晶表示装置の第1実施例の要部構成を模式的に説明する平面図であり、薄膜トランジスタ(T F T)部分を示す。図1に示すように、ゲート線(ゲート配線:走査信号線又は水平信号線)G Lと、ドレイン線(ドレイン配線:信号線または垂直信号線)D Lと、コモン線(コモン配線:対向電極配線)C Lと、隣接する2本のドレイン線D Lと2本のゲート線G Lの交差領域内に配置されている。ゲート線G L、コモン線C Lは図1の左右方向に延在し、上下方向に複数本配置されている。映像信号線D Lは上下方向に延在し、左右方向に複数本配置されている。一画素内では、コモン線C Lからはコモン電極C Tが上下方向に1または複数本分岐配置されている。このコモン線C Lは図示したようにゲート線G Lに隣接して配置するものに限らず、画素の中央部に配置したものもある。

【0017】櫛歯状の画素電極P XはI T O透明導電膜で形成され、ソース電極S D 1と連続して、あるいはスルーホールを介して薄膜トランジスタT F Tのソース電極S D 1と電氣的に接続されている。S D 2はドレイン電極であり、ドレイン線D Lから横方向に分岐している。A S Iはa - S i半導体層である。各画素電極P Xとコモン電極C Tとの間で発生した電界により液晶組成物L Cの光学的な状態を制御して表示を行う。

【0018】ゲート線G Lは各画素の薄膜トランジスタT F Tに走査電圧信号を伝搬するためのものであり、ド

レイン線DLは、各画素の画素電極PXに薄膜トランジスタTFTのドレイン電極SD2を介して映像信号電圧を供給するためのものであり、またコモン線CLは各画素のコモン電極CTにコモン電圧信号を供給するためのものである。図1では、金属電極で形成されたコモン線CLはドレイン線DLの脇を囲むように形成されており、ドレイン電極DLに印加される電圧に起因する電位差で発生する電界の影響で生じるドレイン線脇の不要な光漏れを防止する遮光層を兼ねている。

【0019】櫛歯状の画素電極PXの電極幅W及び電極間隔Lは、用いる液晶材料によって変える。これは、液晶材料によって最大透過率を達成する電界強度が異なるため、電極間隔を液晶材料に応じて設定し、用いるドレイン信号駆動回路(信号側ドライバ)の耐圧で設定される信号電圧の最大振幅の範囲で、最大透過率が得られるようにするためである。画素電極間距離は $1\mu\text{m} \sim 15\mu\text{m}$ になるよう設定されるが、応答速度 50ms を実現するために、本実施例では $4\mu\text{m}$ とした。また、電極間隔Lは $1\mu\text{m} \sim 10\mu\text{m}$ になるよう設定されるが、駆動電圧 10V 以下を実現するために、本実施例では $5\mu\text{m}$ 以上で $10\mu\text{m}$ 以下とした。

【0020】本実施例では、薄膜トランジスタTFTを構成するソース電極SD1の下層に位置する半導体層ASIの端部Eを当該半導体層ASIの下層に位置するゲート線GLの端縁D以内に配置した。つまり、半導体層ASIがゲート線GLからはみ出さないようにして半導体層ASIにバックライトの光が当たらないようにしたことにより、ホットコン電流を抑制したものである。また、薄膜トランジスタTFTのソース電極SD1と半導体層ASIの重なり部分におけるソース電極SD1の幅 w_1 よりも半導体層ASIの幅 w_2 を大きくした。この構成により、薄膜トランジスタTFTのチャンネル部Cとソース電極SD1が半導体層ASIを乗り越える側壁Eのコンタクト部の距離を話し、ホール注入を抑制して薄膜トランジスタのリーク電流が低減され、信号保持の低下が防止される。

【0021】図2は本発明による液晶表示装置の第2実施例の要部構成を模式的に説明する平面図であり、図1と同一機能部分には同一符号を付してある。なお、コモン線CLの図示は省略した。本実施例では、ゲート線GLとドレイン線DLの交差部の半導体層と薄膜トランジスタTFTの半導体層とを分離して、それぞれ半導体層ASI1、ASI2とした。この構成としたことで、ゲート線GLとドレイン線DLの交差部で発生したホットコン電流の影響が薄膜トランジスタTFTに及ぶことを防止できる。

【0022】図3は本発明による液晶表示装置の第3実施例の要部構成を模式的に説明する平面図であり、(a)は平面図、(b)は(a)のA-A線から矢印方向に見た断面図である。図2と同一機能部分には同一符

号を付してある。なお、コモン線CLの図示は省略した。とはドレイン電極SD2が半導体層ASI2を乗り越える方向を示す。

【0023】ゲート線GLとドレイン線DLの交差部の半導体層と薄膜トランジスタTFTの半導体層とを分離して、それぞれ半導体層ASI1、ASI2とした点は第2実施例と同様である。このとき、図2の構成のままでは半導体層ASI2をドレイン電極SD2が乗り越える部分が1方向乗り越えであるためにクラックが入り易く、断線の原因となる。

【0024】本実施例では、ドレイン線DLから分岐して薄膜トランジスタTFTの半導体層ASI2の上層に延びるドレインSD2の上記分岐部を、ゲート線GLから外れた部分に配置した。また、ドレイン電極SD2を薄膜トランジスタTFTの半導体層ASI2のドレイン電極SD2側コーナーを覆って配置し、図3(b)に示したようにドレイン電極SD2の半導体層ASI2の乗り越え部に2方向乗り越え部を形成したことで、断線の発生を低減した。

【0025】さらに、このドレイン電極SD2の半導体層ASI2の乗り越え部と薄膜トランジスタTFTのチャンネル部Cの距離を離すことができ、ホール注入による薄膜トランジスタTFTの信号保持特性の劣化を抑制できる。さらに、図2では、ゲート線GLとドレイン電極SD2との間に半導体層が無い部分Fが生じ、当該部分の容量が増加するが、図3に実施例の構成とすることで当該部分F'の面積が減少し、容量増加が抑制される。

【0026】図4は本発明による液晶表示装置の第4実施例の要部構成を模式的に説明する平面図であり、(a)は平面図、(b)は(a)のB-B線から矢印方向に見た断面図である。図3と同一機能部分には同一符号を付してある。なお、コモン線CLの図示は省略した。はソース電極SD1が半導体層ASI2を乗り越える方向を示す。

【0027】本実施例は、ソース電極SD1およびドレイン電極SD2が半導体層ASI2を乗り越える部分に3方向乗り越え部を形成して断線発生を低減したものである。ここでは、3方向乗り越え部をゲート線GL上でソース電極SD1と半導体層ASI2の乗り越え部分について説明するが、ドレイン電極SD2と半導体層ASI2の乗り越え部分についても同様である。

【0028】ソース電極SD1は図4(b)に断面で示したように、ゲート線GLとゲート絶縁層GIおよび半導体層ASI2を乗り越えて形成される。このような多段乗り越えではソース電極SD1の乗り越え部にクラックが発生し易く、それが原因で断線を起こし易い。本実施例では、ゲート線GLを画素電極PX側に突出させると共に、半導体層ASI2の当該部分にも突出部を形成することにより、図中 ~ で示した3方向乗り越え部を配置した。図4(b)に示したように、3方向乗り越

えとしたことにより、断線の発生率が軽減できる。

【0029】図5は本発明による液晶表示装置の第5実施例の要部構成を模式的に説明する平面図である。本実施例は、薄膜トランジスタTFTの半導体層A S I 2をゲート線G Lとドレイン線D Lの交差部の半導体層A S I 1から分離して図2で説明した本発明の第2実施例と同様の効果を奏するものとした。そして、ドレイン電極S D 2が半導体層A S I 1およびA S I 2を乗り越える部分とソース電極S D 1がゲート線と半導体層A S I 2を乗り越える部分に図4と同様の3方向乗り越え部を形成した。

【0030】本実施例によれば、前記第4実施例と同様にドレイン電極S D 2、ソース電極S D 1が半導体層S D 1, S D 2を乗り越える部分での断線の発生率が軽減でき、抵抗値の上昇や断線の発生を防止できる。

【0031】次に、本発明の液晶表示装置の他の構成例について図6～図14を参照して説明する。図6は本発明の液晶表示装置の一画素の構成を説明する平面図である。図中、G Lはゲート線、D Lはドレイン線、C Lはコモン線、C Tはコモン電極、P Xは画素電極、T Hは薄膜トランジスタTFTのソース電極S D 1と画素電極P Xを接続するスルーホール、Vは縦(上下)方向、Hは横(左右)方向を示す。

【0032】この液晶表示装置では、画素電極P Xおよび対向電極C Tをくの字状(ジグザグ形状)に形成した。これにより、方向の違う再配向状態をもつ2つの領域(ドメイン)が形成され、斜め方向の着色、階調反転をそれぞれが補償し合い、より広視野角が得られる。すなわち、それぞれの電極はそれぞれの走行方向において複数の屈曲部を有するジグザグ形状となっており、その屈曲部を境にして一方は図中縦方向Vに対しての角度を、他方は180° - の角度を有している。これにより、上述の方向の違う再配向状態をもつ2つの領域(ドメイン)が形成され、斜め方向の着色、階調反転をそれぞれが補償し合い、より広視野角が得られる。

【0033】なお、画素電極P Xおよび対向電極C Tの間にはゲート絶縁膜G Iが形成されており、画素電極P Xと対向電極C Tの間に液晶分子を回転させるための横方向の電界が発生する。ドレイン線D Lからゲート線G Lとオーバーラップして形成されるドレイン電極S D 2と、画素電極P Xと接続されて画素電極P Xに保持電圧を印加するソース電極S D 1との間にアモルファス半導体層A S I が配置され、薄膜トランジスタTFTとして機能する。

【0034】図7は図6のI - I線に沿った薄膜トランジスタ部分の断面図である。薄膜トランジスタTFTは、ゲート電極G Tに正のバイアスを印加すると、ソース - ドレイン間のチャンネル抵抗が小さくなり、バイアスを零にすると、チャンネル抵抗は大きくなるように動作する。薄膜トランジスタTFTは、ゲート電極G T、ゲ

ト絶縁膜G I、i型(真性、intrinsic、導電型決定不純物がドーピングされていない)非晶質シリコン(Si)からなるi型の半導体層A S I、一对の電極(ソース電極S D 1、ドレイン電極S D 2)を有する。なお、ソース電極S D 1とドレイン電極S D 2は、本来その間のバイアス極性によって決まるもので、この液晶表示装置の回路ではその極性は動作中反転するので、ソース電極S D 1とドレイン電極S D 2は動作中入れ替わることは前記したとおりである。

【0035】ゲート電極G Tはゲート信号線G Lと連続して形成されており、ゲート線G Lの一部の領域がゲート電極G Tとなるように構成されている。ここでは、ゲート電極G Tは単層の導電膜g 1で形成されている。この導電膜g 1としては、例えばスパッタで形成されたクロム - モリブデン合金(Cr - Mo)膜が用いられるがそれに限ったものではない。また、異種の金属を2層形成しても良い。

【0036】ゲート線G Lは導電膜g 1で構成されている。このゲート線G Lの導電膜g 1はゲート電極G Tの導電膜g 1と同一製造工程で形成され、かつ一体に構成されている。このゲート線G Lにより、外部回路からゲート電圧をゲート電極G Tに供給する。導電膜g 1としては、例えばスパッタで形成されたクロム - モリブデン合金(Cr - Mo)膜が用いられる。また、ゲート線G L及びゲート電極G Tの材質はクロム - モリブデン合金のみに限られたものではなく、例えば、低抵抗化のためにアルミニウム又はアルミニウム合金をクロム - モリブデンで包み込んだ2層構造としてもよい。

【0037】コモン線C Lは導電膜g 1で構成されている。このコモン線C Lの導電膜g 1はゲート電極G T、ゲート線G L及びコモン電極C Tの導電膜g 1と同一製造工程で形成され、かつコモン電極C Tと一体形成されている。このコモン電圧信号線C Lにより、外部回路からコモン電圧をコモン電極C Tに供給する。また、コモン線C Lの材質はクロム - モリブデン合金のみに限られたものではなく、例えば、低抵抗化のためにアルミニウム又はアルミニウム合金をクロム - モリブデンで包み込んだ2層構造としてもよい。

【0038】ゲート絶縁膜G Iは、薄膜トランジスタTFTにおいて、ゲート電極G Tと共に半導体層A S Iに電界を与えるための絶縁膜として使用される。ゲート絶縁膜G Iはゲート電極G T及びゲート線G Lの上層に形成されている。このゲート絶縁膜G Iとしては、例えばプラズマCVDで形成された窒化シリコン膜が選ばれ、100nm～4μmの厚さに(ここでは、350nm程度)形成される。また、ゲート絶縁膜G Iはゲート線G L及びコモン線C Lとドレイン線D Lの層間絶縁膜としても働き、それらの電氣的絶縁にも寄与している。

【0039】半導体層A S Iは非晶質シリコン半導体であり、150～2500の厚さに(ここでは、12

00 程度の膜厚)形成される。層d0はオーミックコンタクト用のリン(P)をドーブしたN(+)型非晶質シリコン半導体層であり、下側にi型半導体層AS Iが存在し、上側に導電層d1が存在するところのみに残されている。半導体層AS I及び層d0は、ゲート線GL及びコモン線CLとドレイン線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部の半導体層AS Iは当該交差部におけるゲート線GL及びコモン線CLとドレイン線DLとの短絡を低減する。

【0040】ソース電極SD I、ドレイン電極SD 2のそれぞれは、N(+)型半導体層d0に接触する導電膜d1から構成されている。Cr - Mo膜は低応力であるので、比較的膜厚を厚く形成することができ、配線の低抵抗化に寄与する。また、Cr - Mo膜はN(+)型半導体層d0との接着性も良好である。

【0041】ドレイン線DLはソース電極SD I、ドレイン電極SD 2と同層で構成されている。また、ドレイン線DLはドレイン電極SD 2と一体に形成されている。ここでは、導電膜d1はスパッタで形成したクロム - モリブデン合金(Cr - Mo)膜を用い、500 ~ 3000 の厚さに(ここでは、2500 程度)形成される。Cr - Mo膜は低応力であるので、比較的膜厚を厚く形成することができ、配線の低抵抗化に寄与する。また、Cr - Mo膜はN(+)型半導体層d0との接着性も良好である。導電膜d1として、Cr - Mo膜の他に高融点金属(Mo, Ti, Ta, W)膜、高融点金属シリサイド(MoSi₂, TiSi₂, TaSi₂, WSi₂)膜を用いてもよく、また、アルミニウム等との積層構造にしてもよい。

【0042】薄膜トランジスタTFT上には保護膜PS Vが設けられている。保護膜PS Vは主に薄膜トランジスタTFTを湿気等から保護するために設けられており、透明性が高く、しかも耐湿性の良いものを使用する。保護膜PS Vは、例えばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜からなり、0.1 μm以上、1 μm以下の膜厚で形成する。保護膜PS Vは、外部接続端子DTM, GTMを露出するよう除去されている。保護膜PS Vとゲート絶縁膜GIの厚さ関係に関しては、前者は保護効果を考え厚くされ、後者はトランジスタの相互コンダクタンスgmを考慮して薄くされる。また、保護膜PS Vは、ポリイミド等の有機膜を2 μm以上、3 μm以下の比較的厚い構成としたものの積層構造としても良い。

【0043】画素電極PXは、透明導電体であるITOで形成され、同じくITOで形成されるコモン電極CTとの間で蓄積容量を形成している。ここでは透明導電体としてITOを用いて説明したが、インジウム - ジンク - オキサイド(IZO)でも同様の効果が得られるのは言うまでもない。

【0044】対向電極CTはITOで形成され、コモン

線CLと同層で接続されている。対向電極CTにはコモン電圧が印加されるように構成されている。本構成例では、コモン電圧はドレイン線DLに印加される最小レベルの駆動電圧と最大レベルの駆動電圧との中間直流電位から、薄膜トランジスタTFTをオフ状態にするときに発生するフィードスルー電圧分だけ低い電位に設定される。

【0045】図8は本発明の液晶表示装置を構成する上下2枚の基板で挟持される液晶層に接してそれぞれ塗布される配向膜の配向方向の説明図である。配向膜としては、ポリイミドを用いる。初期配向方向RDRは上下基板で互いに平行にする。初期配向方向を付与する方法としては、ラビングが最も一般的であるが、その他に斜方蒸着がある。

【0046】初期配向方向RDRと印加電界方向EDRとの関係は図5に示すとおりである。ここでは、初期配向方向RDRは、水平方向に対して約75°とした。なお、誘電率異方性が正の液晶組成物を用いる構成においては、初期配向方向RDRと印加電界方向EDRとのなす角度は、45°以上90°未満でなければならない。配向膜は20 nm ~ 300 nmの厚みに形成される(本実施例では100 nm程度)。

【0047】2枚の基板の各表面には偏光板が積層される。図10で後述する偏光板POL1、POL2としては、導電性を有する偏光板を用い、下側の偏光板POL Iの偏光透過軸MAX Iを初期配向方向RDRと一致させ、上側の偏光板POL 2の偏光透過軸MAX 2を、それに直交させる。これにより、本発明の画素に印加される電圧(画素電極PXと対向電極CTの間の電圧)を増加させるに伴い、透過率が上昇するノーマリクローズ特性を得ることができる。また、電圧無印加時には、良質な黒表示ができる。

【0048】なお、偏光板に導電性を持たせることにより、外部からの静電気による表示不良及びEMI対策を施している。導電性に関しては、静電気による影響に対する対策のためだけであれば、シート抵抗が $10^8 /$ 以下、EMIに対しても対策するのであれば、 $10^4 /$ 以下とするのが望ましい。また、ガラス基板の液晶組成物の挟持面の裏面(偏光板を粘着させる面)に導電層を設けてもよい。

【0049】図9は上下のガラス基板SUB I, SUB 2を含む液晶表示装置の表示パネルPNLのマトリクス(AR)周辺の要部を示す平面図である。また、図10は図の左側に走査回路が接続されるべき外部接続端子GTM付近の断面を示し、右側に外部接続端子が無いところのシール部付近の断面を示す図である。

【0050】この液晶表示装置の製造では、小さいサイズであればスルーブット向上のため一枚のガラス基板で複数個分のデバイスを同時に加工してから分割し、大きいサイズであれば製造設備の共用のため、どの品種でも

標準化された大きさのガラス基板を加工してから各品種に合ったサイズに小さくする。いずれの場合も一通りの工程を経てからガラスを切断する。図9、図10は後者の例を示すもので、両図とも上下基板SUB1、SUB2の切断後を表している。図9のLNは両基板の切断前の縁を示す。

【0051】いずれの場合も、完成状態では外部接続端子群Tg、Td及び端子CTMが存在する(図9で上辺と左辺の)部分はそれらを露出するように上側基板SUB2の大きさが下側基板SUB1よりも内側に制限されている。端子群Tg、Tdは、それぞれ後述する走査回路接続用端子GTM、ドレイン信号回路接続用端子DTMとそれらの引出配線部を集積回路チップCHI(図14参照)が搭載されたテープキャリアパッケージTCP(図14参照)の単位に複数本まとめて名付けたものである。

【0052】各群のマトリクス部から外部接続端子部に至るまでの引出配線は両端に近づくにつれ傾斜している。これは、パッケージTCPの配列ピッチ及び各パッケージTCPにおける接続端子ピッチに表示パネルPNLの端子DTM、GTMを合わせるためである。また、コモン端子CTMは、コモン電極CTにコモン電圧を外部回路から与えるための端子である。マトリクス部のコモン線CLは、ゲート用端子GTMの反対側(図9では右側)に引き出し、各コモン線を共通バスラインCBで一纏めにして、コモン端子CTMに接続している。

【0053】透明ガラス基板SUB1、SUB2の間には、その縁に沿って液晶封入口INJを除き、液晶LCを封止するようにシールパターンSLが形成される。シール材は例えばエポキシ樹脂から成る。配向膜OR1、OR2の層は、シールパターンSLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に構成されている。液晶LCは液晶分子の向きを設定する下部配向膜OR1と上部配向膜OR2との間でシールパターンSLで仕切られた領域に封入されている。下部配向膜OR1は、下部透明ガラス基板SUB1側の保護膜PSVIの上部に形成される。

【0054】この液晶表示装置は、下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側で別個に種々の層を積み重ね、シールパターンSLを基板SUB2側に形成し、下部透明ガラス基板SUB1と上部透明ガラス基板SUB2とを重ね合わせる。そして、シール材SLの開口部INJから液晶LCを注入し、注入口INJをエポキシ樹脂などで封止し、上下基板を切断することによって組み立てられる。

【0055】図11は図9におけるゲート線GLからその外部接続端子(ゲート端子)GTMまでの接続構造の説明図である。図11(a)は平面図であり、図11(b)は図11(a)のB-B切断線における断面を示

している。なお、図11は図9の左下方付近に対応し、斜め配線の部分は便宜状一直線状で表した。図中Cr-Mo層glは判り易くするためハッチングを施してある。

【0056】ゲート端子GTMは、Cr-Mo層glと、更にその表面を保護し、かつ、TCP(Tape Carrier Package)との接続の信頼性を向上させるための透明導電層ITO1とで構成されている。この透明導電層ITO1は透明導電膜ITOを用いている。図11(b)に示したように、絶縁膜GI及び保護膜PSVは同図の右側に形成されており、左端に位置する端子部GTMは絶縁膜GI及び保護膜PSVから露出して外部回路との電氣的接触ができるようになっている。

【0057】図11にはゲート線GLとゲート端子GTMの一つの対のみが示されているが、実際はこのような対が上下に複数本並べられて端子群が構成され、ゲート端子GTMの図示左端は、製造過程では基板の切断領域を越えて延長され、短絡配線SHg(図示せず)によって短絡される。この短絡配線による短絡で製造過程における配向膜ORI1のラビング時等の静電破壊防止に役立つ。

【0058】図12はドレイン線DLからその外部接続端子DTMまでの接続構造の説明図である。図12(a)はその平面を示し、図12(b)は図12(a)のB-B切断線における断面を示す。なお、図12は図9の右上付近に対応し、図面の向きは便宜上変えてあるが右端方向が基板SUB1の上端部に該当する。

【0059】外部接続端子DTMは上下方向に配列され、図16に示すように端子群Td(添字省略)を構成し、基板SUB1の切断線を越えて更に延長されている。この外部接続端子DTMは製造過程では基板の切断領域を越えて延長され、製造過程での静電破壊防止のためその全てが互いに短絡配線SHd(図示せず)によって短絡されている。

【0060】外部接続端子DTMは透明導電層ITO1で形成されており、保護膜PSV1を除去した部分でドレイン線DLと接続されている。この透明導電膜ITO1はゲート側の外部接続端子GTMと同様の透明導電膜ITOを用いている。表示領域(マトリクス部)から外部接続端子DTMまでの引出し配線は、ドレイン線DLと同じレベルの層dlが構成されている。

【0061】図13はコモン線CLからその外部接続端子CTMまでの接続構造の説明図である。図13(a)はその平面を示し、図13(b)は図13(a)のB-B切断線における断面を示す。なお、図13は図9の左上付近に対応する。

【0062】各コモン線CLは共通バスラインCBで一纏めして外部接続端子CTMに引き出されている。共通バスラインCBは導電層g1の上に導電層g3(図示せ

ず)を積層し、透明導電層ITO1でそれらを電氣的に接続した構造となっている。これは、共通バスラインCBの抵抗を低減し、コモン電圧が外部回路から各コモン線CLに十分に供給されるようにするためである。本構造では、特に新たに導電層を付加することなく、共通バスラインの抵抗を下げられるのが特徴である。

【0063】外部接続端子CTMは、導電層g1の上に透明導電層ITO1が積層された構造になっている。この透明導電膜ITO1は他の外部接続端子と同様に透明導電膜ITOを用いている。透明導電層ITO1により、その表面を保護し、電蝕等を防ぐために耐久性のよい透明導電層ITO1で導電層g1を覆っている。また、透明導電層ITO1と導電層g1及び導電層d1との接続は、保護膜PSV及び絶縁膜GIを経由するスルーホールを形成し導通を取っている。

【0064】図14は表示領域(マトリクス部)の等価回路とその周辺回路の結線図の説明図である。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。表示領域に構成されるマトリクス部は複数の画素を二次元状に配列したマトリクス・アレイで形成されている。図14中、Xはドレイン線DLを意味し、添字G、B及びRがそれぞれ緑、青及び赤画素に対応して付与されている。Yはゲート線GLを意味し、添字1、2、3、・・・、endは走査タイミングの順序に従って付与されている。ゲート線Y(添字省略)はゲートドライバ(垂直走査回路)Vに接続されており、ドレイン線X(添字省略)はドレインドライバ(映像信号駆動回路)Hに接続されている。SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト(上位演算処理装置)からのCRT(陰極線管)用の表示情報をTFT液晶表示装置用の表示情報に変換する回路を含む回路である。

【0065】図15は図14に示した液晶表示装置の駆動波形図である。ゲート信号VGは1走査期間ごとにオンレベルをとり、その他はオフレベルをとる。ドレイン信号電圧VDは、液晶層に印加したい電圧の2倍の振幅で正極と負極を1フレーム毎に反転して1つの画素に伝えるように印加する。ここで、ドレイン信号電圧VDは画素マトリクスの1列毎に極性を反転し、2行毎にも極性を反転する。これにより、極性が反転した画素が上下左右に隣りあう構成(ドット反転駆動)となり、フリッカ、クロストーク(スミア)を発生し難くすることができる。

【0066】また、コモン電圧VCはドレイン信号電圧VDの極性反転のセンター電圧から一定量下げた電圧に設定する。これは、薄膜トランジスタTFTがオンからオフに変わるときに発生するフィードスルー電圧を補正するものであり、液晶に直流成分の少ない交流電圧VLCを印加するために行う(液晶は直流が印加されると、残像、劣化等が激しくなるため)。

*【0067】図16は図9に示した表示パネルPNLにドレインドライバ(映像信号駆動回路)Hとゲートドライバ(垂直走査回路)Vを接続した状態を示す平面図である。CHIは表示パネルPNLを駆動させる駆動ICチップ(同図下側の5個は垂直走査回路側の駆動ICチップ、左の10個ずつはドレイン信号駆動回路側の駆動ICチップ)である。TCPは駆動用ICチップCHIがテープ・オートメイトド・ボンディング法(TAB)により実装されたテープキャリアパッケージ、PCBIは上記TCPやコンデンサ等が実装された駆動回路基板で、ドレイン信号駆動回路用とゲート信号駆動回路用の2つに分割されている。

【0068】FGPはフレームグランドパッドであり、シールドケースSHDに切り込んで設けられたパネ状の破片が半田付けされる。FCは下側の駆動回路基板PCBIと左側の駆動回路基板PCBIを電氣的に接続するフラットケーブルである。フラットケーブルFCとしては図16に示すように、複数のリード線(りん青銅の素材にSn鍍金を施したもの)をストライプ状のポリエチレン層とポリビニルアルコール層とでサンドイッチして支持したものを使用する。上記実施例の構成により、ホットコン電流の発生を抑制し、ドレイン電極やソース電極のクラックや断線を防止することができる。

【0069】

【発明の効果】以上説明したように、本発明によれば、ホットコン電流が発生や薄膜トランジスタのリーク電流の発生や信号保持電圧の低下を抑制し、ドレイン電極やソース電極のクラックや断線を防止して高品質で高い製品歩留りを実現した信頼性の高い液晶表示装置を提供することができる。

【図面の簡単な説明】

【図1】本発明による液晶表示装置の第1実施例の要部構成を模式的に説明する平面図である。

【図2】本発明による液晶表示装置の第2実施例の要部構成を模式的に説明する平面図である。

【図3】本発明による液晶表示装置の第3実施例の要部構成を模式的に説明する平面図である。

【図4】本発明による液晶表示装置の第4実施例の要部構成を模式的に説明する平面図である。

【図5】本発明による液晶表示装置の第5実施例の要部構成を模式的に説明する平面図である。

【図6】本発明の液晶表示装置の一画素の構成を説明する平面図である。

【図7】薄膜トランジスタ部分の断面図である。

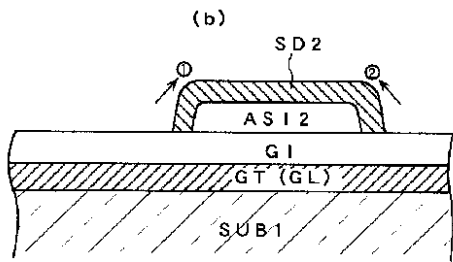
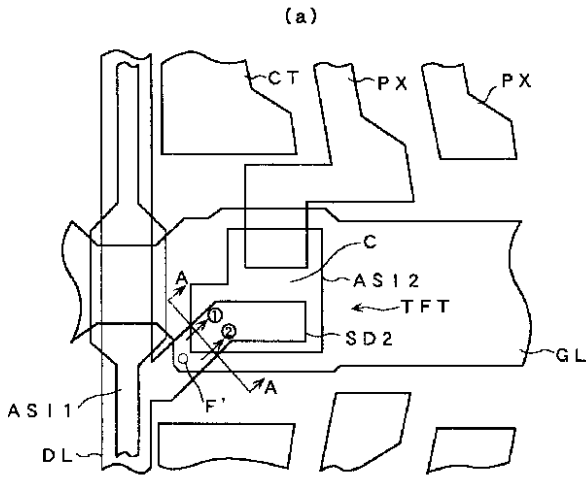
【図8】本発明の液晶表示装置を構成する上下2枚の基板で挟持される液晶層に接してそれぞれ塗布される配向膜の配向方向の説明図である。

【図9】上下のガラス基板を含む表示パネルのマトリクス周辺の要部を示す平面図である。

*【図10】走査回路が接続されるべき外部接続端子付近

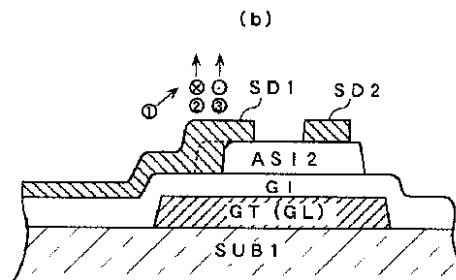
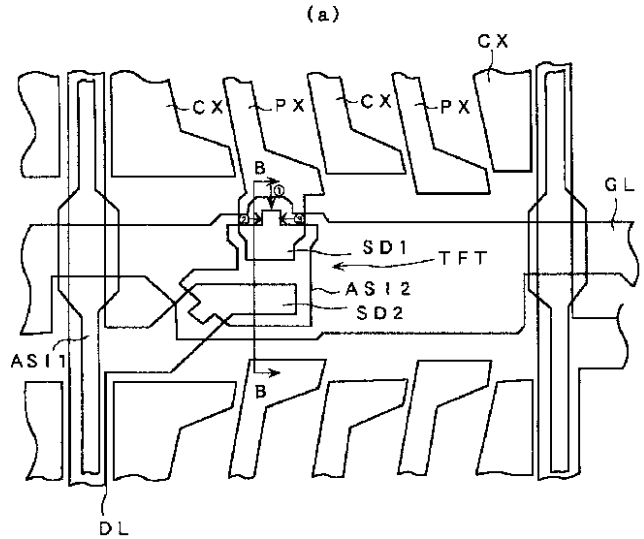
【図3】

図3



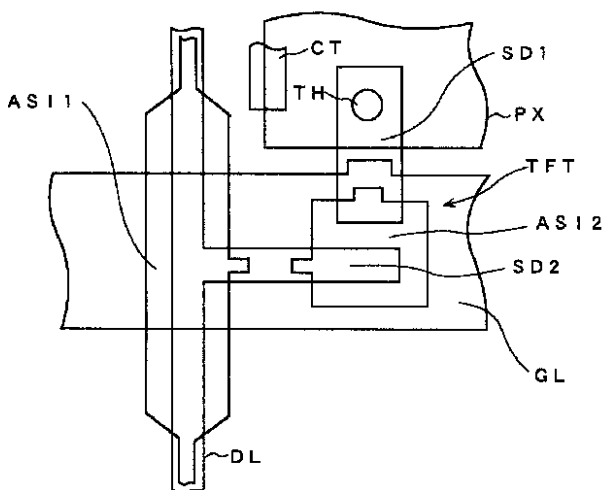
【図4】

図4



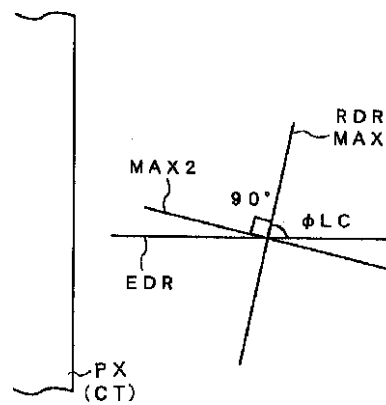
【図5】

図5



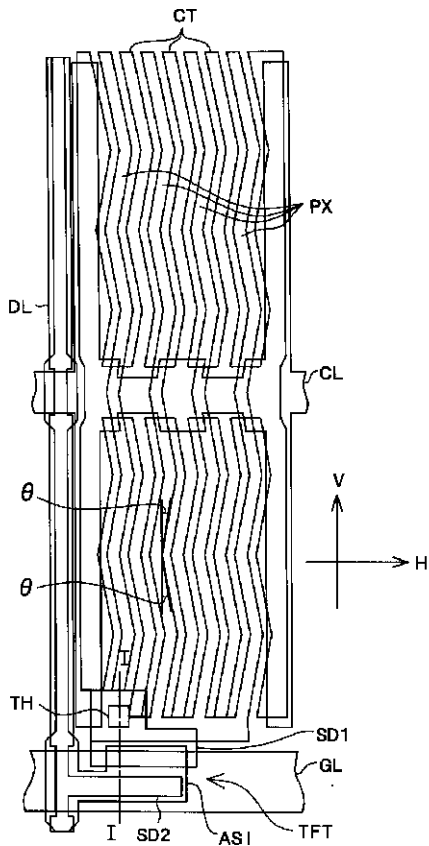
【図8】

図8



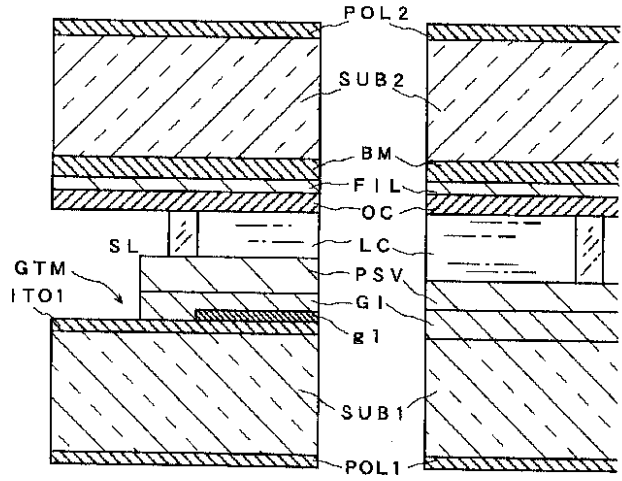
【図6】

図6



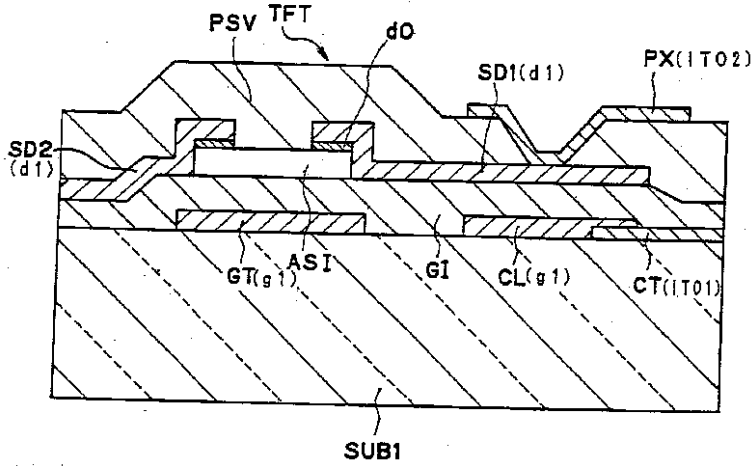
【図10】

図10

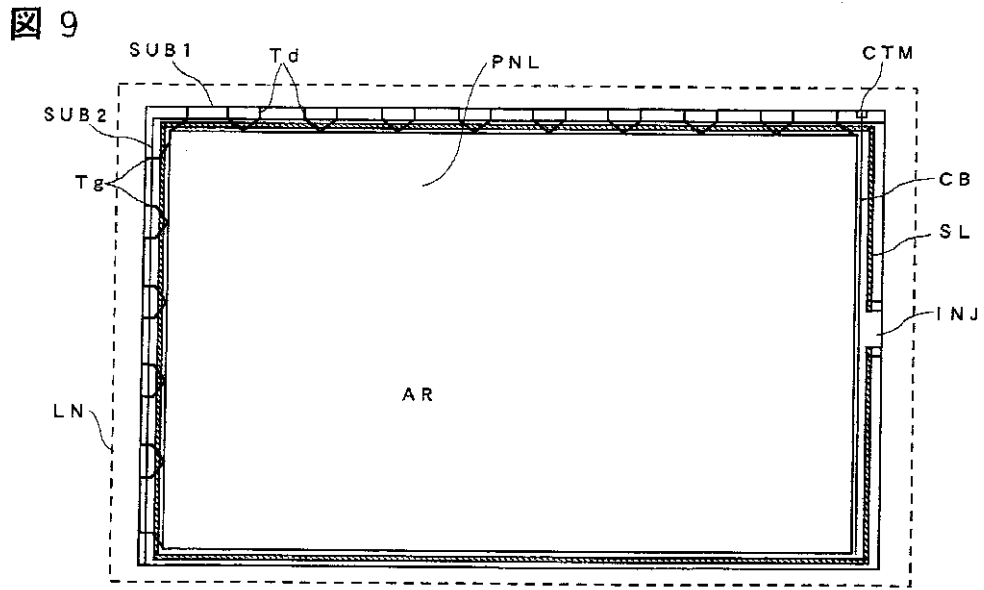


【図7】

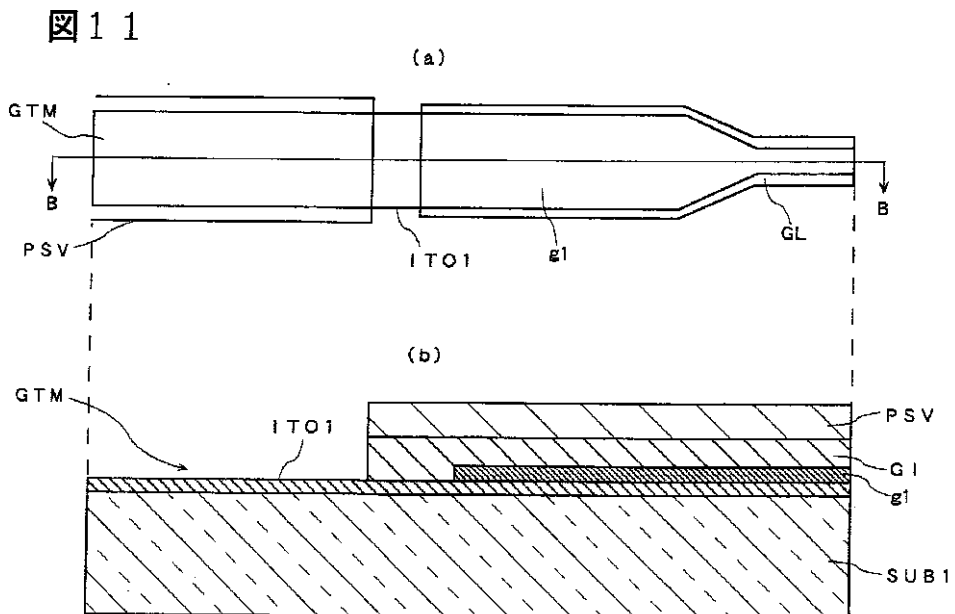
図7



【図9】

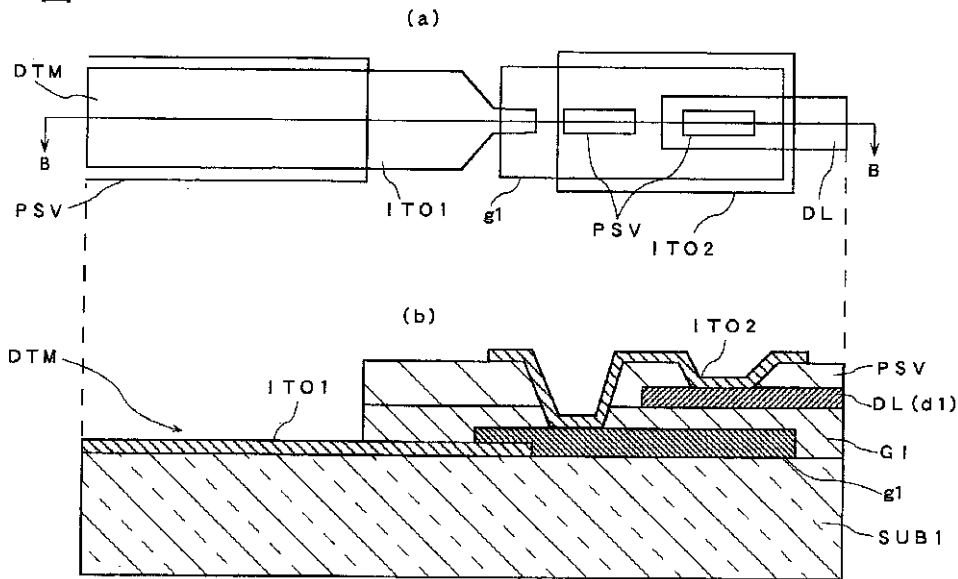


【図11】



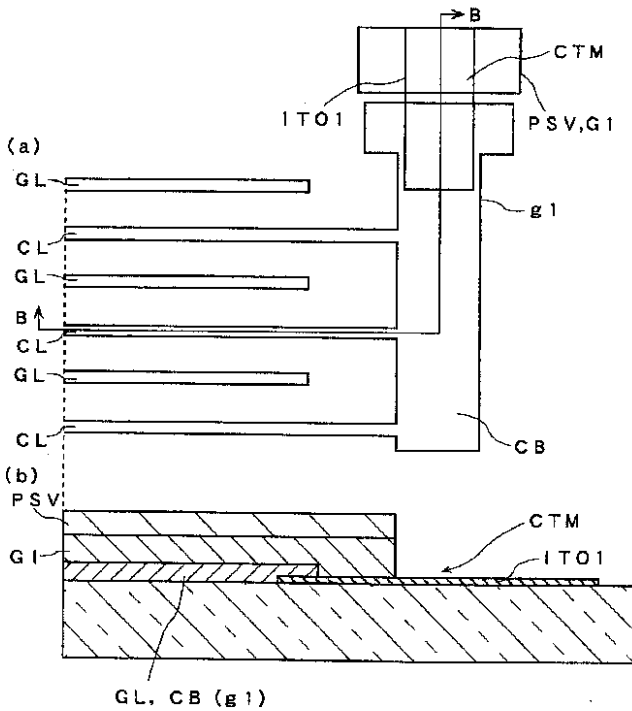
【図12】

図12



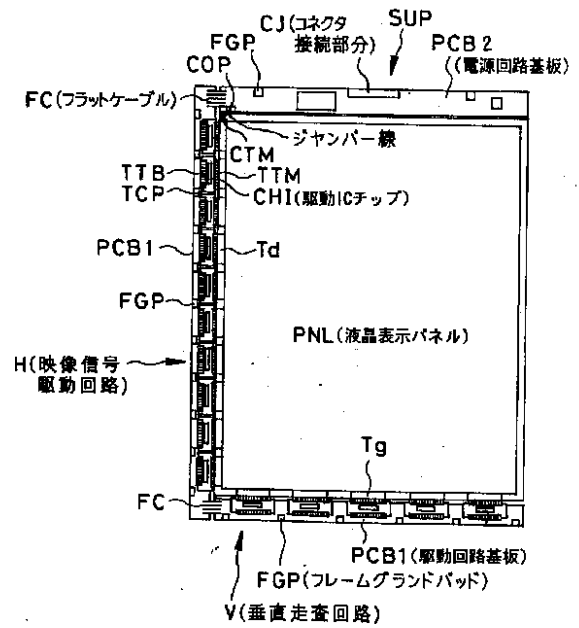
【図13】

図13



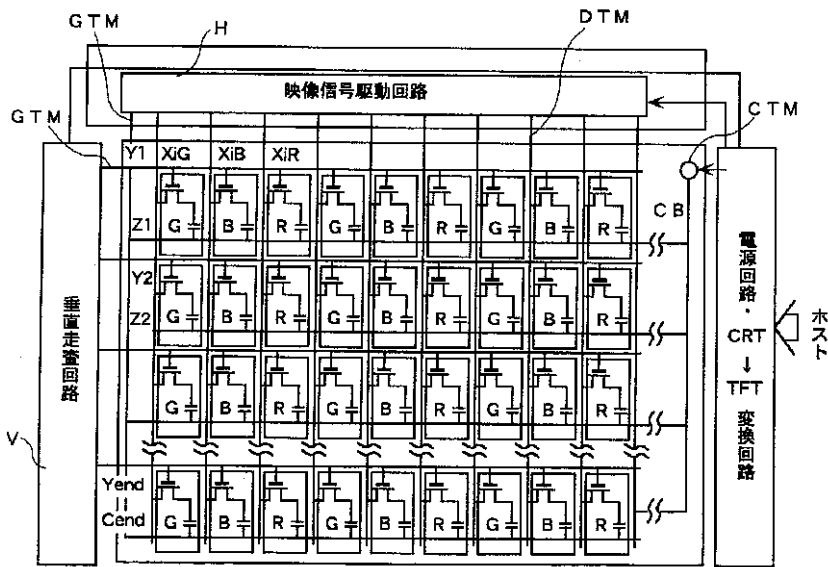
【図16】

図16



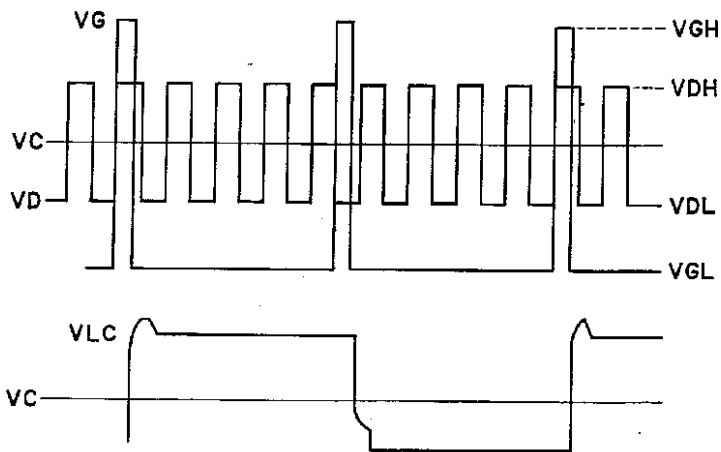
【図14】

図14



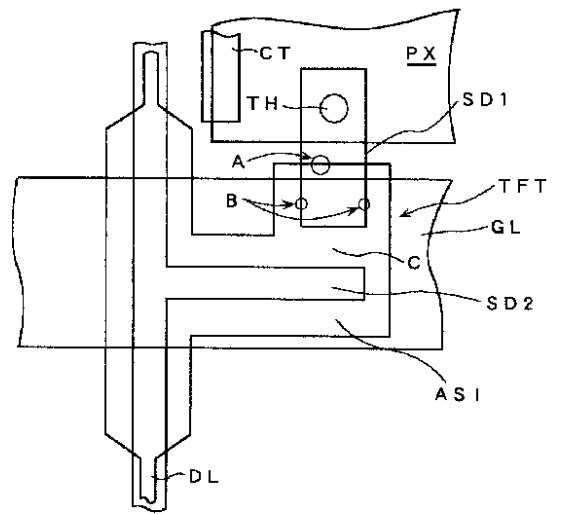
【図15】

図15



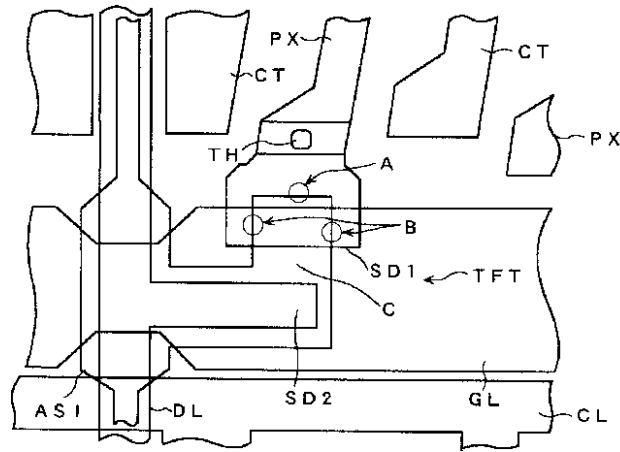
【図18】

図18



【図17】

図17



フロントページの続き

- (72)発明者 田中 武
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内
- (72)発明者 橋本 雄一
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内
- (72)発明者 中谷 光雄
千葉県茂原市早野3300番地 株式会社日立
製作所ディスプレイグループ内

- Fターム(参考) 2H092 GA14 JA26 JA29 JA42 JA44
 JB05 JB23 JB32 NA15 NA22
 5C094 AA25 AA32 AA42 AA48 BA03
 BA43 CA19 DA13 DB01 DB04
 EA04 EA07 EB02 FA01 FB12
 FB14 FB15
 5F110 AA06 AA26 BB01 CC07 EE03
 EE06 EE14 EE25 EE44 FF03
 FF30 GG02 GG15 GG23 GG25
 GG26 GG35 HK03 HK04 HK05
 HK06 HK09 HK16 HK21 HK22
 HK25 HK33 HL07 HM05 NN03
 NN04 NN23 NN24 NN27 NN35
 NN73

专利名称(译)	液晶表示装置		
公开(公告)号	JP2001343669A	公开(公告)日	2001-12-14
申请号	JP2000165449	申请日	2000-06-02
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	芦沢啓一郎 栗山英樹 田中武 橋本雄一 中谷光雄		
发明人	芦沢 啓一郎 栗山 英樹 田中 武 橋本 雄一 中谷 光雄		
IPC分类号	G02F1/136 G02F1/1343 G02F1/1368 G09F9/30 H01L21/336 H01L29/786		
CPC分类号	G02F1/134363 G02F1/1368		
FI分类号	G09F9/30.338 G02F1/136.500 H01L29/78.618.Z G02F1/1368		
F-TERM分类号	2H092/GA14 2H092/JA26 2H092/JA29 2H092/JA42 2H092/JA44 2H092/JB05 2H092/JB23 2H092/JB32 2H092/NA15 2H092/NA22 5C094/AA25 5C094/AA32 5C094/AA42 5C094/AA48 5C094/BA03 5C094/BA43 5C094/CA19 5C094/DA13 5C094/DB01 5C094/DB04 5C094/EA04 5C094/EA07 5C094/EB02 5C094/FA01 5C094/FB12 5C094/FB14 5C094/FB15 5F110/AA06 5F110/AA26 5F110/BB01 5F110/CC07 5F110/EE03 5F110/EE06 5F110/EE14 5F110/EE25 5F110/EE44 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG15 5F110/GG23 5F110/GG25 5F110/GG26 5F110/GG35 5F110/HK03 5F110/HK04 5F110/HK05 5F110/HK06 5F110/HK09 5F110/HK16 5F110/HK21 5F110/HK22 5F110/HK25 5F110/HK33 5F110/HL07 5F110/HM05 5F110/NN03 5F110/NN04 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN35 5F110/NN73 2H192/AA24 2H192/BB02 2H192/BB12 2H192/BB53 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CB42 2H192/CB45 2H192/CB46 2H192/CC02 2H192/CC04 2H192/CC17 2H192/CC42 2H192/EA04 2H192/EA22 2H192/EA43 2H192/FA35 2H192/GA12 2H192/GA41 2H192/GA42		
代理人(译)	小野寺杨枝		
外部链接	Espacenet		

摘要(译)

要解决的问题：抑制薄膜晶体管部分的光电导体电流并防止栅电极和漏电极的断开。位于薄膜晶体管TFT的源电极SD1下方的半导体层ASI布置成不从栅极线GL突出。薄膜晶体管TFT的沟道部分C和半导体层ASI越过部分侧的源电极SD1之间的距离增加，以抑制光电导体电流的产生。在半导体层的漏电极或源电极的覆盖部分中形成双向光栅部分或三向光栅部分，以防止漏电极和源电极的破裂和断开。

