

(19)日本国特許庁 (J P)

公開特許公報 (A)

(11)特許出願公開番号

特開2001 - 242837

(P2001 - 242837A)

(43)公開日 平成13年9月7日(2001.9.7)

(51) Int.Cl. ⁷	識別記号	F I	テ-マ-コ-ド [*] (参考)
G 0 9 G 3/36		G 0 9 G 3/36	2 H 0 9 2
G 0 2 F 1/133	550	G 0 2 F 1/133	2 H 0 9 3
	575		5 C 0 0 6
1/1368		G 0 9 G 3/20	612 F 5 C 0 8 0
G 0 9 G 3/20	612	623 F	5 J 0 2 2
審査請求 未請求 請求項の数 9 O L (全 11数) 最終頁に続く			

(21)出願番号 特願2000 - 54958(P2000 - 54958)

(22)出願日 平成12年2月29日(2000.2.29)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 景山 寛

茨城県日立市大みか町七丁目1番1号 株式
会社日立製作所日立研究所内

(72)発明者 佐藤 秀夫

茨城県日立市大みか町七丁目1番1号 株式
会社日立製作所日立研究所内

(74)代理人 100087170

弁理士 富田 和子

最終頁に続く

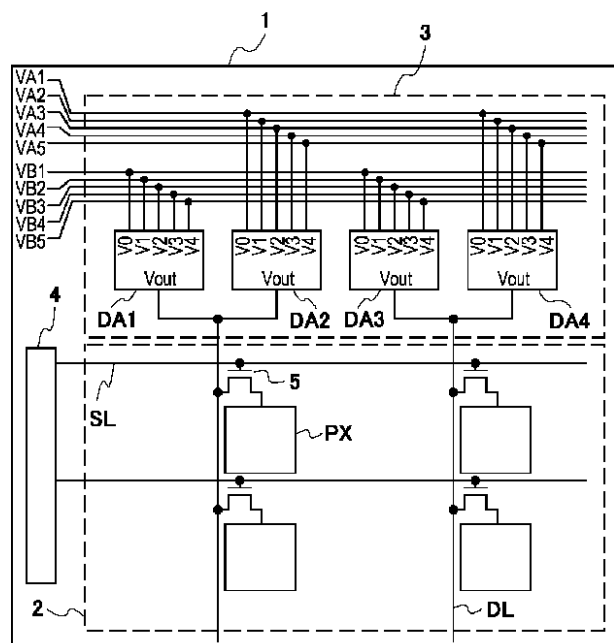
(54)【発明の名称】 液晶表示装置

(57)【要約】

【課題】 液晶表示装置の多階調化、高解像度化を容易にし、画質を向上させる。

【解決手段】 複数のD / A変換回路DA1 ~ DA4のそれぞれを、ほぼ等しいオン抵抗値を持った複数のスイッチと、前記スイッチを制御する制御回路とで構成し、前記制御回路は、変換動作時には、同じ数の複数のスイッチをオンにすることで、D / A変換回路DA1 ~ DA4の出力抵抗値がほぼ一定になるように制御する。

図1



【特許請求の範囲】

【請求項 1】 少なくとも一方が透明な一対の基板と、当該基板に挟持された液晶層を有し、前記一対の基板の一方に、表示領域と、当該表示領域を駆動するための周辺回路を有し、前記表示領域には、マトリクス状に配置された複数のドレイン線及びゲート線並びに薄膜トランジスタが形成され、前記周辺回路は、デジタル画像信号入力可能な駆動回路を具備する液晶表示装置であって、前記駆動回路は、複数の D/A 変換回路を具備し、当該 D/A 変換回路は、ほぼ等しい ON 抵抗値を持った複数のスイッチと、前記スイッチを制御する制御回路とで構成され、前記制御回路は変換動作時には、同じ数の複数のスイッチが ON するように、前記スイッチを制御することを特徴とする液晶表示装置。

【請求項 2】 前記 D/A 変換回路において、前記複数のスイッチを並列に接続して複数のスイッチ群を構成し、当該スイッチ群の一端は、基準電圧を供給する配線に接続し、前記スイッチ群の他端は、共通接続して電圧出力部とし、前記制御回路は、前記スイッチ群の 2 つあるいは 1 つのうち、複数かつ一定数の n 個のスイッチを ON にすることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】 前記スイッチの ON 抵抗値のばらつきの範囲は、前記スイッチの ON 抵抗値の中心値 R と、前記スイッチの ON 抵抗値の最大値と最小値の差 r との間に、 $r/R < 2/n$ の関係があることを特徴とする請求項 2 に記載の液晶表示装置。

【請求項 4】 前記スイッチ群の数を m 個とし、前記電圧出力部の電圧が z 段階に変化するとすると、前記スイッチ群のうち 1 つが $(n-1)$ 個の前記スイッチで構成され、残りの $(m-1)$ 個のスイッチ群が n 個の前記スイッチで構成され、 $(m-1)$ は 2 のべき乗、 n は 2 のべき乗で、 $z = (m-1) \times n$ の関係にあることを特徴とする請求項 2 または 3 に記載の液晶表示装置。

【請求項 5】 前記制御回路は、変換時間の前半に 1 つの前記スイッチ群の全てのスイッチを ON にすることを特徴とする請求項 2 ~ 4 のいずれか一項に記載の液晶表示装置。

【請求項 6】 前記 D/A 変換回路と前記ドレイン線との間に、前記 D/A 変換回路の出力電圧を複数の前記ドレイン線に分配する分配回路を具備することを特徴とする請求項 1 ~ 5 のいずれか一項に記載の液晶表示装置。

【請求項 7】 水平帰還周期ごとに前記ドレイン線に電圧を印加するプリチャージ回路を具備することを特徴と

する請求項 1 ~ 6 のいずれか一項に記載の液晶表示装置。

【請求項 8】 前記スイッチは、複数の薄膜トランジスタのソース電極とドレイン電極を共通に接続した並列接続により構成されていることを特徴とする請求項 1 ~ 7 のいずれか一項に記載の液晶表示装置。

【請求項 9】 前記スイッチは、薄膜トランジスタと、抵抗の直列接続によって構成されていることを特徴とする請求項 1 ~ 7 のいずれか一項に記載の液晶表示装置。

10 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、周辺回路を内蔵しデジタル信号入力が可能な液晶表示装置に関する。

【0002】

【従来の技術】従来、液晶表示装置において多階調表示する技術としては、例えば、特開平 05-333817 号公報に記載のものが知られている。

【0003】図 16 は、前記公報記載の技術において、出力する階調数より少ない基準電圧で駆動できる D/A 変換回路の原理を説明する図である。本 D/A 変換回路は、2 つの基準電圧 V_A 及び V_B から、5 階調の電圧を出力 V_X に発生できる。

【0004】同図において、スイッチ 91 は、低抵抗のスイッチであり、スイッチ 92 は、高抵抗のスイッチである。本 D/A 変換回路は、入力信号の下位 2 ビット (D_1, D_0) に対応して、スイッチ 91 および 92 を、同図 (A) ~ (D) に示すように制御することで、基準電圧を 4 等分した電圧を出力する。

【0005】図 16 に示したような構成を利用することにより、出力する階調数より少ない基準電圧で D/A 変換回路を駆動できる。さらに、広面積を要する低抵抗のスイッチを少なくすることで、駆動回路の回路面積を小さくし、液晶表示装置の非表示部分を小さくすることができる。

【0006】

【発明が解決しようとする課題】しかしながら、前記公報記載の技術のように、2 つ以上の基準電圧に高抵抗のスイッチと低抵抗のスイッチを並列に接続して構成すると、入力信号によって D/A 変換回路の出力抵抗値が変化することになる。

【0007】また、D/A 変換回路の出力部には D/A 変換回路を構成するスイッチの OFF 容量及び ON 容量並びにドレイン線の容量の負荷容量があり、これを駆動する必要がある。なお、これらの負荷容量は、入力信号にはほとんど依存しない。

【0008】D/A 変換回路が容量負荷を駆動する場合、出力電圧には変化電圧に対して 1 次の指数関数で近似できる減衰特性を持った残留電圧が発生する。図 17 は、変換時間と、変化電圧に対する残留電圧との関係を表すグラフである。図 17 のグラフの横軸は変換時間、

縦軸は変化電圧に対する残留電圧（対数）である。減衰の傾きは、負荷容量と出力抵抗の積で決まり、出力抵抗に応じて変化する。図 17 は、出力抵抗値が最大の場合（ R_{max} ）と、最小の場合（ R_{min} ）の減衰の様子を示しており、同図に示すように、両者はその減衰の傾きが異なる。そのため、変換時間が経過するにつれて残留電圧の絶対値は小さくなるが、出力抵抗が大きい場合と小さい場合との相対的な比率は大きくなる。

【0009】この場合、例えば、変化電圧が通常 8 V 程度に対し、許容される残留電圧が 16 mV 程度であるとすると、従来の液晶表示装置では、残留電圧の比率が 0.002 以下になるように変換時間下限 T_c とスイッチの ON 抵抗の最大値 R_{max} を設定することになる。

【0010】一方、高解像度化のために D/A 変換をできるだけ短時間に行いたいという要求がある。しかしながら、D/A 変換回路の出力抵抗の最大値 R_{max} と、最小値 R_{min} との間に、例えば、2 倍の差がある場合、直線の傾きは 2 倍になる。この場合、変換時間下限 T_c における R_{max} の残留電圧の比率 0.002 がそのまま残留電圧のばらつきになる。階調によって残留電圧にばらつきがあるため、変換時間を変換時間下限 T_c より小さくすると、隣接階調間の電圧間隔が変化するため画質の劣化を引き起こすことにつながる。

【0011】また、多階調化を図るためにも、残留電圧のばらつきを減らす必要があるが、そのためには、D/A 変換時間を延ばす必要が生じる。

【0012】本発明の目的は、D/A 変換回路の出力抵抗値を表示階調にかかわらず一定にすることができる液晶表示装置を提供することにある。これにより、変換時間下限 T_c の近傍または若干短い変換時間で動作して残留電圧が発生しても、隣接階調間で残留電圧が近似しているために隣接階調間の電圧間隔が変化しにくく、画質の劣化を起しにくくできる。これにより、画質の向上や多階調化を容易にすることができる。また、D/A 変換回路の変換時間を短くすることも可能になり、解像度の増加を容易にすることができる。

【0013】

【課題を解決するための手段】本発明に係る液晶表示装置は、少なくとも一方が透明な一対の基板と、当該基板に挟持された液晶層を有し、前記一対の基板の一方に、表示領域と、当該表示領域を駆動するための周辺回路を有し、前記表示領域には、マトリクス状に配置された複数のドレイン線及びゲート線並びに薄膜トランジスタが形成され、前記周辺回路は、デジタル画像信号入力可能な駆動回路を具備する液晶表示装置である。そして、前記駆動回路は、複数の D/A 変換回路を具備し、当該 D/A 変換回路は、ほぼ等しい ON 抵抗値を持った複数のスイッチと、前記スイッチを制御する制御回路とで構成され、前記制御回路は変換動作時には、同じ数の複数のスイッチが ON するように、前記スイッチを制御するこ

とを特徴とする。

【0014】この場合に、前記 D/A 変換回路において、前記複数のスイッチを並列に接続して複数のスイッチ群を構成し、当該スイッチ群の一端は、基準電圧を供給する配線に接続し、前記スイッチ群の他端は、共通接続して電圧出力部とし、前記制御回路は、前記スイッチ群の 2 つあるいは 1 つのうち、複数かつ一定数の n 個のスイッチを ON にするようにしてもよい。

【0015】また、前記スイッチの ON 抵抗値のばらつきの範囲は、前記スイッチの ON 抵抗値の中心値 R と、前記スイッチの ON 抵抗値の最大値と最小値の差 r との間に、 $r/R < 2/n$ の関係があるようにしてよい。

【0016】また、前記スイッチ群の数を m 個とし、前記電圧出力部の電圧が z 段階に変化するとすると、前記スイッチ群のうち 1 つが $(n-1)$ 個の前記スイッチで構成され、残りの $(m-1)$ 個のスイッチ群が n 個の前記スイッチで構成され、 $(m-1)$ は 2 のべき乗、 n は 2 のべき乗で、 $z = (m-1) \times n$ の関係にあるようにしてもよい。

【0017】また、前記制御回路は、変換時間の前半に 1 つの前記スイッチ群の全てのスイッチを ON にするようにしてもよい。

【0018】また、前記 D/A 変換回路と前記ドレイン線との間に、前記 D/A 変換回路の出力電圧を複数の前記ドレイン線に分配する分配回路を具備するようにしてもよい。また、水平帰還周期ごとに前記ドレイン線に電圧を印加するプリチャージ回路を具備するようにしてもよい。

【0019】また、以上の場合において、前記スイッチは、複数の薄膜トランジスタのソース電極とドレイン電極を共通に接続した並列接続により構成されていてもよく、薄膜トランジスタと、抵抗の直列接続によって構成されていてもよい。

【0020】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照しつつ、詳細に説明する。

【0021】《第 1 実施形態》図 1 は、本発明による第 1 の液晶表示装置の構成を示す図である。同図に示すように、本液晶表示装置では、絶縁基板 1 の表面に、表示領域 2 と、ドレインドライバ 3 と、ゲートドライバ 4 とが設けられている。

【0022】表示領域 2 は、マトリクス状に配置されたドレイン線 DL 及びゲート線 SL 並びにドレイン線 DL とゲート線 SL との交点毎に配置された画素 TFT 5 及び表示電極 PX からなる。

【0023】なお、図 1 では、液晶表示装置の構成を分かりやすくするため、ドレイン線 DL を 2 本、ゲート線 SL を 2 本しか記述していないが、通常はより多い数であり、例えば、横 640 × 縦 480 × RGB の VGA サイズの液晶表示装置では、ゲート線 SL が 480 本、ド

ライン線DLが1920本である。

【0024】ドレインドライバ3は、薄膜トランジスタ(TFT)を用いて構成されるもので、D/A変換回路DA1~4を備える。1つのドレイン線DLに対して、一対のD/A変換回路(例えば、DA1とDA2)が接続され、一対のD/A変換回路には、それぞれ、基準電圧配線VA1~5とVB1~5が接続されている。

【0025】基準電圧配線VA1~5には、液晶駆動電圧の高い範囲の基準電圧が供給され、基準電圧配線VB1~5には、液晶駆動電圧の低い範囲の基準電圧が供給される。ドレイン線DLに液晶駆動電圧の高い範囲の電圧を発生させる場合は、D/A変換回路DA2とDA4が機能し、低い範囲の電圧を発生させる場合はD/A変換回路DA1とDA3が機能する。これによって、液晶パネルは、交流駆動される。

【0026】ゲートドライバ4は、TFTを用いて構成されるもので、全てのゲート線SLに接続されている。ゲートドライバ4は、特定のゲート線SLに接続する画素TFT5をONにして、ドレイン線DLの電圧をサンプリングする表示電極PXを決定する。

【0027】次に、D/A変換回路DA1~DA4の構成について説明する。

【0028】図2は、D/A変換回路DA1~DA4の構成を示す図である。D/A変換回路DA1~DA4は、4ビット入力・16階調出力の回路である。なお、当然の事ながら、ビット数と階調数は、これに限られない。

【0029】同図に示すように、D/A変換回路DA1~DA4は、スイッチS1~S19と、スイッチS1~S19のオン・オフを制御する制御回路CTLとから構成されている。

【0030】スイッチS1~S4は、各々の入出力端子を共通に接続することによって並列接続され、スイッチ群SG1を構成している。同様に、スイッチS5~S8は、スイッチ群SG2を、スイッチS9~S12は、スイッチ群SG3を、スイッチS13~S16は、スイッチ群SG4を、スイッチS17~S19は、スイッチ群SG5を構成している。

【0031】スイッチ群SG1~5の入出力端子の一方は、それぞれ、基準電圧入力端子V0~V4に接続され、スイッチ群SG1~5の入出力端子の他方は、全て共通に接続されて、出力端子Voutに接続される。

【0032】また、スイッチS1~S19には、それぞれ、制御回路CTLの出力Y1~Y19が接続されている。Y1~Y19は、2値の論理信号の出力であり、スイッチS1~S19のON/OFFはこの値により制御される。

【0033】制御回路CTLには、4ビットのData信号と、出力許可信号EN(不図示)が入力される。制御回路CTLは、4ビットのData信号に

画像信号と出力許可信号ENに従って、Y1~Y19を変化させ、スイッチS1~S19のON/OFFを制御する。

【0034】図3は、制御回路CTLの動作の例を示す図である。同図に示すように、制御回路CTLは、入力信号Dataが0のとき、スイッチS1~S4がONになり、他のスイッチがOFFになるような値を、Y1~Y19に出力する。また、入力信号Dataが1のときは、スイッチS2~S5がONになり、他のスイッチがOFFになるような値を、出力Y1~Y19に出力する。つまり、入力信号Dataがkの場合(k=0~15)、特定の4つのスイッチSk+1~Sk+4がONになり、残りのスイッチがOFFになるような値を、Y1~Y19に出力する。

【0035】なお、前記動作は、出力許可信号EN=1の場合の動作であり、EN=0の場合は、制御回路CTLは、S1~S19の全てのスイッチがOFFになるような値をY1~Y19に出力する。これにより、Voutは基準電圧から切り離されて、D/A変換回路は機能を停止する。図1に示したように、1つのドレイン線DLには2つのD/A変換回路が接続されており、出力許可信号ENによって2つのD/A変換回路を交互に機能させることによって、ドレイン線DLに供給する電圧を交流化する。

【0036】次に、D/A変換回路DA1~DA4における、入力信号Dataと、出力電圧及び出力抵抗との関係について説明する。

【0037】図4は、D/A変換回路DA1~DA4における、入力信号Dataと、出力電圧及び出力抵抗との関係を説明するための図である。ここでは、1つのスイッチのON抵抗値をRとする。

【0038】入力信号Dataが4の倍数、すなわち、 $4 \times k$ (k=[0,1,2,3])の場合、同図(A)に示すように、VkとVoutは、4つのスイッチで並列に接続される。Voutの電圧はVkになり、Voutの出力抵抗は、 $R/4$ になる。

【0039】入力信号Dataが4の倍数でない場合、すなわち、 $4 \times k + j$ (k=[0,1,2,3]、j=[1,2,3])である場合、Voutの電圧は、同図(B)、(C)、(D)に示すように、VkとV(k+1)の電圧を抵抗により分圧したものになり、 $Vout = \{(4-j) \times Vk + j \times V(k+1)\} / 4$ になる。このときのVoutの出力抵抗値は、 $R/4$ である。

【0040】つまり、Voutには、2つの基準電圧を4等分した電圧を発生できるため、D/A変換回路DA1~DA4は、5つの基準電圧に対して16階調と、基準電圧数より多くの階調電圧を発生することができることになる。また、この場合のD/A変換回路の出力抵抗値は、1つのスイッチのON抵抗Rより小さな $R/4$ とすることができる。さらに、D/A変換回路の出力抵抗

値は、入力信号に関わらず $R/4$ と一定になる。

【0041】D/A変換回路DA1～DA4を構成するスイッチのON抵抗値が製造時の誤差等によりばらつくと、誤差電圧が発生することになる。このような誤差電圧は、液晶表示装置の表示画像に階調反転を発生させ、画質劣化の影響を与える。なお、階調反転とは、階調表示の明暗関係に逆転部分が発生する現象のことである。

【0042】このような誤差電圧がもっとも大きくなるのは、図5に示すように、二つのスイッチ群をそれぞれ構成する n 個のスイッチのうち半分の $n/2$ 個がONであり、更に、一方のスイッチ群のスイッチのON抵抗が最小値をとり、他方のスイッチ群のスイッチのON抵抗が最大値をとる場合である。

【0043】ON抵抗値の中心値を R とし、最大の抵抗値と最小の抵抗値の差を r とし、最大抵抗値を $(R + r/2)$ 、最小抵抗値を $(R - r/2)$ と表すと、二つのスイッチ群の抵抗値は、 $(R - r/2)/(n/2)$ と $(R + r/2)/(n/2)$ とになる。図6は、二つのスイッチ群の抵抗値がこのような値を有する二つの場合を示している。すなわち、同図(a)は、基準電圧 V_k に接続されたスイッチ群SGkの抵抗が $(R + r/2)/(n/2)$ で、基準電圧 V_{k+1} に接続されたスイッチ群SGk+1の抵抗が $(R - r/2)/(n/2)$ の場合を示しており、同図(b)は、基準電圧 V_k に接続されたスイッチ群SGkの抵抗が $(R - r/2)/(n/2)$ で、基準電圧 V_{k+1} に接続されたスイッチ群SGk+1の抵抗が $(R + r/2)/(n/2)$ の場合を示している。

【0044】ここで、 $V_k < V(k+1)$ とすると、出力電圧 V_{out} は、同図(a)に示すような場合に、最も高い電圧 $(= V_1)$ になり、同図(b)に示すような場合に、最も低い電圧 $(= V_2)$ になる。 $V_k > V(k+1)$ とすると、その逆である。いずれにせよ発生しうる最大の誤差電圧は $|V_2 - V_1| = r/2R \times |V_k - V(k+1)|$ となる。

【0045】階調反転を発生させないためには、この誤差電圧が1階調分の電圧より小さければよい。1階調分の電圧幅は $|V_k - V(k+1)|/n$ であるから、階調反転を発生しない条件は $r/R < 2/n$ となる。

【0046】図7は、制御回路CTLの動作の別の例を示す図である。この場合、制御回路CTLには、Data信号及びEN信号に加えて、S信号が入力される。

【0047】同図に示すように、制御回路CTLは、 $S = 0$ の場合は、図3の場合と同様に、Data信号 $= k$ ($k = 0 \sim 15$) に対して、特定の4つのスイッチ $S_k + 1 \sim S_{k+4}$ のみがONとなるような値を、 $Y_1 \sim Y_{19}$ に出力する。一方、 $S = 1$ の場合は、Data信号 $= 0 \sim 3$ では、スイッチ $S_1 \sim S_4$ のみがONとなり、Data信号 $= 4 \sim 7$ では、スイッチ $S_5 \sim S_8$ のみがONとなり、Data信号 $= 8 \sim 11$ では、スイッチ S

$9 \sim S_{12}$ のみがONとなり、Data信号 $= 12 \sim 15$ では、スイッチ $S_{13} \sim S_{16}$ のみがONとなるような値を、 $Y_1 \sim Y_{19}$ に出力する。すなわち、 $S = 1$ の場合は、基準電圧入力端子 $V_0 \sim V_3$ にそれぞれ接続されるスイッチ群SG1～SG4のいずれか一つのすべてのスイッチをONにする。

【0048】なお、上記動作は、出力許可信号 $EN = 1$ の場合の動作であり、 $EN = 0$ の場合は、図3の場合と同様に、 S 及びDataの値に関わらず、 $S_1 \sim S_{19}$ の全てのスイッチがOFFになる。

【0049】この場合、変換時間の前半に $S = 1$ とし、変換時間の後半に $S = 0$ とすることで、変換時間の前半に、 V_{out} を目的の出力の電圧に近づける粗調整をし、変換時間の後半に目的の電圧に微調整する。この動作により、変換時間の前半では、 $V_0 \sim V_3$ のいずれか一つの基準電圧のみが使われることになり、基準電圧 $V_0 \sim V_4$ 間に電流が流れなくなるのでその分の消費電流をカットすることができる。

【0050】次に、2進数の入力信号データに都合のよいスイッチ数とスイッチ群の数の関係について説明する。

【0051】外部から供給される基準電圧が m 個であるとする、スイッチ群の数も m となる。 m 個の基準電圧の間数 $(m - 1)$ が2のべき乗であると、制御回路CTLは繰り返しの構造を利用でき、その構成が簡単になる。

【0052】また、一つのスイッチ群を構成するスイッチの数を n とすると、 m 個のスイッチ群で発生できる階調数 z は $(m - 1) \times n + 1$ 階調になる。階調数 z についても、2のべき乗であると都合がよいが、 $(m - 1)$ を2のべき乗であるとする、 z は2のべき乗にならなくなってしまう。そこで、1つのスイッチ群を $(n - 1)$ 個、残りの $(m - 1)$ 個のスイッチ群を n 個のスイッチで構成すると、階調数 $z = (m - 1) \times n$ になり、 n を2のべき乗になる適当な値にすれば、階調数 z は2のべき乗になり、2進数のデータにとって都合がよい構成となる。

【0053】次に、スイッチ $S_1 \sim S_{19}$ の具体的な構成について説明する。

【0054】図8は、スイッチ $S_1 \sim S_{19}$ の構成例を示す図である。この場合、スイッチは、単体TFTを用いて構成されている。なお、液晶駆動電圧範囲のうち高い範囲の電圧を出力するD/A変換回路DA2，DA4の場合は、pチャネルのTFTを用い、液晶駆動電圧範囲の低い範囲の電圧を出力するD/A変換回路DA1，DA3の場合は、nチャネルのTFTを用いるとONのときの抵抗を低くできて都合がよい。

【0055】図9は、スイッチ $S_1 \sim S_{19}$ の別の構成例を示す図である。この場合、スイッチは、複数のTFTを並列に接続し、ゲート、ソース、ドレインの各電極

を共通に接続して構成されている。複数の T F T を用いると、T F T の ON 抵抗のばらつきを平均化することができ、単体 T F T を用いるより安定した抵抗値を得ることができる。

【0056】図 10 は、スイッチ S 1 ~ S 19 の更に別の構成例を示す図である。この場合、スイッチは、単体 T F T と、配線材料で形成した抵抗素子とを直列に接続して構成されている。抵抗値が安定している配線材料で形成した抵抗を直列に接続することで、T F T のみを用いた場合より安定した抵抗値を得ることができる。なお、この場合も、図 9 のように、T F T を複数接続するようにしてもよい。

【0057】《第 2 の実施形態》図 11 は、本発明による第 2 の液晶表示装置の構成を示す図である。

【0058】本液晶表示装置の構成は、ドレインドライバの構成を除いて、図 1 に示した第 1 の液晶表示装置と基本的に同じである。

【0059】図 11 に示すように、本液晶表示装置のドレインドライバ 3 a は、D / A 変換回路 D A 1 ~ 4 と、分配回路 M P 1、M P 2 とから構成されている。すな

わち、図 1 に示したドレインドライバ 3 に、分配回路 M P 1、M P 2 を追加した構成になっている。

【0060】D / A 変換回路 D A 1 ~ D A 4 の構成は、図 2 に示した第 1 の液晶表示装置のものと同一である。また、第 1 の液晶表示装置と同様に、D / A 変換回路 D A 1 及び D A 3 には、基準電圧配線 V B 1 ~ 5 を介して、液晶駆動電圧の低い範囲の基準電圧が供給され、D / A 変換回路 D A 2 及び D A 4 には、基準電圧配線 V A 1 ~ 5 を介して、液晶駆動電圧の高い範囲の基準電圧が供給されている。

【0061】D / A 変換回路 D A 1 ~ D A 4 で発生された電圧は、分配回路 M P 1、M P 2 によって複数のドレイン線 D L に分配される。分配された電圧は、ドレイン線容量 C D によって一旦保持される。ドレイン線容量 C D に保持された電圧は、ゲートドライバ 4 によって ON にされた画素 T F T 5 を介して、対応する表示電極 P X にサンプリングされる。

【0062】分配回路 M P 1、M P 2 は、制御信号に従って、入力 i 1 または i 2 に入力された電圧を、出力 o 1 ~ o 4 のいずれか一つに出力する。図 11 に示す構成では、液晶駆動電圧の低い範囲の電圧でドレイン線 D L を駆動する場合は、入力 i 1 に入力された電圧を、出力 o 1 ~ o 4 のいずれか一つに出力し、液晶駆動電圧の高い範囲の電圧でドレイン線 D L を駆動する場合は、入力 i 2 に入力された電圧を、出力 o 1 ~ o 4 のいずれか一つに出力する。

【0063】また、出力 o 1 に接続されたドレイン線 D L に出力すべき電圧を D / A 変換回路が出力している間は、入力 i 1 または i 2 に入力された電圧を、出力 o 1 に出力し、出力 o 2 に接続されたドレイン線 D L に出力

すべき電圧を D / A 変換回路が出力している間は、入力 i 1 または i 2 に入力された電圧を、出力 o 2 に出力し、出力 o 3 に接続されたドレイン線 D L に出力すべき電圧を D / A 変換回路が出力している間は、入力 i 1 または i 2 に入力された電圧を、出力 o 3 に出力し、出力 o 4 に接続されたドレイン線 D L に出力すべき電圧を D / A 変換回路が出力している間は、入力 i 1 または i 2 に入力された電圧を、出力 o 4 に出力する。すなわち、この場合、D / A 変換回路は、時分割で使われ、4 本のドレイン線 D L を駆動する。

【0064】図 12 は、分配回路 M P 1、M P 2 の構成を示す図である。同図に示すように、本分配回路は、入力 i 1、i 2 と出力 o 1 ~ o 4 を総当りに接続するスイッチ 8 1 で構成されている。このような分配回路を用いることによって、1 つの D / A 変換回路で複数のドレイン線 D L を駆動できるので、D / A 変換回路の数を削減することができる。

【0065】図 13 は、制御回路 C T L の動作の例を示す図である。同図に示すように、入力信号 D a t a が k の場合 (k = 0 ~ 15) に、特定の 4 つのスイッチ S k + 1 ~ S k + 4 のみが ON となり、残りのスイッチが OFF となる。つまり、E N = 1 の場合の図 3 と同じ動作を行う。前述したように、本液晶表示装置では、D / A 変換回路 (例えば、D A 1 と D A 2) の切り換えは、分配回路 M P 1、M P 2 で行うので、制御回路 C T L での制御は不要になる。

【0066】第 2 の液晶表示装置の場合、D / A 変換回路の容量負荷としては、D / A 変換回路及び分配回路のスイッチを構成する T F T の寄生容量並びにドレイン線容量 C D がある。ドレイン線容量 C D が、D / A 変換回路及び分配回路のスイッチを構成する T F T の寄生容量の総和より大きい、あるいは、同程度である場合には、負荷容量はドレイン線容量 C D が支配的になるため、分配回路を構成するスイッチ 8 1 の ON 抵抗は、い

ずれもほぼ等しくする必要がある。

【0067】図 12 に示した分配回路では、いずれの入力と出力との間の抵抗もスイッチ 1 つ分の ON 抵抗になるため、ドレイン線から見た場合の出力抵抗値は、入力信号と分配の経路にかかわらず一定となる。

【0068】一方、D / A 変換回路及び分配回路のスイッチを構成する T F T の寄生容量の総和がドレイン線容量より圧倒的に大きい場合には、ドレイン線容量を無視できるため、分配回路での ON 抵抗値に対する制限はない。

【0069】図 14 は、制御回路 C T L の動作の別の例を示す図である。同図に示すように、S = 0 の場合は、D a t a 信号 = k (k = 0 ~ 15) に対して、特定の 4 つのスイッチ S k + 1 ~ S k + 4 のみを ON にする。また、S = 1 の場合は、D a t a = 0 ~ 3 で S 1 ~ S 4 のみを ON にし、D a t a = 4 ~ 7 で S 5 ~ S 8 のみを O

Nにし、Data = 8 ~ 11でS9 ~ S12のみをONにし、Data = 12 ~ 15でS13 ~ S16のみをONにする。つまり、EN = 1の場合の図7と同じ動作を行う。前述したように、本液晶表示装置では、D/A変換回路（例えば、DA1とDA2）の切り換えは、分配回路MP1、MP2で行うので、制御回路CTLでの制御は不要になる。

【0070】《第三の実施形態》図15は、本発明による第3の液晶表示装置の構成を示す図である。

【0071】本液晶表示装置は、図11に示した第2の液晶表示装置に、プリチャージ回路6を加えた構成になっている。他の構成要素については、第2の液晶表示装置と同じである。

【0072】プリチャージ回路6は、全てのドレイン線に接続され、水平帰還周期ごとに一定の電圧をドレイン線に充電する。

【0073】本液晶表示装置では、プリチャージ回路6によって、ドレイン線の電圧を、特定の電圧にチャージした後に、D/A変換回路DA1 ~ DA4によって目的の電圧にチャージするため、特定の階調に対して変化電圧幅は一定になる。このため、残留電圧のばらつきは第2の液晶表示装置に比べ層低減される。

【0074】

【発明の効果】以上詳細に説明したように、本発明では、液晶表示装置に内蔵するD/A変換回路を構成する複数のスイッチを同時にONし、更に、同時にONされるスイッチの数は、入力信号によらず一定なので、D/A変換回路の出力抵抗値は、1つのスイッチのON抵抗より小さく、かつ、一定になり、D/A変換時の残留電圧のばらつきを従来より小さくできる。これにより従来よりも画質向上と多階調化が容易になる。また、D/A変換時間を短くすることも可能になり、液晶表示装置の高解像度化が容易になる。

【0075】

【図面の簡単な説明】

【図1】 本発明による第1の液晶表示装置の構成を示す図である。

【図2】 本発明によるD/A変換回路の構成を示す図である。

【図3】 第1の液晶表示装置におけるD/A変換回路

内の制御回路の動作例を示す図である。

【図4】 本発明によるD/A変換回路の電圧発生方法を説明するための図である。

【図5】 本発明によるD/A変換回路で最も誤差電圧が大きくなる場合を示す図である。

【図6】 本発明によるD/A変換回路で最も誤差電圧が大きくなる場合のスイッチ群の抵抗値を示す図である。

【図7】 第1の液晶表示装置におけるD/A変換回路内の制御回路の動作例を示す図である。

【図8】 本発明によるD/A変換回路を構成するスイッチの構成例を示す図である。

【図9】 本発明によるD/A変換回路を構成するスイッチの構成例を示す図である。

【図10】 本発明によるD/A変換回路を構成するスイッチの構成例を示す図である。

【図11】 本発明による第2の液晶表示装置の構成を示す図である。

【図12】 第2の液晶表示装置における分配回路の構成を示す図である。

【図13】 第2の液晶表示装置におけるD/A変換回路内の制御回路の動作例を示す図である。

【図14】 第2の液晶表示装置におけるD/A変換回路内の制御回路の動作例を示す図である。

【図15】 本発明による第3の液晶表示装置の構成を示す図である。

【図16】 従来の液晶表示装置のD/A変換回路の動作原理を説明した図である。

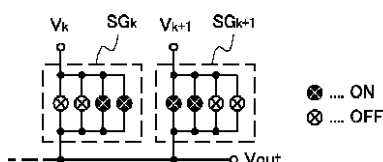
【図17】 出力抵抗が異なる場合の残留電圧の時間変化の様子を示す図である。

【符号の説明】

1...絶縁基板、2...表示領域、3...ドレインドライバ、4...ゲートドライバ、5...画素TFT、6...プリチャージ回路、DA1 ~ 4...D/A変換回路、MP1、2...分配回路、SL...ゲート線、DL...ドレイン線、CD...ドレイン線容量、PX...表示電極、VA1 ~ 5、VB1 ~ 5...基準電圧配線、SG1 ~ 5...スイッチ群、S1 ~ 19...スイッチ、CTL...制御回路、81、91、92...スイッチ

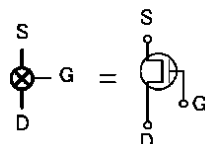
【図5】

図5



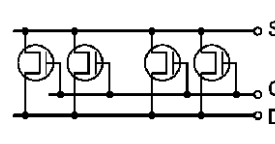
【図8】

図8



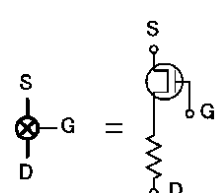
【図9】

図9



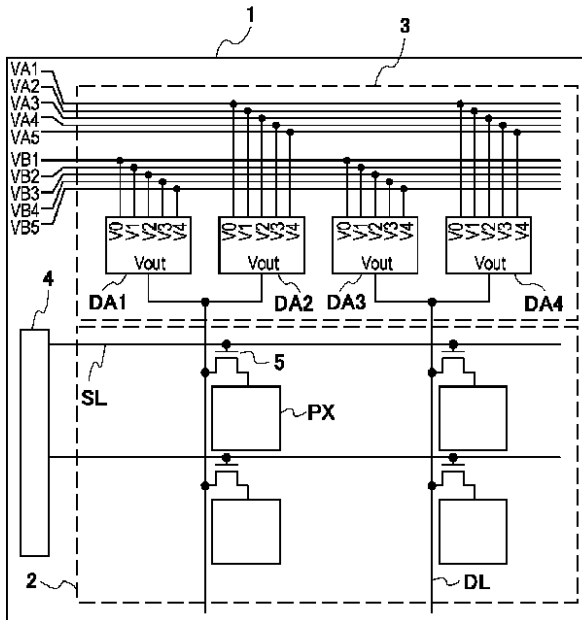
【図10】

図10



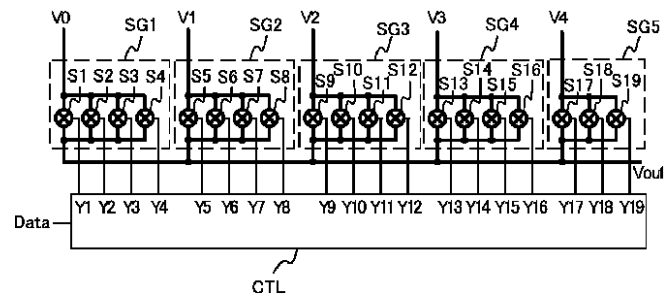
【圖 1】

图 1



【図 2】

图2



【図 3】

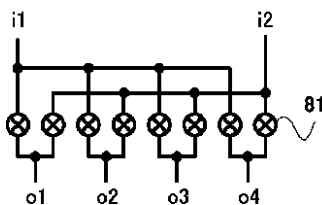
图3

EN	Data	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12	S13	S14	S15	S16	S17	S18	S19
1	0	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	1	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	2	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	3	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	4	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	5	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	6	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	7	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	8	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	9	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	10	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	11	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	12	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	13	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	14	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
1	15	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐
0	x	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐	☐

x ... Don't care ☒ = ON ☐ = OFF

【图 12】

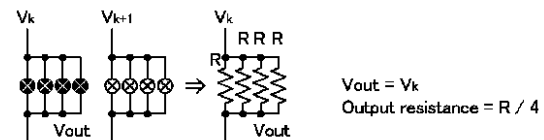
图 12



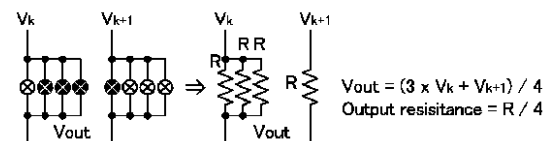
【図4】

图4

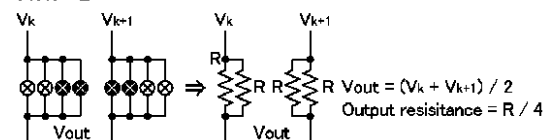
(A) Data = 4 x k



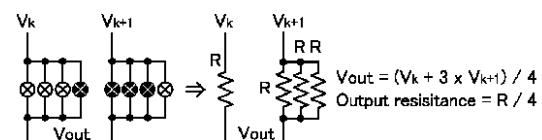
(B) Data = $4 \times k + 1$



(C) Data = $4 \times k + 2$



(D) Data = $4 \times k + 3$



 ... ON
 ... OFF

【図14】

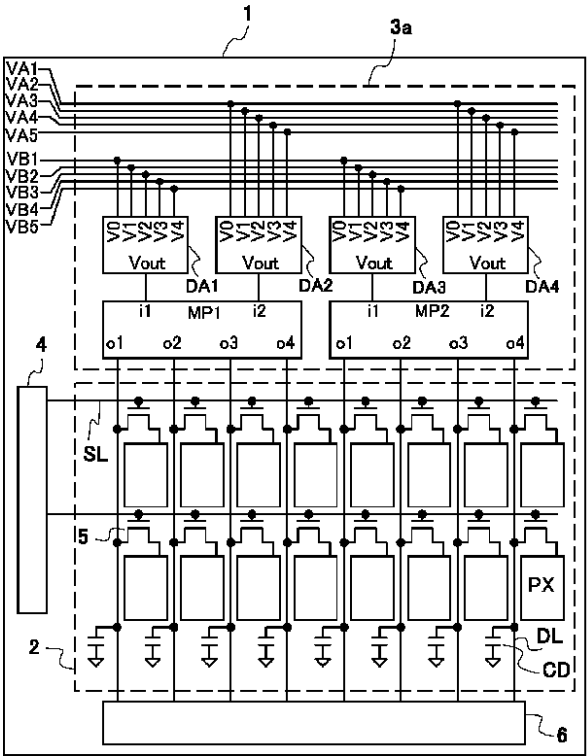
図14

S	Data	S1	S2	S3	S4	S5	S6	S7	S8	S9	S10	S11	S12	S13	S14	S15	S16	S17	S18	S19
0	0	○	○	○	○															
	1		○	○	○	○														
	2			○	○	○	○													
	3				○	○	○	○												
	4					○	○	○	○											
	5						○	○	○	○										
	6							○	○	○	○									
	7								○	○	○	○								
	8									○	○	○	○							
	9										○	○	○	○						
	10											○	○	○	○					
	11												○	○	○	○				
	12													○	○	○	○			
	13														○	○	○	○		
	14															○	○	○	○	
	15																○	○	○	○
1	0-3	○	○	○	○															
	4-7					○	○	○	○											
	8-11									○	○	○	○							
	12-15													○	○	○	○			

○ = ON □ = OFF

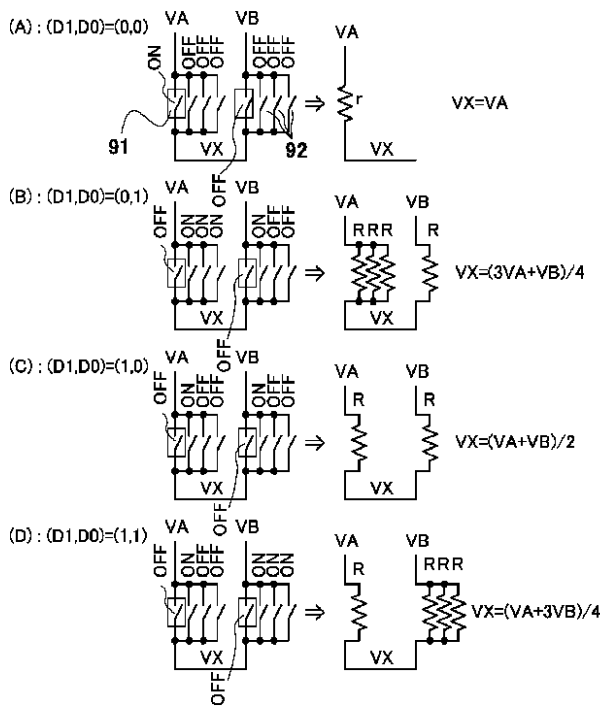
【図15】

図15



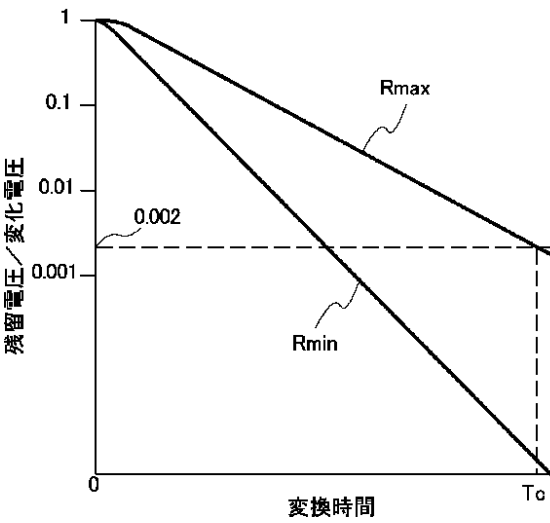
【図16】

図16



【図17】

図17



フロントページの続き

(51)Int.Cl. ⁷	識別記号	F I	テ-マコ-ト [*] (参考)
G 0 9 G 3/20	6 2 3	G 0 9 G 3/20	6 4 1 C
	6 4 1	H 0 3 M 1/66	C
H 0 3 M 1/66		G 0 2 F 1/136	5 0 0
(72)発明者 三上 佳朗		F タ-ム (参考)	2H092 GA59 JA24 NA05 NA24 PA06
茨城県日立市大みか町七丁目 1 番 1 号 株			2H093 NA16 NA53 NC21 NC34 NC49
式会社日立製作所日立研究所内			ND06 ND32 ND43 ND52 ND60
			5C006 AA16 AC26 AF52 AF83 BB16
			BF11 BF24 BF31 BF43 FA41
			FA56 GA02 GA03
			5C080 AA10 BB05 DD04 DD22 EE29
			FF03 FF11 JJ02 JJ03 JJ05
			5J022 AB03 BA01 CF07 CF09 CG01

专利名称(译)	液晶表示装置		
公开(公告)号	JP2001242837A	公开(公告)日	2001-09-07
申请号	JP2000054958	申请日	2000-02-29
[标]申请(专利权)人(译)	株式会社日立制作所		
申请(专利权)人(译)	株式会社日立制作所		
[标]发明人	景山 寛 佐藤 秀夫 三上 佳朗		
发明人	景山 寛 佐藤 秀夫 三上 佳朗		
IPC分类号	G02F1/136 G02F1/133 G02F1/1368 G09G3/20 G09G3/36 G09G5/00 H03M1/66		
CPC分类号	G09G3/2011 G09G3/3688 G09G2310/0248 G09G2310/0251 G09G2310/027		
FI分类号	G09G3/36 G02F1/133.550 G02F1/133.575 G09G3/20.612.F G09G3/20.623.F G09G3/20.641.C H03M1/66.C G02F1/136.500 G02F1/1368 G09G3/20.642.F		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/NA05 2H092/NA24 2H092/PA06 2H093/NA16 2H093/NA53 2H093/NC21 2H093/NC34 2H093/NC49 2H093/ND06 2H093/ND32 2H093/ND43 2H093/ND52 2H093/ND60 5C006/AA16 5C006/AC26 5C006/AF52 5C006/AF83 5C006/BB16 5C006/BF11 5C006/BF24 5C006/BF31 5C006/BF43 5C006/FA41 5C006/FA56 5C006/GA02 5C006/GA03 5C080/AA10 5C080/BB05 5C080/DD04 5C080/DD22 5C080/EE29 5C080/FF03 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ05 5J022/AB03 5J022/BA01 5J022/CF07 5J022/CF09 5J022/CG01 2H192/AA24 2H192/FB06 2H192/FB07 2H192/GD61 2H193/ZA04 2H193/ZD23		
其他公开文献	JP4031897B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：容易地实现液晶显示装置的多灰度和高分辨率并提高图像质量。多个D/A转换电路DA1至DA4中的每个由具有基本相等的导通电阻值的多个开关和用于控制这些开关的控制电路构成，并且该控制电路被配置为执行转换操作。有时，相同数量的开关导通以将D/A转换电路DA1至DA4的输出电阻值控制为基本恒定。

