

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

WO2009/116214

発行日 平成23年7月21日 (2011. 7. 21)

(43) 国際公開日 平成21年9月24日 (2009. 9. 24)

(51) Int. Cl.	F I	テーマコード (参考)
<b>G09G 3/36 (2006.01)</b>	G09G 3/36	2H092
<b>G09G 3/20 (2006.01)</b>	G09G 3/20 680G	2H193
<b>G02F 1/1345 (2006.01)</b>	G09G 3/20 621M	5C006
<b>G02F 1/133 (2006.01)</b>	G09G 3/20 623H	5C080
<b>G11C 19/00 (2006.01)</b>	G09G 3/20 670G	

審査請求 有 予備審査請求 未請求 (全 61 頁) 最終頁に続く

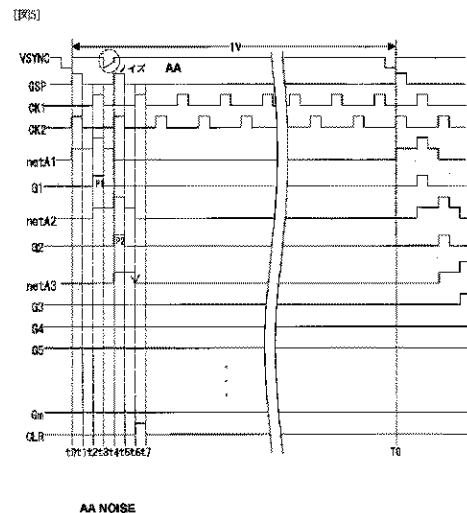
出願番号 特願2010-503747 (P2010-503747)	(71) 出願人 000005049
(21) 国際出願番号 PCT/JP2008/072931	シャープ株式会社
(22) 国際出願日 平成20年12月17日 (2008.12.17)	大阪府大阪市阿倍野区長池町22番22号
(31) 優先権主張番号 特願2008-72420 (P2008-72420)	(74) 代理人 110000338
(32) 優先日 平成20年3月19日 (2008. 3. 19)	特許業務法人原謙三国際特許事務所
(33) 優先権主張国 日本国 (JP)	(72) 発明者 水永 隆行
	日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
	(72) 発明者 森井 秀樹
	日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
	(72) 発明者 岩本 明久
	日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 表示パネル駆動回路、液晶表示装置、シフトレジスタ、液晶パネル、表示装置の駆動方法

(57) 【要約】

信号線選択信号 (G1 ~ Gm) を生成する単位回路が段状に接続されてなるとともに、前記信号線選択信号 (G1 ~ Gm) から形成されるパルスが初段から順に最終段まで出力されるシフトレジスタを備えた表示パネル駆動回路であって、前記各単位回路には、クロック信号 (CK1・CK2) と、前記表示パネル駆動回路外からの同期信号 (VSYNC) に基づいて生成されたゲートスタートパルス信号 (GSP) あるいは他段で生成された前記信号線選択信号 (G1 ~ Gm) と、クリア信号 (CLR) とが入力され、該クリア信号 (CLR) は前記同期信号 (VSYNC) に異常があればアクティブとされ、それ以後次の垂直走査期間の開始時まで前記シフトレジスタからパルスが出力されない。上記構成によれば、前記同期信号 (VSYNC) に異常が生じた場合の表示乱れや電源への負荷増大を抑制しうる表示パネル駆動回路を実現することができる。



**【特許請求の範囲】****【請求項 1】**

信号線選択信号を出力する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタを備え、外部から同期信号が入力される表示パネル駆動回路であって、

上記単位回路には、クロック信号と、スタートパルス信号あるいは他段で生成された信号線選択信号と、クリア信号とが入力され、

該クリア信号は、少なくとも同期信号に異常がある場合にアクティブとなり、それ以後は、次の垂直走査期間の開始時まで上記シフトレジスタからパルスが出力されないことを特徴とする表示パネル駆動回路。

10

**【請求項 2】**

上記同期信号に基づいて、クロック信号、スタートパルス信号、およびクリア信号が生成されることを特徴とする請求項 1 記載の表示パネル駆動回路。

**【請求項 3】**

上記同期信号には、垂直同期信号、水平同期信号、およびデータイネイブル信号の少なくとも 1 つが含まれることを特徴とする請求項 1 または 2 記載の表示パネル駆動回路。

**【請求項 4】**

同期信号の異常に関わりなく最終段からのパルスが出力された後にも上記クリア信号がアクティブとなることによって、最終段からの信号線選択信号が非アクティブに維持されることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の表示パネル駆動回路。

20

**【請求項 5】**

最終段以外の段となる単位回路には、セット用トランジスタと、出力用トランジスタと、リセット用トランジスタと、クリア用トランジスタと、容量とが含まれ、該単位回路においては、

セット用トランジスタの制御端子にスタートパルス信号あるいは前段の信号線選択信号が入力され、

リセット用トランジスタの制御端子に次段の信号線選択信号が入力され、

クリア用トランジスタの制御端子にクリア信号が入力され、

出力用トランジスタの第 1 導通端子にクロック信号が入力され、

出力用トランジスタの第 2 導通端子が容量の第 1 電極に接続され、セット用トランジスタの制御端子および第 1 導通端子が接続されるとともに、セット用トランジスタの第 2 導通端子が出力用トランジスタの制御端子と容量の第 2 電極とに接続され、

30

リセット用トランジスタの第 1 導通端子が出力用トランジスタの制御端子に接続されるとともに、リセット用トランジスタの第 2 導通端子が定電位源に接続され、

クリア用トランジスタの第 1 導通端子が出力用トランジスタの制御端子に接続されるとともに、クリア用トランジスタの第 2 導通端子が定電位源に接続され、

出力用トランジスタの第 2 導通端子が出力端子となっていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の表示パネル駆動回路。

**【請求項 6】**

最終段以外の段となる単位回路に、さらに電位供給用トランジスタが含まれ、

電位供給用トランジスタの第 1 導通端子が出力用トランジスタの第 2 導通端子に接続されるとともに、電位供給用トランジスタの第 2 導通端子が定電位源に接続され、

電位供給用トランジスタの制御端子に、次段の信号線選択信号が入力されることを特徴とする請求項 5 記載の表示パネル駆動回路。

40

**【請求項 7】**

最終段以外の段となる単位回路に、さらに電位供給用トランジスタが含まれ、

電位供給用トランジスタの第 1 導通端子が出力用トランジスタの第 2 導通端子に接続されるとともに、電位供給用トランジスタの第 2 導通端子が定電位源に接続され、

電位供給用トランジスタの制御端子に、上記クロック信号とは異なるクロック信号が入力されることを特徴とする請求項 5 記載の表示パネル駆動回路。

50

**【請求項 8】**

最終段となる単位回路には、セット用トランジスタと、出力用トランジスタと、クリア用トランジスタと、容量とが含まれ、該単位回路においては、  
セット用トランジスタの制御端子に前段の信号線選択信号が入力され、  
クリア用トランジスタの制御端子にクリア信号が入力され、  
出力用トランジスタの第1導通端子にクロック信号が入力され、  
出力用トランジスタの第2導通端子が容量の第1電極に接続され、セット用トランジスタの制御端子および第1導通端子が接続されるとともに、セット用トランジスタの第2導通端子が出力用トランジスタの制御端子と容量の第2電極とに接続され、  
クリア用トランジスタの第1導通端子が出力用トランジスタの制御端子に接続されるとともに、クリア用トランジスタの第2導通端子が定電位源に接続され、  
出力用トランジスタの第2導通端子が出力端子となっていることを特徴とする請求項5記載の表示パネル駆動回路。

10

**【請求項 9】**

最終段となる単位回路に、さらに電位供給用トランジスタが含まれ、  
電位供給用トランジスタの制御端子に上記クリア信号が入力され、  
電位供給用トランジスタの第1導通端子が出力用トランジスタの第2導通端子に接続されるとともに、電位供給用トランジスタの第2導通端子が定電位源に接続されていることを特徴とする請求項8記載の表示パネル駆動回路。

**【請求項 10】**

上記クリア信号を、各段からの信号線選択信号が非アクティブとなるタイミングあるいは非アクティブとなっているタイミングでアクティブとすることを特徴とする請求項5に記載の表示パネル駆動回路。

20

**【請求項 11】**

上記シフトレジスタには互いに位相が異なる複数のクロック信号が供給され、これらクロック信号それぞれが異なる単位回路の出力用トランジスタに入力されることを特徴とする請求項5に記載の表示パネル駆動回路。

**【請求項 12】**

上記複数のクロック信号それぞれの非アクティブ期間が一部重なっていることを特徴とする請求項11に記載の表示パネル駆動回路。

30

**【請求項 13】**

上記複数のクロック信号に、位相が半周期分ずれた2つのクロック信号が含まれることを特徴とする請求項11に記載の表示パネル駆動回路。

**【請求項 14】**

クリア信号がアクティブとなる期間に、上記複数のクロック信号の少なくとも1つを非アクティブとすることを特徴とする請求項11記載の表示パネル駆動回路。

**【請求項 15】**

セット用トランジスタ、出力用トランジスタ、リセット用トランジスタ、およびクリア用トランジスタそれぞれがNチャンネルトランジスタであることを特徴とする請求項5記載の表示パネル駆動回路。

40

**【請求項 16】**

セット用トランジスタ、出力用トランジスタ、リセット用トランジスタ、クリア用トランジスタ、および電位供給用トランジスタそれぞれがNチャンネルトランジスタであることを特徴とする請求項6または7に記載の表示パネル駆動回路。

**【請求項 17】**

上記各トランジスタの第1導通端子がドレイン端子で、第2導通端子がソース端子であることを特徴とする請求項15に記載の表示パネル駆動回路。

**【請求項 18】**

上記各トランジスタの第1導通端子がソース端子で、第2導通端子がドレイン端子であることを特徴とする請求項5に記載の表示パネル駆動回路。

50

**【請求項 19】**

上記同期信号を用いて上記クロック信号およびスタートパルス信号並びにクリア信号を生成するタイミングコントローラを備えることを特徴とする請求項 1 に記載の表示パネル駆動回路。

**【請求項 20】**

上記同期信号の異常を検出する異常検出回路を備え、この検出結果に基づいて上記クリア信号が生成されることを特徴とする請求項 1 に記載の表示パネル駆動回路。

**【請求項 21】**

請求項 1 に記載の表示パネル駆動回路と液晶パネルとを備えることを特徴とする液晶表示装置。

10

**【請求項 22】**

上記シフトレジスタが液晶パネルにモノリシックに形成されていることを特徴とする請求項 21 に記載の液晶表示装置。

**【請求項 23】**

上記液晶パネルはアモルファスシリコンを用いて形成されていることを特徴とする請求項 22 に記載の液晶表示装置。

**【請求項 24】**

上記液晶パネルは多結晶シリコンを用いて形成されていることを特徴とする請求項 22 に記載の液晶表示装置

**【請求項 25】**

同期信号が入力される表示パネル駆動回路に設けられ、信号線選択信号を生成する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタであって、

20

上記単位回路には、クロック信号と、スタートパルス信号あるいは他段で生成された信号線選択信号と、クリア信号とが入力され、

該クリア信号は、少なくとも同期信号に異常がある場合にアクティブとなり、それ以後は、次の垂直走査期間の開始時までパルスが出力されないことを特徴とするシフトレジスタ。

**【請求項 26】**

請求項 25 に記載のシフトレジスタがモノリシックに形成されていることを特徴とする液晶パネル。

30

**【請求項 27】**

信号線選択信号を生成する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタを備え、同期信号が入力される表示装置を駆動するための、表示装置の駆動方法であって、

上記単位回路に、クロック信号と、スタートパルス信号あるいは他段で生成された信号線選択信号と、クリア信号とを入力し、

該クリア信号を少なくとも同期信号に異常がある場合にアクティブとすることで、それ以後次の垂直走査期間の開始時まで上記シフトレジスタからパルスを出力させないことを特徴とする表示装置の駆動方法。

40

**【請求項 28】**

信号線選択信号を出力する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタを備えた表示パネル駆動回路であって、

最終段となる単位回路に、他段で生成された信号線選択信号と、クロック信号と、クリア信号とが入力され、

最終段からパルスが出力された後に上記クリア信号がアクティブとなることによって最終段からの信号線選択信号が非アクティブに維持されることを特徴とする表示パネル駆動回路。

50

**【請求項 29】**

最終段以外の段となる単位回路には、セット用トランジスタと、出力用トランジスタと、リセット用トランジスタと、容量とが含まれ、該単位回路においては、セット用トランジスタの制御端子にスタートパルス信号あるいは前段の信号線選択信号が入力され、

リセット用トランジスタの制御端子に次段の信号線選択信号が入力され、

出力用トランジスタの第1導通端子にクロック信号が入力され、

出力用トランジスタの第2導通端子が容量の第1電極に接続され、セット用トランジスタの制御端子および第1導通端子が接続されるとともに、セット用トランジスタの第2導通端子が出力用トランジスタの制御端子と容量の第2電極とに接続され、

リセット用トランジスタの第1導通端子が出力用トランジスタの制御端子に接続されるとともに、リセット用トランジスタの第2導通端子が定電位源に接続され、

出力用トランジスタの第2導通端子が出力端子となっていることを特徴とする請求項28に記載の表示パネル駆動回路。

**【請求項 30】**

最終段となる単位回路には、セット用トランジスタと、出力用トランジスタと、クリア用トランジスタと、容量とが含まれ、該単位回路においては、

セット用トランジスタの制御端子に前段の信号線選択信号が入力され、

クリア用トランジスタの制御端子にクリア信号が入力され、

出力用トランジスタの第1導通端子にクロック信号が入力され、

出力用トランジスタの第2導通端子が容量の第1電極に接続され、セット用トランジスタの制御端子および第1導通端子が接続されるとともに、セット用トランジスタの第2導通端子が出力用トランジスタの制御端子と容量の第2電極とに接続され、

クリア用トランジスタの第1導通端子が出力用トランジスタの制御端子に接続されるとともに、クリア用トランジスタの第2導通端子が定電位源に接続され、

出力用トランジスタの第2導通端子が出力端子となっていることを特徴とする請求項28に記載の表示パネル駆動回路。

**【請求項 31】**

最終段となる単位回路に、さらに電位供給用トランジスタが含まれ、

電位供給用トランジスタの制御端子に上記クリア信号が入力され、

電位供給用トランジスタの第1導通端子が出力用トランジスタの第2導通端子に接続されるとともに、電位供給用トランジスタの第2導通端子が定電位源に接続されていることを特徴とする請求項30に記載の表示パネル駆動回路。

**【請求項 32】**

入力されるクロック信号を用いてパルスを出力する単位回路が段状に接続されてなるとともに各段から順次パルスが出力されるシフトレジスタを備え、各単位回路における上記クロック信号の入力端子と出力端子との間に出力用トランジスタを有し、外部から同期信号が入力される表示パネル駆動回路であって、

少なくとも上記同期信号に異常がある場合にアクティブとなるクリア信号が生成されて各単位回路に入力され、

上記クリア信号がアクティブになると、それ以降の垂直走査期間の開始時まで各単位回路の出力用トランジスタがOFFされることを特徴とする表示パネル駆動回路。

**【請求項 33】**

上記クリア信号は、同期信号の異常に関わりなく最終段となる単位回路からパルスが出力された後にもアクティブとなり、それ以降の垂直走査期間の開始時まで各単位回路の出力用トランジスタがOFFされることを特徴とする請求項32に記載の表示パネル駆動回路。

**【請求項 34】**

上記クリア信号は、上記パルスが出力されていないタイミングあるいはパルスが非アクティブ化するタイミングでアクティブとなることを特徴とする請求項32に記載の表示パ

10

20

30

40

50

ネル駆動回路。

【請求項 35】

表示パネル駆動回路に設けられ、信号線選択信号を生成する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタであって、

最終段となる単位回路に、他段で生成された信号線選択信号と、クロック信号と、クリア信号とが入力され、

最終段からパルスが出力された後に上記クリア信号がアクティブとなることによって最終段からの信号線選択信号が非アクティブに維持されることを特徴とするシフトレジスタ。

10

【請求項 36】

信号線選択信号を生成する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタを備える表示装置を駆動するための、表示装置の駆動方法であって、

最終段となる単位回路に、他段で生成された信号線選択信号と、クロック信号と、クリア信号とを入力し、

最終段からパルスが出力された後に上記クリア信号をアクティブとすることによって最終段からの信号線選択信号を非アクティブに維持することを特徴とする表示装置の駆動方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、表示パネル駆動回路およびこれに用いられるシフトレジスタに関する。

【背景技術】

【0002】

図40は、液晶表示装置のゲートドライバに用いられる従来のシフトレジスタを示す回路図である。同図に示されるように、従来のシフトレジスタ100は、複数のシフト回路（単位回路） $s c 1$ 、 $s c 2$ 、 $\dots$ 、 $s c m$ 、 $s c d$ が段状に接続されてなり、シフト回路 $s c i$  ( $i = 1 \cdot 2 \cdot 3 \cdot \dots \cdot m$ )は、入力用のノード $q f i \cdot q b i \cdot C K A i$ および出力用のノード $q o i$ を備え、ダミーのシフト回路 $s c d$ は、入力用のノード $q f d \cdot C K A d$ および出力用のノード $q o d$ を備える。

30

【0003】

ここで、シフト回路 $s c 1$ については、ノード $q f 1$ がゲートスタートパルス信号 $G S P$ の出力端に接続され、ノード $q b 1$ がシフト回路 $s c 2$ のノード $q o 2$ に接続され、ノード $C K A 1$ が、第1クロック信号が供給される第1クロックライン $C K L 1$ に接続され、ノード $q o 1$ からゲートオンパルス信号（信号線選択信号） $g 1$ が出力される。また、シフト回路 $s c i$  ( $i = 2 \cdot 3 \cdot \dots \cdot m - 1$ )については、ノード $q f i$ がシフト回路 $s c (i - 1)$ のノード $q o (i - 1)$ に接続され、ノード $q b i$ がシフト回路 $s c (i + 1)$ のノード $q o (i + 1)$ に接続され、ノード $C K A i$ が、上記第1クロックライン $C K L 1$ または第2クロック信号が供給される第2クロックライン $C K L 2$ に接続され、ノード $q o i$ からゲートオンパルス信号（信号線選択信号） $g i$ が出力される。なお、 $i$ が奇数であれば、ノード $C K A i$ は第1クロックライン $C K L 1$ に接続され、 $i$ が偶数であれば、ノード $C K A i$ は第2クロックライン $C K L 2$ に接続される。

40

【0004】

そして、シフト回路 $s c m$ については、ノード $q f m$ がシフト回路 $s c (m - 1)$ のノード $q o (m - 1)$ に接続され、ノード $q b m$ がダミーのシフト回路 $s c d$ のノード $q o d$ に接続され、ノード $C K A m$ が、第1クロックライン $C K L 1$ または第2クロックライン $C K L 2$ に接続され、ノード $q o m$ からゲートオンパルス信号（信号線選択信号） $g m$ が出力される。なお、 $m$ が奇数であれば、ノード $C K A i$ は第1クロックライン $C K L 1$ に接続され、 $m$ が偶数であれば、ノード $C K A i$ は第2クロックライン $C K L 2$ に接続さ

50

れる。また、ダミーのシフト回路  $s c d$  については、ノード  $q f d$  がシフト回路  $s c m$  のノード  $q o m$  に接続され、ノード  $C K A d$  が、第 1 クロックライン  $C K L 1$  または第 2 クロックライン  $C K L 2$  に接続される。なお、 $m$  が奇数であれば、ノード  $C K A d$  が第 2 クロックライン  $C K L 2$  に接続され、 $m$  が偶数であれば、ノード  $C K A d$  が第 1 クロックライン  $C K L 1$  に接続される。

#### 【 0 0 0 5 】

図 4 1 は、垂直同期信号  $V S Y N C$ 、ゲートスタートパルス信号  $G S P$ 、第 1 クロック信号  $C K 1$ 、第 2 クロック信号  $C K 2$ 、ゲートオンパルス信号  $g i$  ( $i = 1 \sim m$ ) およびノード  $q o d$  の出力の各波形を示すタイミングチャートである。なお、第 1 クロック信号  $C K 1$  および第 2 クロック信号  $C K 2$  はともに、1 周期における「H (High)」(アクティブ) 期間が 1 クロック期間、「L (Low)」(非アクティブ) 期間が 1 クロック期間であり、 $C K 1$  および  $C K 2$  の一方がアクティブ化する(立ち上がる)のに同期して他方が非アクティブ化する(立ち下がる)。

10

#### 【 0 0 0 6 】

初段であるシフト回路  $s c 1$  では、ゲートスタートパルス信号  $G S P$  のアクティブ化によるノード  $q f 1$  の電位上昇によってノード  $q o 1$  に第 1 クロック信号  $C K 1$  が出力される状態となり、ゲートオンパルス信号  $g 1$  はアクティブとなる。また、次段であるシフト回路  $s c 2$  では、ゲートオンパルス信号  $g 1$  のアクティブ化によるノード  $q f 2$  の電位上昇によってノード  $q o 2$  に第 2 クロック信号  $C K 2$  が出力される状態となり、ゲートオンパルス信号  $g 2$  はアクティブとなる。そして、シフト回路  $s c 1$  では、ゲートオンパルス信号  $g 2$  のアクティブ化によって、ノード  $q o 1$  に第 1 クロック信号  $C K 1$  が出力されない状態となるとともにノード  $q o 1$  に低電位側電源電位が供給される。このため、ゲートオンパルス信号  $g 1$  は一定期間アクティブとなった後に非アクティブ化し、パルス  $P 1$  が形成される。

20

#### 【 0 0 0 7 】

すなわち、シフト回路  $s c i$  ( $i = 2 \cdot 3 \cdot \dots \cdot m - 1$ ) では、ゲートオンパルス信号  $g (i - 1)$  のアクティブ化によるノード  $q f i$  の電位上昇によってノード  $q o i$  にクロック信号 ( $C K 1$  あるいは  $C K 2$ ) が出力される状態となり、ゲートオンパルス信号  $g i$  はアクティブとなる。また、次段であるシフト回路  $s c (i + 1)$  では、ゲートオンパルス信号  $g i$  のアクティブ化によるノード  $q f (i + 1)$  の電位上昇によってノード  $q o (i + 1)$  にクロック信号 ( $C K 2$  あるいは  $C K 1$ ) が出力される状態となり、ゲートオンパルス信号  $g (i + 1)$  はアクティブとなる。そして、シフト回路  $s c i$  では、ゲートオンパルス信号  $g (i + 1)$  のアクティブ化によって、ノード  $q o i$  にクロック信号が出力されない状態となるとともにノード  $q o i$  に低電位側電源電位が供給される。このため、ゲートオンパルス信号  $g i$  は一定期間アクティブ化した後に非アクティブ化し、パルス  $P i$  が形成される。

30

#### 【 0 0 0 8 】

また、シフト回路  $s c m$  では、ゲートオンパルス信号  $g (m - 1)$  のアクティブ化によるノード  $q f m$  の電位上昇によってノード  $q o m$  にクロック信号 ( $C K 1$  あるいは  $C K 2$ ) が出力される状態となり、ゲートオンパルス信号  $g m$  はアクティブとなる。また、次段であるダミーのシフト回路  $s c d$  では、ゲートオンパルス信号  $g m$  のアクティブ化によるノード  $q f d$  の電位上昇によってノード  $q o d$  にクロック信号 ( $C K 2$  あるいは  $C K 1$ ) が出力される(ノード  $q o d$  の電位が上昇する)状態となる。そして、シフト回路  $s c m$  では、ノード  $q o d$  の電位上昇によって、ノード  $q o m$  にクロック信号が出力されない状態となるとともにノード  $q o m$  に低電位側電源電位が供給される。このため、ゲートオンパルス信号  $g m$  は一定期間アクティブ化した後に非アクティブ化し、パルス  $P m$  が形成される。

40

#### 【 0 0 0 9 】

このように、シフトレジスタ 1 0 0 では、各シフト回路からのゲートオンパルス信号が順に一定期間アクティブとなり、初段のシフト回路  $s c 1$  から最終段のシフト回路  $s c m$

50

まで順次パルスが出力されていく。なお、関連する公知文献として以下の特許文献 1 ~ 3 を挙げることができる。

【特許文献 1】日本国公開特許公報「特開 2001-273785 号公報（2001 年 10 月 5 日公開）」

【特許文献 2】日本国公開特許公報「特開 2006-24350 号公報（2006 年 1 月 26 日公開）」

【特許文献 3】日本国公開特許公報「特開 2007-114771 号公報（2007 年 5 月 10 日公開）」

【発明の開示】

【0010】

ここで、ゲートスタートパルス信号 G S P は垂直同期信号 V S Y N C のパルスが出力されるのに連動してアクティブ化すると、例えば図 42 のように、垂直同期信号 V S Y N C にノイズが発生すると、これに連動してゲートスタートパルス信号 G S P がアクティブ化し、2 つのシフト回路から同時にパルスが出力される（2 つのゲートオンパルス信号が同時にアクティブ化する）という異常が最終段まで続くおそれがある。また、水平同期信号 H S Y N C にノイズが発生した場合には、クロック信号が乱れ、例えばゲートオンパルス信号のパルス幅が小さくなるという異常が最終段まで続くおそれがある。

【0011】

このように、従来のシフトレジスタでは、垂直同期信号 V S Y N C や水平同期信号 H S Y N C あるいはデータイネイブル信号 D E 等の同期信号にノイズ等の異常があると、ゲートオンパルス信号の異常が最終段まで続いてしまい、パネル側では表示が乱れるとともに、パネル駆動側では電源に大きな負荷がかかるという問題があった。

【0012】

本発明では、同期信号（V S Y N C や H S Y N C あるいは D E ）に異常が生じた場合の表示乱れや電源への負荷増大を抑制しうる表示パネル駆動回路およびこれに用いられるシフトレジスタを提案する。

【0013】

また、従来のシフトレジスタでは、シフト回路 s c m（最終段）をリセットするためにシフト回路 s c d（ダミーの段）を設ける必要があり、これによってシフトレジスタの回路面積が大きくなってしまおうという問題もある。

【0014】

本発明では、シフトレジスタの回路面積を抑制しうる表示パネル駆動回路およびこれに用いられるシフトレジスタを提案する。

【0015】

本発明の表示パネル駆動回路は、信号線選択信号を出力する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタを備え、外部から同期信号が入力される表示パネル駆動回路であって、上記単位回路には、クロック信号と、スタートパルス信号あるいは他段で生成された信号線選択信号と、クリア信号とが入力され、該クリア信号は、少なくとも同期信号に異常がある場合にアクティブとなり、それ以後は、次の垂直走査期間の開始時まで上記シフトレジスタからパルスが出力されないことを特徴とする。

【0016】

また、本発明の表示パネル駆動回路は、入力されるクロック信号を用いてパルスを出力する単位回路が段状に接続されてなるとともに各段から順次パルスが出力されるシフトレジスタを備え、各単位回路における上記クロック信号の入力端子と出力端子との間に出力用トランジスタを有し、外部から同期信号が入力される表示パネル駆動回路であって、少なくとも上記同期信号に異常がある場合にアクティブとなるクリア信号が生成されて各単位回路に入力され、上記クリア信号がアクティブになると、それ以降の垂直走査期間の開始時まで各単位回路の出力用トランジスタが O F F されることを特徴とする。

【0017】

10

20

30

40

50

本発明の表示パネル駆動回路によれば、同期信号に異常があつてクリア信号がアクティブになると、それ以後はシフトレジスタからのパルス出力が停止する。したがって、表示乱れや電源への負荷増大を抑制することができる。

【0018】

表示パネル駆動回路では、上記同期信号に基づいて、クロック信号、スタートパルス信号およびクリア信号が生成される構成とすることもできる。

【0019】

表示パネル駆動回路では、上記同期信号には、垂直同期信号、水平同期信号、およびデータインベリブル信号の少なくとも1つが含まれる構成とすることもできる。

【0020】

本表示パネル駆動回路では、同期信号の異常に関わりなく最終段からのパルスが出力された後にも上記クリア信号がアクティブとなることによって、最終段からの信号線選択信号が非アクティブに維持される構成とすることもできる。

【0021】

本表示パネル駆動回路では、上記クリア信号は、同期信号の異常に関わりなく最終段となる単位回路からパルスが出力された後にもアクティブとなり、それ以降の垂直走査期間の開始時まで各単位回路の出力用トランジスタがOFFされる構成とすることもできる。

【0022】

本表示パネル駆動回路では、上記クリア信号は、上記パルスが出力されていないタイミングあるいはパルスが非アクティブ化するタイミングでアクティブとなる構成とすることもできる。

【0023】

本表示パネル駆動回路では、最終段以外の段となる単位回路には、セット用トランジスタと、出力用トランジスタと、リセット用トランジスタと、クリア用トランジスタと、容量とが含まれ、該単位回路においては、クリア用トランジスタの制御端子にクリア信号が入力され、リセット用トランジスタの制御端子に次段の信号線選択信号が入力され、セット用トランジスタの制御端子にスタートパルス信号あるいは前段の信号線選択信号が入力され、出力用トランジスタの第1導通端子にクロック信号が入力され、出力用トランジスタの第2導通端子が容量の第1電極に接続され、セット用トランジスタの制御端子および第1導通端子が接続されるとともに、セット用トランジスタの第2導通端子が出力用トランジスタの制御端子と容量の第2電極とに接続され、クリア用トランジスタの第1導通端子が出力用トランジスタの制御端子に接続されるとともに、クリア用トランジスタの第2導通端子が定電位源に接続され、リセット用トランジスタの第1導通端子が出力用トランジスタの制御端子に接続されるとともに、リセット用トランジスタの第2導通端子が定電位源に接続され、出力用トランジスタの第2導通端子が出力端子となっている構成とすることもできる。なお、本願では、トランジスタのソース端子およびドレイン端子の一方を第1導通端子、他方を第2導通端子と記しており、各トランジスタの設計によって、全トランジスタの第1導通端子がドレイン端子となる場合もあるし、全トランジスタの第1導通端子がソース端子となる場合もあるし、いずれかのトランジスタの第1導通端子がドレイン端子で残りのトランジスタの第1導通端子がソース端子となる場合もありうる。

【0024】

本表示パネル駆動回路では、最終段以外の段となる単位回路には、さらに電位供給用トランジスタが含まれ、電位供給用トランジスタの第1導通端子が出力用トランジスタの第2導通端子に接続されるとともに、電位供給用トランジスタの第2導通端子が定電位源に接続され、電位供給用トランジスタの制御端子に、次段の信号線選択信号が入力される構成とすることもできる。

【0025】

本表示パネル駆動回路では、最終段以外の段となる単位回路には、さらに電位供給用トランジスタが含まれ、電位供給用トランジスタの第1導通端子が出力用トランジスタの第

10

20

30

40

50

2 導通端子に接続されるとともに、電位供給用トランジスタの第 2 導通端子が定電位源に接続され、電位供給用トランジスタの制御端子に、上記クロック信号とは異なるクロック信号が入力される構成とすることもできる。

【 0 0 2 6 】

本表示パネル駆動回路では、最終段となる単位回路には、セット用トランジスタと、出力用トランジスタと、クリア用トランジスタと、容量とが含まれ、該単位回路においては、クリア用トランジスタの制御端子にクリア信号が入力され、セット用トランジスタの制御端子に前段の信号線選択信号が入力され、出力用トランジスタの第 1 導通端子にクロック信号が入力され、出力用トランジスタの第 2 導通端子が容量の第 1 電極に接続され、セット用トランジスタの制御端子および第 1 導通端子が接続されるとともに、セット用トランジスタの第 2 導通端子が出力用トランジスタの制御端子と容量の第 2 電極とに接続され、クリア用トランジスタの第 1 導通端子が出力用トランジスタの制御端子に接続されるとともに、クリア用トランジスタの第 2 導通端子が定電位源に接続され、出力用トランジスタの第 2 導通端子が出力端子となっている構成とすることもできる。

10

【 0 0 2 7 】

本表示パネル駆動回路では、最終段となる単位回路に、さらに電位供給用トランジスタが含まれ、電位供給用トランジスタの制御端子にクリア信号が入力され、電位供給用トランジスタの第 1 導通端子が出力用トランジスタの第 2 導通端子に接続されるとともに、電位供給用トランジスタの第 2 導通端子が定電位源に接続されている構成とすることもできる。

20

【 0 0 2 8 】

本表示パネル駆動回路では、上記クリア信号を、各段からの信号線選択信号が非アクティブとなるタイミングあるいは非アクティブとなっているタイミングでアクティブとする構成とすることもできる。

【 0 0 2 9 】

本表示パネル駆動回路では、上記シフトレジスタには互いに位相が異なる複数のクロック信号が供給され、これらクロック信号それぞれが異なる単位回路の出力用トランジスタに入力される構成とすることもできる。

【 0 0 3 0 】

本表示パネル駆動回路では、上記複数のクロック信号それぞれの非アクティブ期間が一部重なっている構成とすることもできる。

30

【 0 0 3 1 】

本表示パネル駆動回路では、上記複数のクロック信号に、位相が半周期分ずれた 2 つのクロック信号が含まれる構成とすることもできる。

【 0 0 3 2 】

本表示パネル駆動回路では、クリア信号がアクティブとなる期間に、上記複数のクロック信号の少なくとも 1 つを非アクティブとする構成とすることもできる。

【 0 0 3 3 】

本表示パネル駆動回路では、セット用トランジスタ、出力用トランジスタ、リセット用トランジスタ、およびクリア用トランジスタそれぞれが N チャネルトランジスタである構成とすることもできる。

40

【 0 0 3 4 】

本表示パネル駆動回路では、セット用トランジスタ、出力用トランジスタ、リセット用トランジスタ、クリア用トランジスタ、および電位供給用トランジスタそれぞれが N チャネルトランジスタである構成とすることもできる。

【 0 0 3 5 】

本表示パネル駆動回路では、第 1 導通端子がドレイン端子で、第 2 導通端子がソース端子である構成とすることもできる。

【 0 0 3 6 】

本表示パネル駆動回路では、第 1 導通端子がソース端子で、第 2 導通端子がドレイン端

50

子である構成とすることもできる。

【0037】

本表示パネル駆動回路では、上記同期信号が入力され、これを用いて上記クロック信号およびスタートパルス信号並びにクリア信号を生成するタイミングコントローラを備える構成とすることもできる。

【0038】

本表示パネル駆動回路では、上記同期信号の異常を検出する異常検出回路を備え、この検出結果に基づいて上記クリア信号が生成される構成とすることもできる。

【0039】

本液晶表示装置は、上記表示パネル駆動回路と液晶パネルとを備えることを特徴とする。

10

【0040】

本液晶表示装置では、上記シフトレジスタが液晶パネルにモノリシックに形成されている構成とすることもできる。

【0041】

本液晶表示装置では、上記液晶パネルはアモルファスシリコンを用いて形成されている構成とすることもできる。また、上記液晶パネルは多結晶シリコンを用いて形成されている構成とすることもできる。

【0042】

本シフトレジスタは、同期信号が入力される表示パネル駆動回路に設けられ、信号線選択信号を生成する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタであって、上記単位回路には、クロック信号と、スタートパルス信号あるいは他段で生成された信号線選択信号と、クリア信号とが入力され、該クリア信号は、少なくとも同期信号に異常がある場合にアクティブとなり、それ以後は、次の垂直走査期間の開始時までパルスが出力されないことを特徴とする。この場合、上記シフトレジスタがモノリシックに形成されている構成とすることもできる。

20

【0043】

本表示装置の駆動方法は、信号線選択信号を生成する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタを備え、同期信号が入力される表示装置を駆動するための、表示装置の駆動方法であって、上記単位回路に、クロック信号と、スタートパルス信号あるいは他段で生成された信号線選択信号と、クリア信号とを入力し、該クリア信号を少なくとも同期信号に異常がある場合にアクティブとすることで、それ以後次の垂直走査期間の開始時まで上記シフトレジスタからパルスを出力させないことを特徴とする。

30

【0044】

本表示パネル駆動回路は、信号線選択信号を出力する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタを備えた表示パネル駆動回路であって、最終段となる単位回路に、他段で生成された信号線選択信号と、クロック信号と、クリア信号とが入力され、最終段からパルスが出力された後に上記クリア信号がアクティブとなることにより最終段からの信号線選択信号が非アクティブに維持されることを特徴とする。

40

【0045】

本表示パネル駆動回路によれば、最終段（単位回路）でクリア信号によりリセットが可能となるため、従来のようなダミーの段（ダミーのシフト回路）が不要となり、シフトレジスタの回路面積を小さくすることができる。

【0046】

本表示パネル駆動回路では、最終段以外の段となる単位回路には、セット用トランジスタと、出力用トランジスタと、リセット用トランジスタと、容量とが含まれ、該単位回路

50

においては、セット用トランジスタの制御端子にスタートパルス信号あるいは前段の信号線選択信号が入力され、リセット用トランジスタの制御端子に次段の信号線選択信号が入力され、出力用トランジスタの第1導通端子にクロック信号が入力され、出力用トランジスタの第2導通端子が容量の第1電極に接続され、セット用トランジスタの制御端子および第1導通端子が接続されるとともに、セット用トランジスタの第2導通端子が出力用トランジスタの制御端子と容量の第2電極とに接続され、リセット用トランジスタの第1導通端子が出力用トランジスタの制御端子に接続されるとともに、リセット用トランジスタの第2導通端子が定電位源に接続され、出力用トランジスタの第2導通端子が出力端子となっている構成とすることもできる。

#### 【0047】

10

本表示パネル駆動回路では、最終段となる単位回路には、セット用トランジスタと、出力用トランジスタと、最終段のリセットのために設けられるクリア用トランジスタと、容量とが含まれ、該単位回路においては、セット用トランジスタの制御端子に前段の信号線選択信号が入力され、クリア用トランジスタの制御端子にクリア信号が入力され、出力用トランジスタの第1導通端子にクロック信号が入力され、出力用トランジスタの第2導通端子が容量の第1電極に接続され、セット用トランジスタの制御端子および第1導通端子が接続されるとともに、セット用トランジスタの第2導通端子が出力用トランジスタの制御端子と容量の第2電極とに接続され、クリア用トランジスタの第1導通端子が出力用トランジスタの制御端子に接続されるとともに、クリア用トランジスタの第2導通端子が定電位源に接続され、出力用トランジスタの第2導通端子が出力端子となっている構成とすることもできる。

20

#### 【0048】

本表示パネル駆動回路では、最終段となる単位回路に、さらに電位供給用トランジスタが含まれ、電位供給用トランジスタの制御端子にクリア信号が入力され、電位供給用トランジスタの第1導通端子が出力用トランジスタの第2導通端子に接続されるとともに、電位供給用トランジスタの第2導通端子が定電位源に接続されている構成とすることもできる。

#### 【0049】

本発明のシフトレジスタは、表示パネル駆動回路に設けられ、信号線選択信号を生成する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタであって、最終段となる単位回路に、他段で生成された信号線選択信号と、クロック信号と、クリア信号とが入力され、最終段からパルスが出力された後に上記クリア信号がアクティブとなることによって最終段からの信号線選択信号が非アクティブに維持されることを特徴とする。

30

#### 【0050】

本発明の表示装置の駆動方法は、信号線選択信号を生成する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタを備える表示装置を駆動するための、表示装置の駆動方法であって、最終段となる単位回路に、他段で生成された信号線選択信号と、クロック信号と、クリア信号とを入力し、最終段からパルスが出力された後に上記クリア信号をアクティブとすることによって最終段からの信号線選択信号を非アクティブに維持することを特徴とする。

40

#### 【0051】

本発明の表示パネル駆動回路によれば、同期信号に異常があってクリア信号がアクティブになるとそれ以後はシフトレジスタからのパルス出力が停止する。したがって、表示乱れや電源への負荷増大を抑制することができる。

#### 【0052】

また、本発明の表示パネル駆動回路によれば、最終段(単位回路)でクリア信号によるリセットが可能となるため、従来のようなダミーの段(ダミーのシフト回路)が不要とな

50

り、シフトレジスタの回路面積を小さくすることができる。

【図面の簡単な説明】

【0053】

【図1】本シフトレジスタの構成を示すブロック図である。

【図2】(a)(b)はシフトレジスタの単位回路構成を示す回路図である。

【図3】本シフトレジスタの構成を示す回路図である。

【図4】図3のシフトレジスタの動作(同期信号に異常がない場合)を示すタイミングチャートである。

【図5】図3のシフトレジスタの動作(同期信号に異常がある場合)を示すタイミングチャートである。

10

【図6】本シフトレジスタの他の構成を示す回路図である。

【図7】図6のシフトレジスタの動作(同期信号に異常がない場合)を示すタイミングチャートである。

【図8】本シフトレジスタの他の構成を示す回路図である。

【図9】図8のシフトレジスタの動作(同期信号に異常がない場合)を示すタイミングチャートである。

【図10】図8のシフトレジスタの動作(同期信号に異常がある場合)を示すタイミングチャートである。

【図11】本シフトレジスタの他の構成を示す回路図である。

【図12】図11のシフトレジスタの動作(同期信号に異常がない場合)を示すタイミングチャートである。

20

【図13】本シフトレジスタの他の構成を示す回路図である。

【図14】図13のシフトレジスタの動作(同期信号に異常がない場合)を示すタイミングチャートである。

【図15】図13のシフトレジスタの動作(同期信号に異常がある場合)を示すタイミングチャートである。

【図16】図13のシフトレジスタの動作(同期信号に異常がある場合)を示すタイミングチャートである。

【図17】貫通電流を説明する回路図である。

【図18】図13のシフトレジスタの動作(同期信号に異常がある場合)を示すタイミングチャートである。

30

【図19】本シフトレジスタの他の構成を示すブロック図である。

【図20】(a)(b)は本シフトレジスタの単位回路構成を示す回路図である。

【図21】図19のシフトレジスタの動作(同期信号に異常がない場合)を示すタイミングチャートである。

【図22】図19のシフトレジスタの動作(同期信号に異常がある場合)を示すタイミングチャートである。

【図23】実施の形態1・2の液晶表示装置の構成を示すブロック図である。

【図24】実施の形態3・4の液晶表示装置の構成を示すブロック図である。

【図25】実施の形態3のシフトレジスタの構成を示すブロック図である。

40

【図26】(a)(b)は実施の形態3のシフトレジスタの単位回路構成を示す回路図である。

【図27】実施の形態3のシフトレジスタの構成を示す回路図である。

【図28】図27のシフトレジスタの動作を示すタイミングチャートである。

【図29】本シフトレジスタの他の構成を示す回路図である。

【図30】図29のシフトレジスタの動作を示すタイミングチャートである。

【図31】実施の形態3のシフトレジスタの別構成を示す回路図である。

【図32】図31のシフトレジスタの動作を示すタイミングチャートである。

【図33】実施の形態3のシフトレジスタの別構成を示す回路図である。

【図34】図33のシフトレジスタの動作(同期信号に異常がない場合)を示すタイミン

50

グチャートである。

【図 3 5】実施の形態 3 のシフトレジスタの別構成を示す回路図である。

【図 3 6】図 3 5 のシフトレジスタの動作（同期信号に異常がない場合）を示すタイミングチャートである。

【図 3 7】実施の形態 4 のシフトレジスタの構成を示すブロック図である。

【図 3 8】（ a ）（ b ）は実施の形態 4 のシフトレジスタの単位回路構成を示す回路図である。

【図 3 9】図 3 7 のシフトレジスタの動作を示すタイミングチャートである。

【図 4 0】従来のフトレジスタの構成を示すブロック図である。

【図 4 1】図 4 0 のシフトレジスタの動作を示すタイミングチャートである。

10

【図 4 2】図 4 0 のシフトレジスタの動作を示すタイミングチャートである。

【符号の説明】

【 0 0 5 4 】

- 1 液晶表示装置（表示装置）
- 1 0 1 0 a ~ 1 0 g シフトレジスタ
- G 1 ~ G m ゲートオンパルス（信号線選択信号）
- S C 1 ~ S C m シフト回路（単位回路）
- G S P ゲートスタートパルス
- C K 1 第 1 クロック信号
- C K 2 第 2 クロック信号
- C L R クリア信号
- T r a セット用トランジスタ
- T r b 出力用トランジスタ
- T r c クリア用トランジスタ
- T r d リセット用トランジスタ
- T r e L o w 電位供給用トランジスタ

20

【発明を実施するための最良の形態】

【 0 0 5 5 】

本発明の実施の一形態について図 1 ~ 図 3 9 に基づいて説明すれば以下のとおりである。

30

【 0 0 5 6 】

図 2 3 は、本液晶表示装置の構成を示すブロック図である。同図に示すように、本液晶表示装置 1 は、液晶パネル 3、ゲートドライバ 5、ソースドライバ 6、タイミングコントローラ 7、データ処理回路 8、および異常検出回路 9 を備える。ゲートドライバ 5 にはシフトレジスタ 1 0 およびレベルシフタ 4 が設けられ、ゲートドライバ 5、タイミングコントローラ 7 および異常検出回路 9 によって液晶パネル駆動回路 1 1 が構成されている。なお、本実施の形態では、レベルシフタ 4 はゲートドライバ 5 に含まれる構成としているが、ゲートドライバ 5 の外部に設けられていてもよい。

【 0 0 5 7 】

本液晶パネル 3 には、ゲートドライバ 5 によって駆動される走査信号線 1 6、ソースドライバ 6 によって駆動されるデータ信号線 1 5、画素 P、保持容量配線（図示せず）等が設けられるとともに、シフトレジスタ 1 0 がモノリシックに形成されている。各画素 P には、走査信号線 1 6 およびデータ信号線 1 5 に接続されたトランジスタ（T F T）と、該トランジスタに接続された画素電極とが設けられる。なお、各画素のトランジスタやシフトレジスタのトランジスタの形成には、アモルファスシリコンや多結晶シリコンあるいは C G シリコン等が用いられている。

40

【 0 0 5 8 】

タイミングコントローラ 7 には、液晶表示装置 1 の外部から、同期信号である、垂直同期信号 V S Y N C、水平同期信号 H S Y N C、およびデータイネイブル信号 D E が入力される。なお、これら同期信号（V S Y N C、H S Y N C、および D E）は異常検出回路 9

50

にも入力される。また、データ処理回路 8 には、液晶表示装置 1 の外部から、映像データ (RGB デジタルデータ) が入力される。異常検出回路 9 は、同期信号の異常を検出するものであり、同期信号に異常があればエラー信号をタイミングコントローラ 7 に送信する。なお、異常検出回路 9 での同期信号の異常検出には、例えば、「日本国公開特許公報 2003-167545」記載の手法を用いることができる。タイミングコントローラ 7 は、各同期信号および異常検出回路 9 からのエラー信号を用いて、複数の源クロック信号 (ck1・ck2 等) と、源クリア信号 (clr) と、源ゲートスタートパルス信号 (gsp) とを生成する。なお、源クロック信号 (ck1・ck2 等)、源クリア信号 (clr)、および源ゲートスタートパルス信号 (gsp) はレベルシフト 6 によってレベルシフトされ、それぞれクロック信号 (CK1・CK2 等)、クリア信号 (CLR)、およびゲートスタートパルス信号 (GSP) となる。また、タイミングコントローラ 7 は、入力された同期信号 (VSYNC、HSYNC、および DE) に基づいて、データ処理回路 8 に制御信号を出力するとともに、ソースドライバ 6 にソースタイミング信号を出力する。

#### 【0059】

クロック信号 (CKA・CKB 等)、クリア信号 (CLR)、およびゲートスタートパルス信号 (GSP) はシフトレジスタ 10 に入力される。クリア信号 (CLR) は、同期信号 (VSYNC、HSYNC、および DE) に異常がない場合に「L」(非アクティブ)、異常がある場合に「H」(アクティブ) となり、また、同期信号の異常に関係なく最終段からパルスが出力された後に「H」(アクティブ) となる信号である。シフトレジスタ 10 は、これらの信号 (CKA・CKB 等、CLR、GSP) を用いてゲートオンパルス信号を生成し、これを液晶パネル 3 の走査信号線に出力する。シフトレジスタ 10 はゲートオンパルス信号を生成するシフト回路が段状に接続されてなり、各段 (シフト回路) のゲートオンパルス信号が順に一定期間アクティブ化し、初段から最終段まで順次パルス (オンパルス) が出力されていく。そして、液晶パネル 3 では、該パルスによって、走査信号線が順次選択される。

#### 【0060】

データ処理回路 8 は、映像データに所定の処理を施し、タイミングコントローラ 7 からの制御信号に基づいてデータ信号をソースドライバ 6 に出力する。ソースドライバ 6 は、データ処理回路 8 からのデータ信号とタイミングコントローラ 7 からのソースタイミング信号とを用いて信号電位を生成し、これを液晶パネル 3 のデータ信号線に出力する。この信号電位は各画素のトランジスタを介して該画素の画素電極に書き込まれる。

#### 【0061】

##### 〔実施の形態 1〕

本実施の形態 1 にかかるシフトレジスタ 10 a の構成を図 1 に示す。同図に示されるように、シフトレジスタ 10 a は、複数のシフト回路 (単位回路) SC1、SC2、・・・SCm が段状に接続されてなり、シフト回路 SCi (i = 1・2・3・・・m - 1) は、入力用のノード Qfi・Qbi・CKAi・CLi および出力用のノード Qoi を備え、シフト回路 SCm は、入力用のノード Qfm・CKAm・CLm および出力用のノード Qom を備える。

#### 【0062】

ここで、シフト回路 SC1 については、ノード Qf1 が、レベルシフト (図 23 参照) の GSP 出力端 RO に接続され、ノード Qb1 がシフト回路 SC2 のノード Qo2 に接続され、ノード CKA1 が、第 1 クロック信号が供給される第 1 クロックライン CKL1 に接続され、ノード CL1 が、クリア信号 (CLR) が供給されるクリアライン CLR1 に接続され、ノード Qo1 からゲートオンパルス信号 (信号線選択信号) G1 が出力される。

#### 【0063】

また、シフト回路 SCi (i = 2 ~ m - 1) については、ノード Qfi がシフト回路 SC(i - 1) のノード Qo(i - 1) に接続され、ノード Qbi がシフト回路 SC(i + 1) のノード Qo(i + 1) に接続され、i が奇数であれば、ノード CKAi は第 1 クロ

10

20

30

40

50

ックラインCKL1に接続され、 $i$ が偶数であれば、ノードCKAiは第2クロックラインCKL2に接続され、ノードCLiが上記クリアラインCLRに接続され、ノードQoiからゲートオンパルス信号(信号線選択信号)Giが出力される。

【0064】

そして、シフト回路SCmについては、ノードQfmがシフト回路SC(m-1)のノードQo(m-1)に接続され、ノードCKAmが第2クロックラインCKL2に接続され、ノードCLmが上記クリアラインCLRに接続され、ノードQomからゲートオンパルス信号(信号線選択信号)Gmが出力される。

【0065】

図2(a)はSCi( $i=1\sim m-1$ )の具体的構成を示す回路図である。図2(a)に示すようにSCi( $i=1\sim m-1$ )は、セット用トランジスタTra、出力用トランジスタTrb、クリア用トランジスタTrc、リセット用トランジスタTrd、および容量Cを含む。なお、トランジスタTra~TrdはそれぞれNチャネルトランジスタである。

10

【0066】

ここで、Trbのソース端子が容量Cの第1電極に接続され、Traのゲート端子(制御端子)およびドレイン端子が接続されるとともに、Traのソース端子が、Trbのゲート端子と容量Cの第2電極とに接続される。また、Trcのドレイン端子がTrbのゲート端子に接続されるとともにTrcのソース端子が低電位側電源Vssに接続される。また、Trdのドレイン端子がTrbのゲート端子に接続されるとともにTrdのソース端子が低電位側電源Vssに接続される。そして、Traのゲート端子はノードQfiに接続され、Trbのドレイン端子はノードCKAiに接続され、Trcのゲート端子はノードCLiに接続され、Trdのゲート端子はノードQbiに接続され、Trbのソース端子がノードQoiに接続されている。なお、Traのソース端子、容量Cの第2電極、およびTrbのゲート端子の接続点をノードnetAiとしている。

20

【0067】

また、図2(b)はSCmの具体的構成を示す回路図である。図2(b)に示すようにSCmは、セット用トランジスタTra、出力用トランジスタTrb、クリア用トランジスタTrc、および容量Cを含む。なお、トランジスタTra~TrcはそれぞれNチャネルトランジスタであり、容量Cは寄生容量でも構わない。ここで、Trbのソース端子が容量Cの第1電極に接続され、Traのゲート端子(制御端子)およびドレイン端子が接続されるとともに、Traのソース端子が、Trbのゲート端子と容量Cの第2電極とに接続される。また、Trcのドレイン端子がTrbのゲート端子に接続されるとともにTrcのソース端子が低電位側電源Vssに接続される。そして、Traのゲート端子はノードQfmに接続され、Trbのドレイン端子はノードCKAmに接続され、Trcのゲート端子はノードCLmに接続され、Trbのソース端子がノードQomに接続されている。なお、Traのソース端子、容量Cの第2電極、およびTrbのゲート端子の接続点をノードnetAmとしている。

30

【0068】

なお、シフト回路SCi( $i=1\sim m-1$ )の各ノード(Qfi・Qbi・CKAi・CLi・Qoi)、およびシフト回路SCmの各ノード(Qfm・CKAm・CLm・Qom)の接続先は図1のとおりであり、本シフトレジスタ10a全体の具体的構成は図3のようになっている。

40

【0069】

以下に、図3に示すシフトレジスタ10aの動作を説明する。図4は、同期信号に異常がない場合の、垂直同期信号VSYNC、ゲートスタートパルス信号GSP、第1クロック信号CK1、第2クロック信号CK2、ゲートオンパルス信号Gi( $i=1\sim m$ )、およびクリア信号(CLR)の各波形を示すタイミングチャートである。なお、第1クロック信号CK1および第2クロック信号CK2はともに、1周期における「H」(アクティブ)期間が1クロック期間、「L」(非アクティブ)期間が3クロック期間であり、CK

50

1 および C K 2 の一方が非アクティブ化する（立ち下がる）のに 1 クロック期間遅れて他方がアクティブ化する（立ち上がる）ようになっている。もっとも、これは第 1 および第 2 クロック信号 C K 1 , C K 2 の一例であって、両クロック信号がともに「L」となる期間があれば、「H」期間および「L」期間は任意に設定することができる。

【0070】

まず、図 4 の t 0 では、G S P のアクティブ化によって Q f 1 の電位が上昇すると、S C 1 の T r a がオンして n e t A 1 の電位が「L」から「H」になる。このため、S C 1 の T r b もオンして Q o 1 に C K 1 が出力される。すなわち、G 1 は「L」のままである。t 0 から 1 クロック期間経過後の t 1 では、G S P が立ち下がって（非アクティブ化して）「L」となるが、S C 1 の容量 C によって n e t A 1 の電位は「H」に維持され、S C 1 の T r b もオンしたままである。

10

【0071】

t 1 から 1 クロック期間経過後の t 2 では、C K 1 が立ち上がる（アクティブ化する）ため、G 1 もアクティブ化して「H」となる。このとき、n e t A 1 の電位は容量 C によって「H」よりも高い電位に昇圧される。一方、G 1 のアクティブ化によって Q f 2 の電位が上昇すると、S C 2 の T r a がオンして n e t A 2 の電位が「L」から「H」になる。このため、S C 2 の T r b もオンして Q o 2 に C K 2 が出力される。すなわち、G 2 は「L」のままである。

【0072】

t 2 から 1 クロック期間経過後の t 3 では、C K 1 が立ち下がって「L」となり、n e t A 1 の電位も「H」に戻るが、S C 1 の T r b はオンしたままであるため、Q o 1 に C K 1 が出力され続ける。すなわち、G 1 は「H」から「L」に非アクティブ化し、それが維持される。なお、G 1 が非アクティブ化して「L」となっても、S C 2 の容量 C によって n e t A 2 の電位は「H」に維持され、S C 2 の T r b はオンしたままである。

20

【0073】

t 3 から 1 クロック期間経過後の t 4 では、C K 2 が立ち上がるため、G 2 もアクティブ化して「H」となる。このとき、n e t A 2 の電位は容量 C によって「H」よりも高い電位に昇圧される。一方、G 2 のアクティブ化によって Q b 1 の電位が上昇すると、S C 1 の T r d がオンして n e t A 1 が V s s に接続され、その電位が「H」から「L」になる。このため、S C 1 の T r b がオフして Q o 1 には C K 1 が出力されなくなる。

30

【0074】

t 4 から 1 クロック期間経過後の t 5 では、C K 2 が立ち下がって「L」となり、n e t A 2 の電位も「H」に戻るが、S C 2 の T r b はオンしたままであるため、Q o 2 に C K 2 が出力され続ける。すなわち、G 2 は「H」から「L」に非アクティブ化し、これを維持する。

【0075】

さらに、t x では、C K 2 が立ち上がるため、G m もアクティブ化して「H」となる。このとき、n e t A m の電位は容量 C によって「H」よりも高い電位に昇圧される。

【0076】

t x から 1 クロック期間経過後の t y では、C K 2 が立ち下がって「L」となり、n e t A m の電位も「H」に戻るが、S C m の T r b はオンしたままであるため、Q o m に C K 2 が出力され続ける。すなわち、G m は「H」から「L」に非アクティブ化し、これを維持する。

40

【0077】

t y から 1 クロック期間経過後の t z では、C K 2 は「L」のままであるが、クリア信号 C L R がアクティブ化して「H」となるため、S C m の T r c がオンして n e t A m が V s s に接続され、その電位が「H」から「L」になる。このため、S C m の T r b がオフして Q o m には C K 2 が出力されなくなる。

【0078】

なお、図 4 では、t z（G m の立ち下がりから 1 クロック期間経過後）でクリア信号 C

50

LRをアクティブ化しているがこれに限定されない。例えば、 $t_y \sim t_z$ の間( $t_y$ 含まず)にクリア信号CLRをアクティブ化してもよい。ただし、 $t_y$ ではクリア信号CLRをアクティブ化しないようにする。こうすると、 $G_m$ が「H」(アクティブ)状態を維持してしまうからである。

【0079】

このように、同期信号に異常がない場合、シフトレジスタ10aでは、各シフト回路SC $i$ ( $i = 1 \sim m$ )からのゲートオンパルス信号 $G_i$ が順に一定期間アクティブとなり、初段のシフト回路SC1から最終段のシフト回路SC $m$ まで順次パルスP1~P $m$ が出力されていく。

【0080】

図5は、同期信号に異常が生じた場合の、垂直同期信号VSYNC、ゲートスタートパルス信号GSP、第1クロック信号CK1、第2クロック信号CK2、ゲートオンパルス信号 $G_i$ ( $i = 1 \sim m$ )、およびクリア信号(CLR)の各波形を示すタイミングチャートである。

【0081】

図5の $t_0 \sim t_5$ までのシフトレジスタ10aの動作は図4と同様である。 $t_5$ では、CK2が立ち下がって「L」となり、netA2の電位も「H」に戻るが、SC2のTrbはオンしたままであるため、Qo2にCK2が出力され続ける。すなわち、G2は「H」から「L」に非アクティブ化し、これを維持する。 $t_5$ では、G2が非アクティブ化して「L」となるが、SC3の容量CによってnetA3の電位は「H」に維持され、SC3のTrbもオンしたままである。

【0082】

ここで、図5のように、 $t_3 \sim t_4$ の間に垂直同期信号VSYNCにノイズが生じ、意図せぬタイミング( $t_4$ )でGSPがアクティブ化した場合、 $t_6$ でクリア信号CLRがアクティブ化して「H」となり、SC3のTrcがオンしてnetA3がVssに接続され、その電位が「H」から「L」になる。このため、SC3のTrbがオフしてQo3にCK1が出力されなくなり、G3は「L」(非アクティブ)に維持される。すなわち、SC3からはパルスは出力されず、これより後段となるSC4、SC5...SC $m$ でもTrbがオンせず、パルスは出力されない。したがって、当該垂直走査期間では、パルスの出力はSC2(パルスP2)で停止し、次の垂直走査期間の開始時( $T_0$ )まで、各段からのゲートオンパルス信号は「L」(非アクティブ)を維持する。

【0083】

なお、図5では $t_6$ でクリア信号CLRをアクティブ化しているがこれに限定されない。 $t_5 \sim t_6$ の間にクリア信号CLRをアクティブ化してもよい。

【0084】

このように、上記実施の形態によれば、同期信号(VSYNCやHSYNCあるいはDE)に異常が生じた場合にはクリア信号CLRが「H」(アクティブ)となり、それ以後は、次の垂直走査期間の開始時までシフトレジスタからのパルスの出力が停止されるため、表示乱れや電源への負荷増大を抑制することができる。

【0085】

なお、図3のシフトレジスタ10aを図6に示すシフトレジスタ10bのように構成することもできる。シフトレジスタ10bでは、シフトレジスタ10aの構成に加えて、最終段のシフト回路SC $m$ に、NチャンネルのLow電位供給用トランジスタTreが設けられている。トランジスタTreは、そのソース端子が低電位側電源に接続され、そのドレイン端子がノードQomに接続され、そのゲート端子がノードCLmに接続されている。

【0086】

シフトレジスタ10bの構成によれば、クリア信号CLRのアクティブ化によって $G_m$ を立ち下げることが可能となる。したがって、図7に示すように、 $t_y$ において、 $G_m$ の立ち下り(非アクティブ化)に同期してクリア信号CLRをアクティブ化することができる。

10

20

30

40

50

## 【 0 0 8 7 】

また、図3のシフトレジスタ10aを図8に示すシフトレジスタ10cのように構成することもできる。シフトレジスタ10cでは、シフトレジスタ10aの構成に加えて、シフト回路SC<sub>i</sub> (i = 1 ~ m - 1) に、NチャンネルのLow電位供給用トランジスタT<sub>re</sub>が設けられている。トランジスタT<sub>re</sub>は、そのソース端子が低電位側電源に接続され、そのドレイン端子がノードQ<sub>o i</sub>に接続され、そのゲート端子がノードQ<sub>b i</sub>に接続されている。

## 【 0 0 8 8 】

以下に、図8に示すシフトレジスタ10cの動作を説明する。図9は、同期信号に異常がない場合の、垂直同期信号VSYNC、ゲートスタートパルス信号GSP、第1クロック信号CK1、第2クロック信号CK2、ゲートオンパルス信号G<sub>i</sub> (i = 1 ~ m)、およびクリア信号(CLR)の各波形を示すタイミングチャートである。なお、第1クロック信号CK1および第2クロック信号CK2はともに、1周期における「H」(アクティブ)期間が1クロック期間、「L」(非アクティブ)期間が1クロック期間であり、CK1およびCK2の一方が立ち下がるのに同期して他方が立ち上がるようになっている。

## 【 0 0 8 9 】

まず、図9のt<sub>0</sub>では、GSPのアクティブ化によってQ<sub>f 1</sub>の電位が上昇すると、SC1のT<sub>ra</sub>がオンしてnet A1の電位が「L」から「H」になる。このため、SC1のT<sub>rb</sub>もオンしてQ<sub>o 1</sub>にCK1が出力される。すなわち、G1は「L」のままである。

## 【 0 0 9 0 】

t<sub>0</sub>から1クロック期間経過後のt<sub>1</sub>では、GSPが立ち下がって(非アクティブ化して)「L」となるが、SC1の容量Cによってnet A1の電位は下がらず、SC1のT<sub>rb</sub>もオンしたままである。すなわち、CK1の立ち上がりによってG1もアクティブ化して「H」となる。このとき、net A1の電位は容量Cによって「H」よりも高い電位に昇圧される。一方、G1のアクティブ化によってQ<sub>f 2</sub>の電位が上昇すると、SC2のT<sub>ra</sub>がオンしてnet A2の電位が「L」から「H」になる。このため、SC2のT<sub>rb</sub>もオンしてQ<sub>o 2</sub>にCK2が出力され、G2は「L」のまま維持される。

## 【 0 0 9 1 】

t<sub>1</sub>から1クロック期間経過後のt<sub>2</sub>では、CK2が立ち上がるため、G2もアクティブ化して「H」となる。このとき、net A2の電位は容量Cによって「H」よりも高い電位に昇圧される。一方、G2のアクティブ化によってQ<sub>b 1</sub>の電位が上昇すると、SC1のT<sub>rd</sub>がオンしてnet A1がV<sub>ss</sub>に接続され、その電位が「H」から「L」になる。このため、SC1のT<sub>rb</sub>がオフしてQ<sub>o 1</sub>にはCK1が出力されなくなる。また、G2のアクティブ化によってQ<sub>b 1</sub>の電位が上昇すると、SC1のT<sub>re</sub>がオンしてQ<sub>o 1</sub>がV<sub>ss</sub>に接続され、その電位が「H」から「L」になる。すなわち、G1は「H」から「L」に非アクティブ化し、それが維持される。なお、G1が非アクティブ化して「L」となっても、SC2の容量Cによってnet A2の電位は維持され、SC2のT<sub>rb</sub>はオンしたままである。また、G2のアクティブ化によってQ<sub>f 3</sub>の電位が上昇すると、SC3のT<sub>ra</sub>がオンしてnet A3の電位が「L」から「H」になる。このため、SC3のT<sub>rb</sub>もオンしてQ<sub>o 3</sub>にCK1が出力される。すなわち、G3は「L」のままである。

## 【 0 0 9 2 】

t<sub>2</sub>から1クロック期間経過後のt<sub>3</sub>では、CK1が立ち上がるため、G3もアクティブ化して「H」となる。一方、G3のアクティブ化によってQ<sub>b 2</sub>の電位が上昇すると、SC2のT<sub>rd</sub>がオンしてnet A2がV<sub>ss</sub>に接続され、その電位が「H」から「L」になる。このため、SC2のT<sub>rb</sub>がオフしてQ<sub>o 2</sub>にはCK2が出力されなくなる。また、G3のアクティブ化によってQ<sub>b 2</sub>の電位が上昇すると、SC2のT<sub>re</sub>がオンしてQ<sub>o 2</sub>がV<sub>ss</sub>に接続され、その電位が「H」から「L」になる。すなわち、G2は「H」から「L」に非アクティブ化し、それが維持される。

10

20

30

40

50

## 【0093】

さらに、 $t_x$ では、 $CK_2$ が立ち上がるため、 $G_m$ もアクティブ化して「H」となる。このとき、 $net A_m$ の電位は容量 $C$ によって「H」よりも高い電位に昇圧される。

## 【0094】

$t_x$ から1クロック期間経過後の $t_y$ では、 $CK_2$ が立ち下がって「L」となり、 $net A_m$ の電位も「H」に戻るが、 $SC_m$ の $Trb$ はオンしたままであるため、 $Q_{om}$ に $CK_2$ が出力され続ける。すなわち、 $G_m$ は「H」から「L」に非アクティブ化し、これを維持する。

## 【0095】

$t_y$ から1クロック期間経過後の $t_z$ では、クリア信号 $CLR$ がアクティブ化して「H」となるため、 $SC_m$ の $Trc$ がオンして $net A_m$ が $V_{ss}$ に接続され、その電位が「H」から「L」になる。このため、 $SC_m$ の $Trb$ がオフして $Q_{om}$ には $CK_2$ が出力されなくなる。

## 【0096】

なお、図9では、 $t_z$  ( $G_m$ の立ち下がりから1クロック期間経過後)でクリア信号 $CLR$ をアクティブ化しているがこれに限定されない。例えば、 $t_y \sim t_z$ の間 ( $t_y$ 含まず)にクリア信号 $CLR$ をアクティブ化してもよい。ただし、 $t_y$ ではクリア信号 $CLR$ をアクティブ化しないようにする。こうすると、 $G_m$ が「H」(アクティブ)状態を維持してしまうからである。

## 【0097】

このように、同期信号に異常がない場合、シフトレジスタ10bでは、各シフト回路 $SC_i$  ( $i = 1 \sim m$ )からのゲートオンパルス信号 $G_i$ が順に一定期間アクティブとなり、初段のシフト回路 $SC_1$ から最終段のシフト回路 $SC_m$ まで順次パルスが出力されていく。

## 【0098】

図10は、同期信号に異常が生じた場合の、垂直同期信号 $VSYNC$ 、ゲートスタートパルス信号 $GSP$ 、第1クロック信号 $CK_1$ 、第2クロック信号 $CK_2$ 、ゲートオンパルス信号 $G_i$  ( $i = 1 \sim m$ )、およびクリア信号( $CLR$ )の各波形を示すタイミングチャートである。

## 【0099】

図10の $t_0 \sim t_3$ までのシフトレジスタ10cの動作は図9と同様である。ここで、図10のように、 $t_2 \sim t_3$ の間に垂直同期信号 $VSYNC$ にノイズが生じ、意図せぬタイミング( $t_3$ )で $GSP$ がアクティブ化した場合、 $t_4$ でクリア信号 $CLR$ がアクティブ化して「H」となり、 $SC_3$ の $Trc$ がオンして $net A_3$ が $V_{ss}$ に接続され、その電位が「H」から「L」になる。このため、 $SC_3$ の $Trb$ がオフして $Q_{o3}$ には $CK_1$ が出力されなくなり、 $G_3$ は「L」(非アクティブ)に維持される。すなわち、 $SC_3$ からはパルスが出力されず、これより後段となる $SC_4$ 、 $SC_5 \dots SC_m$ でも $Trb$ がオンせず、パルスは出力されない。したがって、当該垂直走査期間では、パルスの出力は $SC_2$ で停止し、次の垂直走査期間の開始時( $T_0$ )まで、各段からのゲートオンパルス信号は「L」(非アクティブ)を維持する。

## 【0100】

なお、図10では $t_4$ でクリア信号 $CLR$ をアクティブ化しているがこれに限定されない。 $t_5$ でクリア信号 $CLR$ をアクティブ化してもよい。

## 【0101】

なお、図8のシフトレジスタ10cを図11に示すシフトレジスタ10dのように構成することもできる。シフトレジスタ10dでは、シフトレジスタ10cの構成に加えて、最終段のシフト回路 $SC_m$ に、 $N$ チャンネルの $Low$ 電位供給用トランジスタ $Tr_e$ が設けられている。トランジスタ $Tr_e$ は、そのソース端子が低電位側電源に接続され、そのドレイン端子がノード $Q_{om}$ に接続され、そのゲート端子がノード $CL_m$ に接続されている。

10

20

30

40

50

## 【 0 1 0 2 】

シフトレジスタ 1 0 d の構成によれば、クリア信号 C L R のアクティブ化によって G m を立ち下げることが可能となる。したがって、図 1 2 に示すように、t y において、G m の立ち下り（非アクティブ化）に同期してクリア信号 C L R をアクティブ化することができる。

## 【 0 1 0 3 】

また、図 3 のシフトレジスタ 1 0 a を図 1 3 に示すシフトレジスタ 1 0 e のように構成することもできる。シフトレジスタ 1 0 e では、シフトレジスタ 1 0 a の構成に加えて、シフト回路 S C i ( i = 1 ~ m ) に、N チャンネルの L o w 電位供給用トランジスタ T r e が設けられている。トランジスタ T r e は、そのソース端子が低電位側電源に接続され、そのドレイン端子がノード Q o i に接続され、そのゲート端子が、第 1 クロックライン C K L 1 あるいは第 2 クロックライン C K L 2 に接続される。なお、i が奇数であれば、シフト回路 S C i のトランジスタ T r e のゲート端子は第 2 クロックライン C K L 2 に接続され、i が偶数であれば、トランジスタ T r e のゲート端子は第 1 クロックライン C K L 1 に接続される。

## 【 0 1 0 4 】

以下に、図 1 3 に示すシフトレジスタ 1 0 e の動作を説明する。図 1 4 は、同期信号に異常がない場合の、垂直同期信号 V S Y N C、ゲートスタートパルス信号 G S P、第 1 クロック信号 C K 1、第 2 クロック信号 C K 2、ゲートオンパルス信号 G i ( i = 1 ~ m )、およびクリア信号 ( C L R ) の各波形を示すタイミングチャートである。なお、第 1 クロック信号 C K 1 および第 2 クロック信号 C K 2 はともに、1 周期における「H」（アクティブ）期間が 1 クロック期間、「L」（非アクティブ）期間が 1 クロック期間であり、C K 1 および C K 2 の一方が立ち下がるのに同期して他方が立ち上がるようになっている。

## 【 0 1 0 5 】

まず、図 1 4 の t 0 では、G S P のアクティブ化によって Q f 1 の電位が上昇すると、S C 1 の T r a がオンして n e t A 1 の電位が「L」から「H」になる。このため、S C 1 の T r b もオンして Q o 1 に C K 1 が出力される。

## 【 0 1 0 6 】

t 0 から 1 クロック期間経過後の t 1 では、G S P が立ち下がって（非アクティブ化して）「L」となるが、S C 1 の容量 C によって n e t A 1 の電位は下がらず、S C 1 の T r b もオンしたままである。このため、C K 1 の立ち上がりによって G 1 もアクティブ化して「H」となる。このとき、n e t A 1 の電位は容量 C によって「H」よりも高い電位に昇圧される。一方、G 1 のアクティブ化によって Q f 2 の電位が上昇すると、S C 2 の T r a がオンして n e t A 2 の電位が「L」から「H」になる。このため、S C 2 の T r b もオンして Q o 2 に C K 2 が出力される。すなわち、G 2 は「L」のままである。

## 【 0 1 0 7 】

t 1 から 1 クロック期間経過後の t 2 では、C K 2 が立ち上がるため、G 2 もアクティブ化して「H」となる。このとき、n e t A 2 の電位は容量 C によって「H」よりも高い電位に昇圧される。一方、G 2 のアクティブ化によって Q b 1 の電位が上昇すると、S C 1 の T r d がオンして n e t A 1 が V s s に接続され、その電位が「H」から「L」になる。このため、S C 1 の T r b がオフして Q o 1 には C K 1 が出力されなくなる。また、t 2 では、C K 2 が立ち上がるため、S C 1 の T r e がオンして Q o 1 が V s s に接続され、その電位が「H」から「L」になる。このため、G 1 は「H」から「L」に非アクティブ化し、それが維持される。なお、G 1 が非アクティブ化して「L」となっても、S C 2 の容量 C によって n e t A 2 の電位は維持され、S C 2 の T r b はオンしたままである。また、G 2 のアクティブ化によって Q f 3 の電位が上昇すると、S C 3 の T r a がオンして n e t A 3 の電位が「L」から「H」になる。このため、S C 3 の T r b もオンして Q o 3 に C K 1 が出力される。すなわち、G 3 は「L」のままである。

## 【 0 1 0 8 】

10

20

30

40

50

t<sub>2</sub>から1クロック期間経過後のt<sub>3</sub>では、CK<sub>1</sub>が立ち上がるため、G<sub>3</sub>もアクティブ化して「H」となる。一方、G<sub>3</sub>のアクティブ化によってQ<sub>b2</sub>の電位が上昇すると、SC<sub>2</sub>のTr<sub>d</sub>がオンしてnet A<sub>2</sub>がV<sub>ss</sub>に接続され、その電位が「H」から「L」になる。このため、SC<sub>2</sub>のTr<sub>b</sub>がオフしてQ<sub>o2</sub>にはCK<sub>2</sub>が出力されなくなる。また、t<sub>3</sub>では、CK<sub>1</sub>が立ち上がるため、SC<sub>2</sub>のTr<sub>e</sub>がオンしてQ<sub>o2</sub>がV<sub>ss</sub>に接続され、その電位が「H」から「L」になる。このため、G<sub>2</sub>は「H」から「L」に非アクティブ化し、それが維持される。

【0109】

なお、シフトレジスタ10eでは、t<sub>4</sub>~t<sub>5</sub>およびt<sub>6</sub>~t<sub>7</sub>では、CK<sub>2</sub>が「H」となっているため、SC<sub>1</sub>のTr<sub>e</sub>がオンしてQ<sub>o1</sub>がV<sub>ss</sub>に接続され、G<sub>1</sub>を改めて「L」に落とす(いわゆる「L」引きする)ことができる。同様に、t<sub>5</sub>~t<sub>6</sub>では、CK<sub>1</sub>が「H」となっているため、SC<sub>2</sub>のTr<sub>e</sub>がオンしてQ<sub>o2</sub>がV<sub>ss</sub>に接続され、G<sub>2</sub>を改めて「L」に落とす(「L」引きする)ことができる。

10

【0110】

さらに、t<sub>x</sub>では、CK<sub>2</sub>が立ち上がるため、G<sub>m</sub>もアクティブ化して「H」となる。このとき、net A<sub>m</sub>の電位は容量Cによって「H」よりも高い電位に昇圧される。

【0111】

t<sub>x</sub>から1クロック期間経過後のt<sub>y</sub>では、クリア信号CLRがアクティブ化して「H」となるため、SC<sub>m</sub>のTr<sub>c</sub>がオンしてnet A<sub>m</sub>がV<sub>ss</sub>に接続され、その電位が「L」に落ちる。このため、SC<sub>m</sub>のTr<sub>b</sub>がオフしてQ<sub>om</sub>にはCK<sub>2</sub>が出力されなくなる。そして、t<sub>y</sub>ではCK<sub>1</sub>が立ち上がるため、SC<sub>m</sub>のTr<sub>e</sub>がオンしてQ<sub>om</sub>がV<sub>ss</sub>に接続される。このため、G<sub>m</sub>は非アクティブ化して「L」となる。

20

【0112】

なお、図14では、t<sub>y</sub>でクリア信号CLRをアクティブ化しているがこれに限定されない。例えば、t<sub>y</sub>~t<sub>z</sub>の間(t<sub>y</sub>・t<sub>z</sub>含む)にクリア信号CLRをアクティブ化してもよい。

【0113】

このように、同期信号に異常がない場合、シフトレジスタ10eでは、各シフト回路SC<sub>i</sub>(i=1~m)からのゲートオンパルス信号G<sub>i</sub>が順に一定期間アクティブとなり、初段のシフト回路SC<sub>1</sub>から最終段のシフト回路SC<sub>m</sub>まで順次パルスが出力されていく。

30

【0114】

図15は、同期信号に異常が生じた場合の、垂直同期信号VSYNC、ゲートスタートパルス信号GSP、第1クロック信号CK<sub>1</sub>、第2クロック信号CK<sub>2</sub>、ゲートオンパルス信号G<sub>i</sub>(i=1~m)、およびクリア信号(CLR)の各波形を示すタイミングチャートである。

【0115】

図15のt<sub>0</sub>~t<sub>3</sub>までのシフトレジスタ10bの動作は図14と同様である。ここで、図15のように、t<sub>1</sub>~t<sub>2</sub>の間に垂直同期信号VSYNCにノイズが生じ、意図せぬタイミング(t<sub>2</sub>)でGSPがアクティブ化した場合、t<sub>3</sub>でクリア信号CLRがアクティブ化して「H」となり、SC<sub>3</sub>のTr<sub>c</sub>がオンしてnet A<sub>3</sub>がV<sub>ss</sub>に接続され、その電位が「H」から「L」になる。このため、SC<sub>3</sub>のTr<sub>b</sub>がオフしてQ<sub>o3</sub>にはCK<sub>1</sub>が出力されなくなり、G<sub>3</sub>は「L」(非アクティブ)に維持される。すなわち、SC<sub>3</sub>からはパルスが出力されず、これより後段となるSC<sub>4</sub>、SC<sub>5</sub>...SC<sub>m</sub>でもTr<sub>b</sub>がオンせず、パルスは出力されない。したがって、当該垂直走査期間では、パルスの出力はSC<sub>2</sub>で停止し、次の垂直走査期間の開始時(T<sub>0</sub>)まで、各段からのゲートオンパルス信号は「L」(非アクティブ)を維持する。

40

【0116】

この場合でもt<sub>4</sub>~t<sub>5</sub>およびt<sub>6</sub>~t<sub>7</sub>では、CK<sub>2</sub>が「H」となっているため、SC<sub>1</sub>のTr<sub>e</sub>がオンしてQ<sub>o1</sub>がV<sub>ss</sub>に接続され、G<sub>1</sub>を改めて「L」に落とす(いわ

50

ゆる「L」引きする)ことができる。同様に、 $t_5 \sim t_6$ では、CK1が「H」となっているため、SC2のTreがオンしてQo2がVssに接続され、G2を改めて「L」に落とす(「L」引きする)ことができる。

#### 【0117】

なお、図15では $t_3$ でクリア信号CLRをアクティブ化しているがこれに限定されない。 $t_3 \sim t_4$ ( $t_4 \cdot t_5$ 含む)でクリア信号CLRをアクティブ化してもよい。例えば、 $t_3$ および $t_4$ の間でクリア信号CLRをアクティブ化した場合、図16のようになる。すなわち、 $t_a$ では、SC3のTrcがオンしてnetA3がVssに接続され、その電位が「H」から「L」になる。このため、SC3のTrbがオフしてQo3にはCK1が出力されなくなり、G3は「H」(アクティブ)を維持する。また、 $t_a$ では、SC4のTrcがオンしてnetA4がVssに接続され、その電位が「H」から「L」になる。このため、SC4のTrbがオフしてQo4にはCK2が出力されなくなり、G4は「L」(非アクティブ)を維持する。なお、 $t_4$ ではCK2が立ち上がるため、SC3のTreがオンしてQo3がVssに接続される。このため、G3は非アクティブ化して「L」となる。

10

#### 【0118】

図16の場合には、 $t_a \sim t_4$ の間に図17の矢印で示す経路を通してCKL1からVssに貫通電流が流れ、電源電圧に負担をかけるおそれがある。そこで、クリア信号CLRを $t_a$ でアクティブ化するような場合には、図18に示すように、クリア信号CLRが「H」(アクティブ)となっている期間にCK1を「L」に落とすことで、図17のような貫通電流を防止することができる。

20

#### 【0119】

##### 〔実施の形態2〕

本実施の形態2にかかる液晶パネルの構成を図19に示す。同図に示されるように、本液晶パネルには、パネルの左端にシフトレジスタ10fが、パネル右端に10gが設けられている。シフトレジスタ10fは複数のシフト回路SCi( $i = 1, 3, 5 \dots 2n + 1$ )が段状に接続されてなり、シフト回路SCi( $i = 2, 4, 6 \dots 2n$ )が段状に接続されてなる。シフト回路SCi( $i = 1 \cdot 2 \cdot 3 \dots 2n - 2$ )は、入力用のノードQfi・Qbi・CKAi・CKBi・CLiおよび出力用のノードQoiを備え、シフト回路SC( $2n - 1$ )は、入力用のノードQf( $2n - 1$ )・CKA( $2n - 1$ )・CKB( $2n - 1$ )・CL( $2n - 1$ )および出力用のノードQo( $2n - 1$ )を備える。また、シフト回路SC( $2n$ )は、入力用のノードQf( $2n$ )・CKA( $2n$ )・CKB( $2n$ )・CL( $2n$ )および出力用のノードQo( $2n$ )を備える。

30

#### 【0120】

ここで、シフト回路SC1については、ノードQf1が、レベルシフタ(図23参照)のGSP1の出力端RO1に接続され、ノードQb1がシフト回路SC3のノードQo3に接続され、ノードCKA1が、第1クロック信号が供給される第1クロックラインCKL1に接続され、ノードCKB1が、第3クロック信号が供給される第3クロックラインCKL3に接続され、ノードCL1が、第1クリア信号(CLR1)が供給される第1クリアラインCLR1に接続され、ノードQo1からゲートオンパルス信号(信号線選択信号)G1が出力される。

40

#### 【0121】

また、シフト回路SC2については、ノードQf2が、レベルシフタのGSP2出力端RO2に接続され、ノードQb2がシフト回路SC4のノードQo4に接続され、ノードCKA2が、第2クロック信号が供給される第2クロックラインCKL2に接続され、ノードCKB2が、第4クロック信号が供給される第4クロックラインCKL4に接続され、ノードCL2が、第2クリア信号(CLR2)が供給される第2クリアラインCLR2に接続され、ノードQo2からゲートオンパルス信号(信号線選択信号)G2が出力される。

#### 【0122】

50

また、シフト回路  $SC_i$  ( $i = 3 \sim 2n - 2$ ) については、ノード  $Q_{fi}$  がシフト回路  $SC_{(i-2)}$  のノード  $Q_{o(i-2)}$  に接続され、ノード  $Q_{bi}$  がシフト回路  $SC_{(i+2)}$  のノード  $Q_{o(i+2)}$  に接続され、 $i$  が奇数であれば、ノード  $CL_i$  が第1クリアライン  $CLRL_1$  に接続され、 $i$  が偶数であれば、ノード  $CL_i$  が第2クリアライン  $CLRL_2$  に接続される。また、 $i$  が4の倍数+1であれば、ノード  $CKA_i$  は第1クロックライン  $CKL_1$  に接続されるとともにノード  $CKB_i$  は第3クロックライン  $CKL_3$  に接続され、 $i$  が4の倍数+2であれば、ノード  $CKA_i$  は第2クロックライン  $CKL_2$  に接続されるとともにノード  $CKB_i$  は第4クロックライン  $CKL_4$  に接続され、 $i$  が4の倍数+3であれば、ノード  $CKA_i$  は第3クロックライン  $CKL_1$  に接続されるとともに、ノード  $CKB_i$  は第1クロックライン  $CKL_3$  に接続され、 $i$  が4の倍数であれば、ノード  $CKA_i$  は第4クロックライン  $CKL_4$  に接続されるとともに、ノード  $CKB_i$  は第2クロックライン  $CKL_2$  に接続される。そして、ノード  $Q_{oi}$  からゲートオンパルス信号(信号線選択信号)  $G_i$  が出力される。

#### 【0123】

シフト回路  $SC_{(2n-1)}$  については、ノード  $Q_{f(2n-1)}$  がシフト回路  $SC_{(2n-3)}$  のノード  $Q_{o(2n-3)}$  に接続され、ノード  $CKA_{(2n-1)}$  が、第3クロックライン  $CKL_3$  に接続され、ノード  $CKB_{(2n-1)}$  が、第1クロックライン  $CKL_1$  に接続され、ノード  $CL_{(2n-1)}$  が第1クリアライン  $CLRL_1$  に接続され、ノード  $Q_{o(2n-1)}$  からゲートオンパルス信号(信号線選択信号)  $G_{(2n-1)}$  が出力される。

#### 【0124】

また、シフト回路  $SC_{(2n)}$  については、ノード  $Q_{f(2n)}$  がシフト回路  $SC_{(2n-2)}$  のノード  $Q_{o(2n-2)}$  に接続され、ノード  $CKA_{(2n)}$  が、第4クロックライン  $CKL_4$  に接続され、ノード  $CKB_{(2n)}$  が、第2クロックライン  $CKL_2$  に接続され、ノード  $CL_{(2n)}$  が第2クリアライン  $CLRL_2$  に接続され、ノード  $Q_{o(2n)}$  からゲートオンパルス信号(信号線選択信号)  $G_{(2n)}$  が出力される。

#### 【0125】

図20(a)は  $SC_i$  ( $i = 1 \sim 2n - 2$ ) の具体的構成を示す回路図である。図20(a)に示すように  $SC_i$  ( $i = 1 \sim 2n - 2$ ) は、セット用トランジスタ  $Tr_a$ 、出力用トランジスタ  $Tr_b$ 、クリア用トランジスタ  $Tr_c$ 、リセット用トランジスタ  $Tr_d$ 、Low 電位供給用トランジスタ  $Tr_e$ 、および容量  $C$  を含む。なお、トランジスタ  $Tr_a \sim Tr_e$  はそれぞれ  $N$  チャンネルトランジスタである。

#### 【0126】

ここで、 $Tr_b$  のソース端子が容量  $C$  の第1電極に接続され、 $Tr_a$  のゲート端子(制御端子)およびドレイン端子が接続されるとともに、 $Tr_a$  のソース端子が、 $Tr_b$  のゲート端子と容量  $C$  の第2電極とに接続される。また、 $Tr_c$  のドレイン端子が  $Tr_b$  のゲート端子に接続されるとともに  $Tr_c$  のソース端子が低電位側電源  $V_{ss}$  に接続される。また、 $Tr_d$  のドレイン端子が  $Tr_b$  のゲート端子に接続されるとともに  $Tr_d$  のソース端子が低電位側電源  $V_{ss}$  に接続される。また、 $Tr_e$  のドレイン端子が  $Tr_b$  のソース端子に接続されるとともに  $Tr_e$  のソース端子が低電位側電源  $V_{ss}$  に接続される。そして、 $Tr_a$  のゲート端子はノード  $Q_{fi}$  に接続され、 $Tr_b$  のドレイン端子はノード  $CKA_i$  に接続され、 $Tr_e$  のゲート端子はノード  $CKB_i$  に接続され、 $Tr_c$  のゲート端子はノード  $CL_i$  に接続され、 $Tr_d$  のゲート端子はノード  $Q_{bi}$  に接続され、 $Tr_b$  のソース端子がノード  $Q_{oi}$  に接続されている。なお、 $Tr_a$  のソース端子、容量  $C$  の第2電極および  $Tr_b$  のゲート端子の接続点をノード  $netA_i$  としている。

#### 【0127】

また、図20(b)は  $SC_j$  ( $j = (2n - 1)$  または  $2n$ ) の具体的構成を示す回路図である。図20(b)に示すように  $SC_j$  は、セット用トランジスタ  $Tr_a$ 、出力用トランジスタ  $Tr_b$ 、クリア用トランジスタ  $Tr_c$ 、電位供給用トランジスタ  $Tr_e$ 、および容量  $C$  を含む。なお、トランジスタ  $Tr_a \sim Tr_c \cdot Tr_e$  はそれぞれ  $N$  チャンネルトラ

10

20

30

40

50

レジスタである。

【0128】

ここで、 $T_{rb}$ のソース端子が容量 $C$ の第1電極に接続され、 $T_{ra}$ のゲート端子(制御端子)およびドレイン端子が接続されるとともに、 $T_{ra}$ のソース端子が、 $T_{rb}$ のゲート端子と容量 $C$ の第2電極とに接続される。また、 $T_{rc}$ のドレイン端子が $T_{rb}$ のゲート端子に接続されるとともに $T_{rc}$ のソース端子が低電位側電源 $V_{ss}$ に接続される。また、 $T_{re}$ のドレイン端子が $T_{rb}$ のソース端子に接続されるとともに $T_{re}$ のソース端子が低電位側電源 $V_{ss}$ に接続される。そして、 $T_{ra}$ のゲート端子はノード $Q_{fj}$ に接続され、 $T_{rb}$ のドレイン端子はノード $CKA_j$ に接続され、 $T_{re}$ のゲート端子はノード $CKB_j$ に接続され、 $T_{rc}$ のゲート端子はノード $CL_j$ に接続され、 $T_{rb}$ のソース端子がノード $Q_{oj}$ に接続されている。また、 $T_{ra}$ のソース端子、容量 $C$ の第2電極および $T_{rb}$ のゲート端子の接続点をノード $netA_j$ としている。

10

【0129】

なお、シフト回路 $SC_i$  ( $i = 1 \sim 2n - 2$ )の各ノード( $Q_{fi} \cdot Q_{bi} \cdot CKA_i \cdot CKB_i \cdot CL_i \cdot Q_{oi}$ )、およびシフト回路 $SC_j$  ( $j = (2n - 1)$ または $2n$ )の各ノード( $Q_{fj} \cdot CKA_j \cdot CKB_j \cdot CL_j \cdot Q_{oj}$ )の接続先は図19のとおりである。

【0130】

以下に、図19に示すシフトレジスタ $10f \cdot 10g$ の動作を説明する。図21は、同期信号に異常がない場合の、垂直同期信号 $VSYNC$ 、ゲートスタートパルス信号 $GSP1 \cdot GSP2$ 、第1クロック信号 $CK1$ 、第2クロック信号 $CK2$ 、第3クロック信号 $CK3$ 、第4クロック信号 $CK4$ 、ゲートオンパルス信号 $G_i$  ( $i = 1 \sim 2n$ )、第1クリア信号 $CLR1$ および第2クリア信号 $CLR2$ の各波形を示すタイミングチャートである。なお、 $CK1 \sim CK4$ はそれぞれ、1周期における「H」期間が1クロック期間、「L」期間が3クロック期間であり、 $CK1$ が立ち下がるのに同期して $CK2$ が立ち上がり、 $CK2$ が立ち下がるのに同期して $CK3$ が立ち上がり、 $CK3$ が立ち下がるのに同期して $CK4$ が立ち上がり、 $CK4$ が立ち下がるのに同期して $CK1$ が立ち上がるようになっている。また、 $GSP2$ の立ち上がりは $GSP1$ の立ち上がりから1クロック期間経過後となっている。

20

【0131】

まず、図21の $t_0$ では、 $GSP1$ のアクティブ化によって $Q_{f1}$ の電位が上昇すると、 $SC1$ の $T_{ra}$ がオンして $netA1$ の電位が「L」から「H」になる。このため、 $SC1$ の $T_{rb}$ もオンして $Q_{o1}$ に $CK1$ が出力される。すなわち、 $G1$ は「L」のままである。

30

【0132】

$t_0$ から1クロック期間経過後の $t_1$ では、 $GSP1$ が立ち下がって「L」となるが、 $SC1$ の容量 $C$ によって $netA1$ の電位は「H」に維持され、 $SC1$ の $T_{rb}$ もオンしたままである。また、 $t_1$ では、 $GSP2$ のアクティブ化によって $Q_{f2}$ の電位が上昇すると、 $SC2$ の $T_{ra}$ がオンして $netA2$ の電位が「L」から「H」になる。このため、 $SC2$ の $T_{rb}$ もオンして $Q_{o2}$ に $CK2$ が出力される。すなわち、 $G2$ は「L」のままである。

40

【0133】

$t_1$ から1クロック期間経過後の $t_2$ では、 $CK1$ が立ち上がるため、 $G1$ もアクティブ化して「H」となる。このとき、 $netA1$ の電位は容量 $C$ によって「H」よりも高い電位に昇圧される。一方、 $G1$ のアクティブ化によって $Q_{f3}$ の電位が上昇すると、 $SC3$ の $T_{ra}$ がオンして $netA3$ の電位が「L」から「H」になる。このため、 $SC3$ の $T_{rb}$ もオンして $Q_{o3}$ に $CK3$ が出力される。すなわち、 $G3$ は「L」のままである。また、 $t_2$ では、 $GSP2$ が立ち下がって「L」となるが、 $SC2$ の容量 $C$ によって $netA2$ の電位は「H」に維持され、 $SC2$ の $T_{rb}$ もオンしたままである。

【0134】

50

t 2 から 1 クロック期間経過後の t 3 では、C K 1 が立ち下がって「L」となり、n e t A 1 の電位も「H」に戻るが、S C 1 の T r b はオンしたままであるため、Q o 1 に C K 1 が出力され続ける。このため、G 1 は「H」から「L」に非アクティブ化し、それが維持される。なお、G 1 が非アクティブ化して「L」となっても、S C 3 の容量 C によって n e t A 3 の電位は「H」に維持され、S C 3 の T r b はオンしたままである。また、t 3 では、C K 2 が立ち上がるため、G 2 もアクティブ化して「H」となる。このとき、n e t A 2 の電位は容量 C によって「H」よりも高い電位に昇圧される。また、t 3 では、G 2 のアクティブ化によって Q f 4 の電位が上昇すると、S C 4 の T r a がオンして n e t A 4 の電位が「L」から「H」になる。このため、S C 4 の T r b もオンして Q o 4 に C K 4 が出力される。すなわち、G 4 は「L」のままである。

10

## 【 0 1 3 5 】

t 3 から 1 クロック期間経過後の t 4 では、C K 3 が立ち上がるため、G 3 もアクティブ化して「H」となる。このとき、n e t A 3 の電位は容量 C によって「H」よりも高い電位に昇圧される。一方、G 3 のアクティブ化によって Q b 1 の電位が上昇すると、S C 1 の T r d がオンして n e t A 1 が V s s に接続され、その電位が「H」から「L」になる。このため、S C 1 の T r b がオフして Q o 1 には C K 1 が出力されなくなる。また、t 4 では、C K 3 が立ち上がるため、S C 1 の T r e がオンして Q o 1 が V s s に接続され、その電位が「L」に落とされる ( G 1 が「L」引きされる )。また、t 4 では、C K 2 が立ち下がって「L」となり、n e t A 2 の電位も「H」に戻るが、S C 2 の T r b はオンしたままであるため、Q o 2 に C K 2 が出力され続ける。このため、G 2 は「H」から「L」に非アクティブ化し、それが維持される。

20

## 【 0 1 3 6 】

t 4 から 1 クロック期間経過後の t 5 では、C K 4 が立ち上がるため、G 4 もアクティブ化して「H」となる。このとき、n e t A 4 の電位は容量 C によって「H」よりも高い電位に昇圧される。一方、G 4 のアクティブ化によって Q b 2 の電位が上昇すると、S C 2 の T r d がオンして n e t A 2 が V s s に接続され、その電位が「H」から「L」になる。このため、S C 2 の T r b がオフして Q o 2 には C K 2 が出力されなくなる。また、t 5 では、C K 4 が立ち上がるため、S C 2 の T r e がオンして Q o 2 が V s s に接続され、その電位が「L」に落とされる ( G 2 が「L」引きされる )。また、t 5 では、C K 3 が立ち下がって「L」となり、n e t A 3 の電位も「H」に戻るが、S C 3 の T r b はオンしたままであるため、Q o 3 に C K 3 が出力され続ける。このため、G 3 は「H」から「L」に非アクティブ化し、それが維持される。

30

## 【 0 1 3 7 】

t 5 から 1 クロック期間経過後の t 6 では、C K 1 が立ち上がるため、G 5 もアクティブ化して「H」となる。このとき、n e t A 5 の電位は容量 C によって「H」よりも高い電位に昇圧される。一方、G 5 のアクティブ化によって Q b 3 の電位が上昇すると、S C 3 の T r d がオンして n e t A 3 が V s s に接続され、その電位が「H」から「L」になる。このため、S C 3 の T r b がオフして Q o 3 には C K 3 が出力されなくなる。また、t 6 では、C K 1 が立ち上がるため、S C 3 の T r e がオンして Q o 3 が V s s に接続され、その電位が「L」に落とされる ( G 3 が「L」引きされる )。また、t 6 では、C K 4 が立ち下がって「L」となり、n e t A 4 の電位も「H」に戻るが、S C 4 の T r b はオンしたままであるため、Q o 4 に C K 4 が出力され続ける。このため、G 4 は「H」から「L」に非アクティブ化し、それが維持される。

40

## 【 0 1 3 8 】

t 6 から 1 クロック期間経過後の t 7 では、C K 2 が立ち上がるため、G 6 もアクティブ化して「H」となる。このとき、n e t A 6 の電位は容量 C によって「H」よりも高い電位に昇圧される。一方、G 6 のアクティブ化によって Q b 4 の電位が上昇すると、S C 4 の T r d がオンして n e t A 4 が V s s に接続され、その電位が「H」から「L」になる。このため、S C 4 の T r b がオフして Q o 4 には C K 4 が出力されなくなる。また、t 7 では、C K 2 が立ち上がるため、S C 4 の T r e がオンして Q o 4 が V s s に接続さ

50

れ、その電位が「L」に落とされる（G4が「L」引きされる）。

【0139】

さらに $t_x$ では、CK3が立ち上がるため、G(2n-1)もアクティブ化して「H」となる。このとき、netA(2n-1)の電位は容量Cによって「H」よりも高い電位に昇圧される。

【0140】

また、 $t_x$ から1クロック期間経過後の $t_y$ では、CK4が立ち上がるため、G(2n)もアクティブ化して「H」となる。このとき、netA(2n)の電位は容量Cによって「H」よりも高い電位に昇圧される。また、 $t_y$ では、CK3が立ち下がり「L」となり、netA(2n-1)の電位も「H」に戻るが、SC(2n-1)のTrbはオンしたままであるため、Qo(2n-1)にCK3が出力され続ける。このため、G(2n-1)は「H」から「L」に非アクティブ化し、それが維持される。

10

【0141】

$t_y$ から1クロック期間経過後の $t_z$ では、第1クリア信号CLR1がアクティブ化して「H」となるため、SC(2n-1)のTrcがオンしてnetA(2n-1)がVssに接続され、その電位が「H」から「L」になる。このため、SC(2n-1)のTrbがオフしてQo(2n-1)にはCK3が出力されなくなる。さらに、CK1が立ち上がるため、SC(2n-1)のTreがオンしてQo(2n-1)がVssに接続され、その電位が「L」に落とされる（G(2n-1)が「L」引きされる）。また、 $t_z$ では、CK4が立ち下がり「L」となり、netA(2n)の電位も「H」に戻るが、SC(2n)のTrbはオンしたままであるため、Qo(2n)にCK4が出力され続ける。このため、G(2n)は「H」から「L」に非アクティブ化し、それが維持される。

20

【0142】

$t_y$ から1クロック期間経過後の $t_w$ では、第2クリア信号CLR2がアクティブ化して「H」となるため、SC(2n)のTrcがオンしてnetA(2n)がVssに接続され、その電位が「H」から「L」になる。このため、SC(2n)のTrbがオフしてQo(2n)にはCK4が出力されなくなる。さらに、CK2が立ち上がるため、SC(2n)のTreがオンしてQo(2n)がVssに接続され、その電位が「L」に落とされる（G(2n)が「L」引きされる）。

【0143】

このように、同期信号に異常がない場合、シフトレジスタ10fでは、各シフト回路SCi(i=1, 3, 5...2n-1)からのゲートオンパルス信号Giが順に一定期間アクティブとなり、初段のシフト回路SC1から最終段のシフト回路SC(2n-1)まで順次パルスP1, P3...P(2n-1)が出力されていく。また、シフトレジスタ10gでは、各シフト回路SCi(i=2, 4, 6...2n)からのゲートオンパルス信号Giが順に一定期間アクティブとなり、初段のシフト回路SC2から最終段のシフト回路SC(2n)まで順次パルスP1, P2...P(2n)が出力されていく。

30

【0144】

図22は、同期信号に異常が生じた場合の、垂直同期信号VSYNC、ゲートスタートパルス信号GSP1・GSP2、第1クロック信号CK1、第2クロック信号CK2、第3クロック信号CK3、第4クロック信号CK4、ゲートオンパルス信号Gi(i=1~2n)、第1クリア信号CLR1および第2クリア信号CLR2の各波形を示すタイミングチャートである。

40

【0145】

図22の $t_0 \sim t_3$ までのシフトレジスタ10f・10gの動作は図21と同様である。ここで、図22のように、 $t_2 \sim t_3$ の間に垂直同期信号VSYNCにノイズが生じ、意図せぬタイミング( $t_3$ )でGSP1がアクティブ化し、意図せぬタイミング( $t_4$ )でGSP2がアクティブ化した場合、 $t_4$ で第1クリア信号CLR1がアクティブ化して「H」となり、 $t_5$ で第2クリア信号CLR2がアクティブ化して「H」となる。したがって、 $t_4$ では、SC3のTrcがオンしてnetA3がVssに接続され、その電位が

50

「H」から「L」になる。このため、SC3のTrbがオフしてQo3にはCK3が出力されなくなり、G3は「L」（非アクティブ）に維持される。すなわち、SC3からはパルスが出力されず、これより後段となるSC5、SC7・・・SC(2n-1)でもTrbがオンせず、パルスは出力されない。なお、t4では、CK3が立ち上がるため、SC1のTreがオンしてQo1がVssに接続され、その電位が「L」に落とされる（G1が「L」引きされる）。

【0146】

また、t5では、SC4のTrcがオンしてnetA4がVssに接続され、その電位が「H」から「L」になる。このため、SC4のTrbがオフしてQo4にはCK4が出力されなくなり、G4は「L」（非アクティブ）に維持される。すなわち、SC4からはパルスが出力されず、これより後段となるSC6、SC8・・・SC(2n)でもTrbがオンせず、パルスは出力されない。なお、t5では、CK4が立ち上がるため、SC2のTreがオンしてQo2がVssに接続され、その電位が「L」に落とされる（G2が「L」引きされる）。

10

【0147】

このように、当該垂直走査期間では、シフトレジスタ10fからのパルスの出力はSC1で停止し、次の垂直走査期間の開始時(T0)まで、各段(SC1, SC3, ... SC(2n-1))からのゲートオンパルス信号は「L」（非アクティブ）を維持する。また、シフトレジスタ10gからのパルスの出力はSC2で停止し、次の垂直走査期間の開始時(T0)まで、各段(SC2, SC4, ... SC(2n))からのゲートオンパルス信号は「L」（非アクティブ）を維持する。

20

【0148】

このように、実施の形態2によれば、同期信号(VSYNCやHSYNCあるいはDE)に異常が生じた場合には第1および第2クリア信号CLR1・2が「H」（アクティブ）となり、それ以後は、次の垂直走査期間の開始時まで各シフトレジスタ(10f・10g)からのパルスの出力が停止されるため、表示乱れや電源への負荷増大を抑制することができる。

【0149】

なお、図19に示すシフトレジスタ10f・10gでは、GSP1およびGSP2を共通のゲートスタートパルス信号とすることもできる。この場合、例えば図21においてGSP1およびGSP2をそれぞれt0で「H」（アクティブ）となるようにする。また、CLR1およびCLR2を共通のクリア信号とすることもできる。この場合、例えば図21においてCLR1およびCLR2をそれぞれtwで「H」（アクティブ）となるようにし、図22においてCLR1およびCLR2をそれぞれt5で「H」（アクティブ）となるようにする。

30

【0150】

なお、上記の説明ではVSYNCの異常によってクリア信号がアクティブ化する場合について説明しているが、HSYNCやDEに異常が生じた場合にもクリア信号がアクティブ化することは当然である。

【0151】

〔実施の形態3〕

実施の形態3について図24～図36に基づいて説明すれば以下のとおりである。

40

【0152】

図24は、本液晶表示装置の構成を示すブロック図である。同図に示すように、本液晶表示装置101は、液晶パネル103、ゲートドライバ105、ソースドライバ106、タイミングコントローラ107、およびデータ処理回路108を備える。ゲートドライバ105にはシフトレジスタ110およびレベルシフタ104が設けられ、ゲートドライバ105およびタイミングコントローラ107によって液晶パネル駆動回路111が構成されている。なお、本実施の形態では、レベルシフタ104はゲートドライバ105に含まれる構成としているが、ゲートドライバ105の外部に設けられていてもよい。

50

## 【0153】

本液晶パネル103には、ゲートドライバ105によって駆動される走査信号線16、ソースドライバ106によって駆動されるデータ信号線15、画素P、保持容量配線（図示せず）等が設けられるとともに、シフトレジスタ110がモノリシックに形成されている。各画素Pには、走査信号線16およびデータ信号線15に接続されたトランジスタ（TFT）と、該トランジスタに接続された画素電極とが設けられる。なお、各画素のトランジスタやシフトレジスタのトランジスタの形成には、アモルファスシリコンや多結晶シリコン（例えば、CGシリコン）等が用いられている。

## 【0154】

タイミングコントローラ107には、液晶表示装置101の外部から、同期信号である、垂直同期信号VSYNC、水平同期信号HSYNC、およびデータインイブル信号DEが入力される。また、データ処理回路108には、液晶表示装置101の外部から、映像データ（RGBデジタルデータ）が入力される。タイミングコントローラ107は、各同期信号を用いて、複数の源クロック信号（ck1・ck2等）と、源クリア信号（clr）と、源ゲートスタートパルス信号（gsp）とを生成する。なお、源クロック信号（ck1・ck2等）、源クリア信号（clr）、および源ゲートスタートパルス信号（gsp）はレベルシフタ106によってレベルシフトされ、それぞれクロック信号（CK1・CK2等）、クリア信号（CLR）、およびゲートスタートパルス信号（GSP）となる。また、タイミングコントローラ107は、入力された同期信号（VSYNC、HSYNC、およびDE）に基づいて、データ処理回路108に制御信号を出力するとともに、ソースドライバ106にソースタイミング信号を出力する。

## 【0155】

クロック信号（CKA・CKB等）、クリア信号（CLR）、およびゲートスタートパルス信号（GSP）はシフトレジスタ110に入力される。クリア信号（CLR）は、最終段をリセットするための信号であり、最終段からパルスが出力された後に「H」（アクティブ）となる。シフトレジスタ110は、これらの信号（CKA・CKB等、CLR、GSP）を用いてゲートオンパルス信号を生成し、これを液晶パネル103の走査信号線に出力する。シフトレジスタ110はゲートオンパルス信号を生成するシフト回路が段状に接続されてなり、各段（シフト回路）のゲートオンパルス信号が順に一定期間アクティブ化し、初段から最終段まで順次パルス（オンパルス）が出力されていく。そして、液晶パネル103では、該パルスによって、走査信号線が順次選択される。

## 【0156】

データ処理回路108は、映像データに所定の処理を施し、タイミングコントローラ107からの制御信号に基づいてデータ信号をソースドライバ106に出力する。ソースドライバ106は、データ処理回路108からのデータ信号とタイミングコントローラ107からのソースタイミング信号とを用いて信号電位を生成し、これを液晶パネル103のデータ信号線に出力する。この信号電位は各画素のトランジスタを介して該画素の画素電極に書き込まれる。

## 【0157】

本実施の形態にかかるシフトレジスタ110aの構成を図25に示す。同図に示されるように、シフトレジスタ110aは、複数のシフト回路（単位回路）SC1、SC2、・・・SCmが段状に接続されてなり、シフト回路SCi（i=1・2・3・・・m-1）は、入力用のノードQfi・Qbi・CKAiおよび出力用のノードQoiを備え、シフト回路SCmは、入力用のノードQfm・CKAm・CLmおよび出力用のノードQomを備える。

## 【0158】

ここで、シフト回路SC1については、ノードQf1が、レベルシフタ（図24参照）のGSP出力端ROに接続され、ノードQb1がシフト回路SC2のノードQo2に接続され、ノードCKA1が、第1クロック信号が供給される第1クロックラインCKL1に接続され、ノードQo1からゲートオンパルス信号（信号線選択信号）G1が出力される

。

## 【0159】

また、シフト回路  $SC_i$  ( $i = 2 \sim m - 1$ ) については、ノード  $Q_{fi}$  がシフト回路  $SC_{(i-1)}$  のノード  $Q_{o(i-1)}$  に接続され、ノード  $Q_{bi}$  がシフト回路  $SC_{(i+1)}$  のノード  $Q_{o(i+1)}$  に接続され、 $i$  が奇数であれば、ノード  $CKA_i$  は第1クロックライン  $CKL_1$  に接続され、 $i$  が偶数であれば、ノード  $CKA_i$  は第2クロックライン  $CKL_2$  に接続され、ノード  $Q_{oi}$  からゲートオンパルス信号 (信号線選択信号)  $G_i$  が出力される。

## 【0160】

そして、シフト回路  $SC_m$  については、ノード  $Q_{fm}$  がシフト回路  $SC_{(m-1)}$  のノード  $Q_{o(m-1)}$  に接続され、ノード  $CKA_m$  が第2クロックライン  $CKL_2$  に接続され、ノード  $CL_m$  が上記クリアライン  $CLR_L$  に接続され、ノード  $Q_{om}$  からゲートオンパルス信号 (信号線選択信号)  $G_m$  が出力される。

10

## 【0161】

図26(a)は  $SC_i$  ( $i = 1 \sim m - 1$ ) の具体的構成を示す回路図である。図26(a)に示すように  $SC_i$  ( $i = 1 \sim m - 1$ ) は、セット用トランジスタ  $Tr_a$ 、出力用トランジスタ  $Tr_b$ 、リセット用トランジスタ  $Tr_d$ 、および容量  $C$  を含む。なお、各トランジスタはNチャネルトランジスタである。

## 【0162】

ここで、 $Tr_b$  のソース端子が容量  $C$  の第1電極に接続され、 $Tr_a$  のゲート端子 (制御端子) およびドレイン端子が接続されるとともに、 $Tr_a$  のソース端子が、 $Tr_b$  のゲート端子と容量  $C$  の第2電極とに接続される。また、 $Tr_d$  のドレイン端子が  $Tr_b$  のゲート端子に接続されるとともに  $Tr_d$  のソース端子が低電位側電源  $V_{ss}$  に接続される。そして、 $Tr_a$  のゲート端子はノード  $Q_{fi}$  に接続され、 $Tr_b$  のドレイン端子はノード  $CKA_i$  に接続され、 $Tr_c$  のゲート端子はノード  $CL_i$  に接続され、 $Tr_d$  のゲート端子はノード  $Q_{bi}$  に接続され、 $Tr_b$  のソース端子がノード  $Q_{oi}$  に接続されている。なお、 $Tr_a$  のソース端子、容量  $C$  の第2電極および  $Tr_b$  のゲート端子の接続点をノード  $netB_i$  としている。

20

## 【0163】

また、図26(b)は  $SC_m$  の具体的構成を示す回路図である。図26(b)に示すように  $SC_m$  は、セット用トランジスタ  $Tr_a$ 、出力用トランジスタ  $Tr_b$ 、最終段のリセットのために設けられるクリア用トランジスタ  $Tr_c$ 、および容量  $C$  を含む。なお、各トランジスタはそれぞれNチャネルトランジスタであり、容量  $C$  は寄生容量でも構わない。ここで、 $Tr_b$  のソース端子が容量  $C$  の第1電極に接続され、 $Tr_a$  のゲート端子 (制御端子) およびドレイン端子が接続されるとともに、 $Tr_a$  のソース端子が、 $Tr_b$  のゲート端子と容量  $C$  の第2電極とに接続される。また、 $Tr_c$  のドレイン端子が  $Tr_b$  のゲート端子に接続されるとともに  $Tr_c$  のソース端子が低電位側電源  $V_{ss}$  に接続される。そして、 $Tr_a$  のゲート端子はノード  $Q_{fm}$  に接続され、 $Tr_b$  のドレイン端子はノード  $CKA_m$  に接続され、 $Tr_c$  のゲート端子はノード  $CL_m$  に接続され、 $Tr_b$  のソース端子がノード  $Q_{om}$  に接続されている。また、 $Tr_a$  のソース端子、容量  $C$  の第2電極および  $Tr_b$  のゲート端子の接続点をノード  $netB_m$  としている。

30

40

## 【0164】

なお、シフト回路  $SC_i$  ( $i = 1 \sim m - 1$ ) の各ノード ( $Q_{fi} \cdot Q_{bi} \cdot CKA_i \cdot Q_{oi}$ )、およびシフト回路  $SC_m$  の各ノード ( $Q_{fm} \cdot CKA_m \cdot CL_m \cdot Q_{om}$ ) の接続先は図25のとおりであり、本シフトレジスタ110a全体の具体的構成は図27のようになっている。

## 【0165】

以下に、図27に示すシフトレジスタ110aの動作を説明する。図28は、垂直同期信号  $VSYNC$ 、ゲートスタートパルス信号  $GSP$ 、第1クロック信号  $CK_1$ 、第2クロック信号  $CK_2$ 、ゲートオンパルス信号  $G_i$  ( $i = 1 \sim m$ )、およびクリア信号 ( $CLR$

50

)の各波形を示すタイミングチャートである。なお、第1クロック信号CK1および第2クロック信号CK2はともに、1周期における「H」(アクティブ)期間が1クロック期間、「L」(非アクティブ)期間が3クロック期間であり、CK1およびCK2の一方が非アクティブ化する(立ち下がる)のに1クロック期間遅れて他方がアクティブ化する(立ち上がる)ようになっている。もっとも、これは第1および第2クロック信号CK1、CK2の一例であって、両クロック信号がともに「L」となる期間があれば、「H」期間および「L」期間は任意に設定することができる。

【0166】

まず、図28のt0では、GSPのアクティブ化によってQf1の電位が上昇すると、SC1のTraがオンしてnetB1の電位が「L」から「H」になる。このため、SC1のTrbもオンしてQo1にCK1が出力される。すなわち、G1は「L」のままである。t0から1クロック期間経過後のt1では、GSPが立ち下がって(非アクティブ化して)「L」となるが、SC1の容量CによってnetB1の電位は「H」に維持され、SC1のTrbもオンしたままである。

10

【0167】

t1から1クロック期間経過後のt2では、CK1が立ち上がる(アクティブ化する)ため、G1もアクティブ化して「H」となる。このとき、netB1の電位は容量Cによって「H」よりも高い電位に昇圧される。一方、G1のアクティブ化によってQf2の電位が上昇すると、SC2のTraがオンしてnetB2の電位が「L」から「H」になる。このため、SC2のTrbもオンしてQo2にCK2が出力される。すなわち、G2は「L」のままである。

20

【0168】

t2から1クロック期間経過後のt3では、CK1が立ち下がって「L」となり、netB1の電位も「H」に戻るが、SC1のTrbはオンしたままであるため、Qo1にCK1が出力され続ける。すなわち、G1は「H」から「L」に非アクティブ化し、それが維持される。なお、G1が非アクティブ化して「L」となっても、SC2の容量CによってnetB2の電位は「H」に維持され、SC2のTrbはオンしたままである。

【0169】

t3から1クロック期間経過後のt4では、CK2が立ち上がるため、G2もアクティブ化して「H」となる。このとき、netB2の電位は容量Cによって「H」よりも高い電位に昇圧される。一方、G2のアクティブ化によってQb1の電位が上昇すると、SC1のTrdがオンしてnetB1がVssに接続され、その電位が「H」から「L」になる。このため、SC1のTrbがオフしてQo1にはCK1が出力されなくなる。

30

【0170】

t4から1クロック期間経過後のt5では、CK2が立ち下がって「L」となり、netB2の電位も「H」に戻るが、SC2のTrbはオンしたままであるため、Qo2にCK2が出力され続ける。すなわち、G2は「H」から「L」に非アクティブ化し、これを維持する。

【0171】

さらに、txでは、CK2が立ち上がるため、Gmもアクティブ化して「H」となる。このとき、netBmの電位は容量Cによって「H」よりも高い電位に昇圧される。

40

【0172】

txから1クロック期間経過後のtyでは、CK2が立ち下がって「L」となり、netBmの電位も「H」に戻るが、SCmのTrbはオンしたままであるため、QomにCK2が出力され続ける。すなわち、Gmは「H」から「L」に非アクティブ化し、これを維持する。

【0173】

tyから1クロック期間経過後のtzでは、CK2は「L」のままであるが、クリア信号CLRがアクティブ化して「H」となるため、SCmのTrcがオンしてnetBmがVssに接続され、その電位が「H」から「L」になる。このため、SCmのTrbがオ

50

フしてQ o mにはC K 2が出力されなくなる。

【0174】

なお、図28では、 $t_z$  (G mの立ち下がりから1クロック期間経過後)でクリア信号C L Rをアクティブ化しているがこれに限定されない。例えば、 $t_y \sim t_z$ の間 ( $t_y$ 含まず)にクリア信号C L Rをアクティブ化してもよい。ただし、 $t_y$ ではクリア信号C L Rをアクティブ化しないようにする。こうすると、G mが「H」(アクティブ)状態を維持してしまうからである。

【0175】

このように、シフトレジスタ110 aでは、各シフト回路S C i ( $i = 1 \sim m$ )からのゲートオンパルス信号G iが順に一定期間アクティブとなり、初段のシフト回路S C 1から最終段のシフト回路S C mまで順次パルスP 1 ~ P mが出力されていく。そして、最終段(単位回路S C m)ではクリア信号によりリセットされるため、従来のようなダミーの段(ダミーのシフト回路)を省略でき、回路面積を小さくすることができる。

【0176】

なお、図27のシフトレジスタ110 aを図29に示すシフトレジスタ110 bのように構成することもできる。シフトレジスタ110 bでは、シフトレジスタ110 aの構成に加えて、最終段のシフト回路S C mに、NチャネルのL o w電位供給用トランジスタT r eが設けられている。トランジスタT r eは、そのソース端子が低電位側電源に接続され、そのドレイン端子がノードQ o mに接続され、そのゲート端子がノードC L mに接続されている。

【0177】

シフトレジスタ110 bの構成によれば、クリア信号C L Rのアクティブ化によってG mを立ち下げることが可能となる。したがって、図30に示すように、 $t_y$ において、G mの立ち下り(非アクティブ化)に同期してクリア信号C L Rをアクティブ化することができる。

【0178】

また、図27のシフトレジスタ110 aを図31に示すシフトレジスタ110 cのように構成することもできる。シフトレジスタ110 cでは、シフトレジスタ110 aの構成に加えて、シフト回路S C i ( $i = 1 \sim m - 1$ )に、NチャネルのL o w電位供給用トランジスタT r eが設けられている。トランジスタT r eは、そのソース端子が低電位側電源に接続され、そのドレイン端子がノードQ o iに接続され、そのゲート端子がノードQ b iに接続されている。

【0179】

以下に、図31に示すシフトレジスタ110 cの動作を説明する。図32は、垂直同期信号V S Y N C、ゲートスタートパルス信号G S P、第1クロック信号C K 1、第2クロック信号C K 2、ゲートオンパルス信号G i ( $i = 1 \sim m$ )、およびクリア信号(C L R)の各波形を示すタイミングチャートである。なお、第1クロック信号C K 1および第2クロック信号C K 2はともに、1周期における「H」(アクティブ)期間が1クロック期間、「L」(非アクティブ)期間が1クロック期間であり、C K 1およびC K 2の一方が立ち下がるのに同期して他方が立ち上がるようになっている。

【0180】

まず、図32の $t_0$ では、G S Pのアクティブ化によってQ f 1の電位が上昇すると、S C 1のT r aがオンしてn e t B 1の電位が「L」から「H」になる。このため、S C 1のT r bもオンしてQ o 1にC K 1が出力される。すなわち、G 1は「L」のままである。

【0181】

$t_0$ から1クロック期間経過後の $t_1$ では、G S Pが立ち下がって(非アクティブ化して)「L」となるが、S C 1の容量Cによってn e t B 1の電位は下がらず、S C 1のT r bもオンしたままである。すなわち、C K 1の立ち上がりによってG 1もアクティブ化して「H」となる。このとき、n e t B 1の電位は容量Cによって「H」よりも高い電位に

10

20

30

40

50

昇圧される。一方、G1のアクティブ化によってQf2の電位が上昇すると、SC2のTraがオンしてnetB2の電位が「L」から「H」になる。このため、SC2のTrbもオンしてQo2にCK2が出力され、G2は「L」のまま維持される。

【0182】

t1から1クロック期間経過後のt2では、CK2が立ち上がるため、G2もアクティブ化して「H」となる。このとき、netB2の電位は容量Cによって「H」よりも高い電位に昇圧される。一方、G2のアクティブ化によってQb1の電位が上昇すると、SC1のTrdがオンしてnetB1がVssに接続され、その電位が「H」から「L」になる。このため、SC1のTrbがオフしてQo1にはCK1が出力されなくなる。また、G2のアクティブ化によってQb1の電位が上昇すると、SC1のTreがオンしてQo1がVssに接続され、その電位が「H」から「L」になる。すなわち、G1は「H」から「L」に非アクティブ化し、それが維持される。なお、G1が非アクティブ化して「L」となっても、SC2の容量CによってnetB2の電位は維持され、SC2のTrbはオンしたままである。また、G2のアクティブ化によってQf3の電位が上昇すると、SC3のTraがオンしてnetB3の電位が「L」から「H」になる。このため、SC3のTrbもオンしてQo3にCK1が出力される。すなわち、G3は「L」のままである。

10

【0183】

t2から1クロック期間経過後のt3では、CK1が立ち上がるため、G3もアクティブ化して「H」となる。一方、G3のアクティブ化によってQb2の電位が上昇すると、SC2のTrdがオンしてnetB2がVssに接続され、その電位が「H」から「L」になる。このため、SC2のTrbがオフしてQo2にはCK2が出力されなくなる。また、G3のアクティブ化によってQb2の電位が上昇すると、SC2のTreがオンしてQo2がVssに接続され、その電位が「H」から「L」になる。すなわち、G2は「H」から「L」に非アクティブ化し、それが維持される。

20

【0184】

さらに、txでは、CK2が立ち上がるため、Gmもアクティブ化して「H」となる。このとき、netBmの電位は容量Cによって「H」よりも高い電位に昇圧される。

【0185】

txから1クロック期間経過後のtyでは、CK2が立ち下がって「L」となり、netBmの電位も「H」に戻るが、SCmのTrbはオンしたままであるため、QomにCK2が出力され続ける。すなわち、Gmは「H」から「L」に非アクティブ化し、これを維持する。

30

【0186】

tyから1クロック期間経過後のtzでは、クリア信号CLRがアクティブ化して「H」となるため、SCmのTrcがオンしてnetBmがVssに接続され、その電位が「H」から「L」になる。このため、SCmのTrbがオフしてQomにはCK2が出力されなくなる。

【0187】

なお、図32では、tz(Gmの立ち下がりから1クロック期間経過後)でクリア信号CLRをアクティブ化しているがこれに限定されない。例えば、ty~tzの間(ty含まず)にクリア信号CLRをアクティブ化してもよい。ただし、tyではクリア信号CLRをアクティブ化しないようにする。こうすると、Gmが「H」(アクティブ)状態を維持してしまうからである。

40

【0188】

このように、シフトレジスタ110bでは、各シフト回路SCi(i=1~m)からのゲートオンパルス信号Giが順に一定期間アクティブとなり、初段のシフト回路SC1から最終段のシフト回路SCmまで順次パルスが出力されていく。

【0189】

なお、図31のシフトレジスタ110cを図33に示すシフトレジスタ110dのよう

50

に構成することもできる。シフトレジスタ110dでは、シフトレジスタ110cの構成に加えて、最終段のシフト回路SCmに、NチャンネルのトランジスタTreが設けられている。トランジスタTreは、そのソース端子が低電位側電源に接続され、そのドレイン端子がノードQomに接続され、そのゲート端子がノードCLmに接続されている。

【0190】

シフトレジスタ110dの構成によれば、クリア信号CLRのアクティブ化によってGmを立ち下げることが可能となる。したがって、図34に示すように、tyにおいて、Gmの立ち下り（非アクティブ化）に同期してクリア信号CLRをアクティブ化することができる。

【0191】

また、図27のシフトレジスタ110aを図35に示すシフトレジスタ110eのように構成することもできる。シフトレジスタ110eでは、シフトレジスタ110aの構成に加えて、シフト回路SCi (i = 1 ~ m) に、NチャンネルのトランジスタTreが設けられている。トランジスタTreは、そのソース端子が低電位側電源に接続され、そのドレイン端子がノードQoiに接続され、そのゲート端子が、第1クロックラインCKL1あるいは第2クロックラインCKL2に接続される。なお、iが奇数であれば、シフト回路SCiのトランジスタTreのゲート端子は第2クロックラインCKL2に接続され、iが偶数であれば、トランジスタTreのゲート端子は第1クロックラインCKL1に接続される。

【0192】

以下に、図35に示すシフトレジスタ110eの動作を説明する。図36は、垂直同期信号VSYNC、ゲートスタートパルス信号GSP、第1クロック信号CK1、第2クロック信号CK2、ゲートオンパルス信号Gi (i = 1 ~ m)、およびクリア信号(CLR)の各波形を示すタイミングチャートである。なお、第1クロック信号CK1および第2クロック信号CK2はともに、1周期における「H」(アクティブ)期間が1クロック期間、「L」(非アクティブ)期間が1クロック期間であり、CK1およびCK2の一方が立ち下がるのに同期して他方が立ち上がるようになっている。

【0193】

まず、図36のt0では、GSPのアクティブ化によってQf1の電位が上昇すると、SC1のTraがオンしてnetB1の電位が「L」から「H」になる。このため、SC1のTrbもオンしてQo1にCK1が出力される。

【0194】

t0から1クロック期間経過後のt1では、GSPが立ち下がって(非アクティブ化して)「L」となるが、SC1の容量CによってnetB1の電位は下がらず、SC1のTrbもオンしたままである。このため、CK1の立ち上がりによってG1もアクティブ化して「H」となる。このとき、netB1の電位は容量Cによって「H」よりも高い電位に昇圧される。一方、G1のアクティブ化によってQf2の電位が上昇すると、SC2のTraがオンしてnetB2の電位が「L」から「H」になる。このため、SC2のTrbもオンしてQo2にCK2が出力される。すなわち、G2は「L」のままである。

【0195】

t1から1クロック期間経過後のt2では、CK2が立ち上がるため、G2もアクティブ化して「H」となる。このとき、netB2の電位は容量Cによって「H」よりも高い電位に昇圧される。一方、G2のアクティブ化によってQb1の電位が上昇すると、SC1のTrdがオンしてnetB1がVssに接続され、その電位が「H」から「L」になる。このため、SC1のTrbがオフしてQo1にはCK1が出力されなくなる。また、t2では、CK2が立ち上がるため、SC1のTreがオンしてQo1がVssに接続され、その電位が「H」から「L」になる。このため、G1は「H」から「L」に非アクティブ化し、それが維持される。なお、G1が非アクティブ化して「L」となっても、SC2の容量CによってnetB2の電位は維持され、SC2のTrbはオンしたままである。また、G2のアクティブ化によってQf3の電位が上昇すると、SC3のTraがオン

10

20

30

40

50

して  $net B 3$  の電位が「L」から「H」になる。このため、 $SC 3$  の  $Tr b$  もオンして  $Q o 3$  に  $CK 1$  が出力される。すなわち、 $G 3$  は「L」のままである。

【0196】

$t 2$  から1クロック期間経過後の  $t 3$  では、 $CK 1$  が立ち上がるため、 $G 3$  もアクティブ化して「H」となる。一方、 $G 3$  のアクティブ化によって  $Q b 2$  の電位が上昇すると、 $SC 2$  の  $Tr d$  がオンして  $net B 2$  が  $V s s$  に接続され、その電位が「H」から「L」になる。このため、 $SC 2$  の  $Tr b$  がオフして  $Q o 2$  には  $CK 2$  が出力されなくなる。また、 $t 3$  では、 $CK 1$  が立ち上がるため、 $SC 2$  の  $Tr e$  がオンして  $Q o 2$  が  $V s s$  に接続され、その電位が「H」から「L」になる。このため、 $G 2$  は「H」から「L」に非アクティブ化し、それが維持される。

10

【0197】

なお、シフトレジスタ  $110 e$  では、 $t 4 \sim t 5$  および  $t 6 \sim t 7$  では、 $CK 2$  が「H」となっているため、 $SC 1$  の  $Tr e$  がオンして  $Q o 1$  が  $V s s$  に接続され、 $G 1$  を改めて「L」に落とす(いわゆる「L」引きする)ことができる。同様に、 $t 5 \sim t 6$  では、 $CK 1$  が「H」となっているため、 $SC 2$  の  $Tr e$  がオンして  $Q o 2$  が  $V s s$  に接続され、 $G 2$  を改めて「L」に落とす(「L」引きする)ことができる。

【0198】

さらに、 $t x$  では、 $CK 2$  が立ち上がるため、 $G m$  もアクティブ化して「H」となる。このとき、 $net B m$  の電位は容量  $C$  によって「H」よりも高い電位に昇圧される。

【0199】

$t x$  から1クロック期間経過後の  $t y$  では、クリア信号  $CLR$  がアクティブ化して「H」となるため、 $SC m$  の  $Tr c$  がオンして  $net B m$  が  $V s s$  に接続され、その電位が「L」に落ちる。このため、 $SC m$  の  $Tr b$  がオフして  $Q o m$  には  $CK 2$  が出力されなくなる。そして、 $t y$  では  $CK 1$  が立ち上がるため、 $SC m$  の  $Tr e$  がオンして  $Q o m$  が  $V s s$  に接続される。このため、 $G m$  は非アクティブ化して「L」となる。

20

【0200】

なお、図36では、 $t y$  でクリア信号  $CLR$  をアクティブ化しているがこれに限定されない。例えば、 $t y \sim t z$  の間( $t y \cdot t z$  含む)にクリア信号  $CLR$  をアクティブ化してもよい。

【0201】

このように、シフトレジスタ  $110 e$  では、各シフト回路  $SC i$  ( $i = 1 \sim m$ ) からのゲートオンパルス信号  $G i$  が順に一定期間アクティブとなり、初段のシフト回路  $SC 1$  から最終段のシフト回路  $SC m$  まで順次パルスが出力されていく。そして、最終段(単位回路  $SC m$ ) ではクリア信号によりリセットされるため、従来のようなダミーの段(ダミーのシフト回路)を省略でき、回路面積を小さくすることができる。

30

【0202】

〔実施の形態4〕

実施の形態4について図37～図39に基づいて説明すれば以下のとおりである。本実施の形態にかかる液晶パネルの構成を図37に示す。同図に示されるように、本液晶パネルには、パネルの左端にシフトレジスタ  $110 f$  が、パネル右端に  $110 g$  が設けられている。シフトレジスタ  $110 f$  は複数のシフト回路  $SC i$  ( $i = 1, 3, 5 \dots 2n + 1$ ) が段状に接続されてなり、シフト回路  $SC i$  ( $i = 2, 4, 6 \dots 2n$ ) が段状に接続されてなる。シフト回路  $SC i$  ( $i = 1 \cdot 2 \cdot 3 \dots 2n - 2$ ) は、入力用のノード  $Q f i \cdot Q b i \cdot C K A i \cdot C K B i$  および出力用のノード  $Q o i$  を備え、シフト回路  $SC (2n - 1)$  は、入力用のノード  $Q f (2n - 1) \cdot C K A (2n - 1) \cdot C K B (2n - 1) \cdot C L (2n - 1)$  および出力用のノード  $Q o (2n - 1)$  を備える。また、シフト回路  $SC (2n)$  は、入力用のノード  $Q f (2n) \cdot C K A (2n) \cdot C K B (2n) \cdot C L (2n)$  および出力用のノード  $Q o (2n)$  を備える。

40

【0203】

ここで、シフト回路  $SC 1$  については、ノード  $Q f 1$  が、レベルシフタの  $G S P 1$  の出

50

力端  $RO1$  に接続され、ノード  $Qb1$  がシフト回路  $SC3$  のノード  $Qo3$  に接続され、ノード  $CKA1$  が、第1クロック信号が供給される第1クロックライン  $CKL1$  に接続され、ノード  $CKB1$  が、第3クロック信号が供給される第3クロックライン  $CKL3$  に接続され、ノード  $Qo1$  からゲートオンパルス信号（信号線選択信号） $G1$  が出力される。

【0204】

また、シフト回路  $SC2$  については、ノード  $Qf2$  が、レベルシフタの  $GSP2$  出力端  $RO2$  に接続され、ノード  $Qb2$  がシフト回路  $SC4$  のノード  $Qo4$  に接続され、ノード  $CKA2$  が、第2クロック信号が供給される第2クロックライン  $CKL2$  に接続され、ノード  $CKB2$  が、第4クロック信号が供給される第4クロックライン  $CKL4$  に接続され、ノード  $Qo2$  からゲートオンパルス信号（信号線選択信号） $G2$  が出力される。

10

【0205】

また、シフト回路  $SCi$  ( $i = 3 \sim 2n - 2$ ) については、ノード  $Qfi$  がシフト回路  $SC(i - 2)$  のノード  $Qo(i - 2)$  に接続され、ノード  $Qbi$  がシフト回路  $SC(i + 2)$  のノード  $Qo(i + 2)$  に接続される。また、 $i$  が4の倍数 + 1であれば、ノード  $CKAi$  は第1クロックライン  $CKL1$  に接続されるとともにノード  $CKBi$  は第3クロックライン  $CKL3$  に接続され、 $i$  が4の倍数 + 2であれば、ノード  $CKAi$  は第2クロックライン  $CKL2$  に接続されるとともにノード  $CKBi$  は第4クロックライン  $CKL4$  に接続され、 $i$  が4の倍数 + 3であれば、ノード  $CKAi$  は第3クロックライン  $CKL1$  に接続されるとともに、ノード  $CKBi$  は第1クロックライン  $CKL3$  に接続され、 $i$  が4の倍数であれば、ノード  $CKAi$  は第4クロックライン  $CKL4$  に接続されるとともに、ノード  $CKBi$  は第2クロックライン  $CKL2$  に接続される。そして、ノード  $Qoi$  からゲートオンパルス信号（信号線選択信号） $Gi$  が出力される。

20

【0206】

シフト回路  $SC(2n - 1)$  については、ノード  $Qf(2n - 1)$  がシフト回路  $SC(2n - 3)$  のノード  $Qo(2n - 3)$  に接続され、ノード  $CKA(2n - 1)$  が、第3クロックライン  $CKL3$  に接続され、ノード  $CKB(2n - 1)$  が、第1クロックライン  $CKL1$  に接続され、ノード  $CL(2n - 1)$  が第1クリアライン  $CLRL1$  に接続され、ノード  $Qo(2n - 1)$  からゲートオンパルス信号（信号線選択信号） $G(2n - 1)$  が出力される。

【0207】

30

また、シフト回路  $SC(2n)$  については、ノード  $Qf(2n)$  がシフト回路  $SC(2n - 2)$  のノード  $Qo(2n - 2)$  に接続され、ノード  $CKA(2n)$  が、第4クロックライン  $CKL4$  に接続され、ノード  $CKB(2n)$  が、第2クロックライン  $CKL2$  に接続され、ノード  $CL(2n)$  が第2クリアライン  $CLRL2$  に接続され、ノード  $Qo(2n)$  からゲートオンパルス信号（信号線選択信号） $G(2n)$  が出力される。

【0208】

図38(a)は  $SCi$  ( $i = 1 \sim 2n - 2$ ) の具体的構成を示す回路図である。図38(a)に示すように  $SCi$  ( $i = 1 \sim 2n - 2$ ) は、セット用トランジスタ  $Tra$ 、出力用トランジスタ  $Trb$ 、リセット用トランジスタ  $Trd$ 、Low電位供給用トランジスタ  $Tre$ 、および容量  $C$  を含む。なお、各トランジスタは  $N$  チャネルトランジスタである。

40

【0209】

ここで、 $Trb$  のソース端子が容量  $C$  の第1電極に接続され、 $Tra$  のゲート端子（制御端子）およびドレイン端子が接続されるとともに、 $Tra$  のソース端子が、 $Trb$  のゲート端子と容量  $C$  の第2電極とに接続される。また、 $Trd$  のドレイン端子が  $Trb$  のゲート端子に接続されるとともに  $Trd$  のソース端子が低電位側電源  $Vss$  に接続される。また、 $Tre$  のドレイン端子が  $Trb$  のソース端子に接続されるとともに  $Tre$  のソース端子が低電位側電源  $Vss$  に接続される。そして、 $Tra$  のゲート端子はノード  $Qfi$  に接続され、 $Trb$  のドレイン端子はノード  $CKAi$  に接続され、 $Tre$  のゲート端子はノード  $CKBi$  に接続され、 $Trc$  のゲート端子はノード  $CLi$  に接続され、 $Trd$  のゲート端子はノード  $Qbi$  に接続され、 $Trb$  のソース端子がノード  $Qoi$  に接続されている

50

。なお、 $Tra$ のソース端子、容量 $C$ の第2電極および $Trb$ のゲート端子の接続点をノード $netB_i$ としている。

【0210】

また、図38(b)は $SC_j$  ( $j = (2n - 1)$ または $2n$ )の具体的構成を示す回路図である。図38(b)に示すように $SC_j$ は、セット用トランジスタ $Tra$ 、出力用トランジスタ $Trb$ 、最終段のリセットのために設けられるクリア用トランジスタ $Trc$ 、 $Low$ 電位供給用トランジスタ $Tre$ 、および容量 $C$ を含む。なお、各トランジスタは $N$ チャネルトランジスタである。

【0211】

ここで、 $Trb$ のソース端子が容量 $C$ の第1電極に接続され、 $Tra$ のゲート端子(制御端子)およびドレイン端子が接続されるとともに、 $Tra$ のソース端子が、 $Trb$ のゲート端子と容量 $C$ の第2電極とに接続される。また、 $Trc$ のドレイン端子が $Trb$ のゲート端子に接続されるとともに $Trc$ のソース端子が低電位側電源 $V_{ss}$ に接続される。また、 $Tre$ のドレイン端子が $Trb$ のソース端子に接続されるとともに $Tre$ のソース端子が低電位側電源 $V_{ss}$ に接続される。そして、 $Tra$ のゲート端子はノード $Qf_j$ に接続され、 $Trb$ のドレイン端子はノード $CKA_j$ に接続され、 $Tre$ のゲート端子はノード $CKB_j$ に接続され、 $Trc$ のゲート端子はノード $CL_j$ に接続され、 $Trb$ のソース端子がノード $Qo_j$ に接続されている。また、 $Tra$ のソース端子、容量 $C$ の第2電極および $Trb$ のゲート端子の接続点をノード $netB_j$ としている。

【0212】

なお、シフト回路 $SC_i$  ( $i = 1 \sim 2n - 2$ )の各ノード( $Qf_i \cdot Qb_i \cdot CKA_i \cdot CKB_i \cdot Qo_i$ )、およびシフト回路 $SC_j$  ( $j = (2n - 1)$ または $2n$ )の各ノード( $Qf_j \cdot CKA_j \cdot CKB_j \cdot CL_j \cdot Qo_j$ )の接続先は図37のとおりである。

【0213】

以下に、図37に示すシフトレジスタ110f・110gの動作を説明する。図39は、垂直同期信号 $VSYNC$ 、ゲートスタートパルス信号 $GSP1 \cdot GSP2$ 、第1クロック信号 $CK1$ 、第2クロック信号 $CK2$ 、第3クロック信号 $CK3$ 、第4クロック信号 $CK4$ 、ゲートオンパルス信号 $Gi$  ( $i = 1 \sim 2n$ )、第1クリア信号 $CLR1$ および第2クリア信号 $CLR2$ の各波形を示すタイミングチャートである。なお、 $CK1 \sim CK4$ はそれぞれ、1周期における「H」期間が1クロック期間、「L」期間が3クロック期間であり、 $CK1$ が立ち下がるのに同期して $CK2$ が立ち上がり、 $CK2$ が立ち下がるのに同期して $CK3$ が立ち上がり、 $CK3$ が立ち下がるのに同期して $CK4$ が立ち上がり、 $CK4$ が立ち下がるのに同期して $CK1$ が立ち上がるようになっている。また、 $GSP2$ の立ち上がりは $GSP1$ の立ち上がりから1クロック期間経過後となっている。

【0214】

まず、図39の $t_0$ では、 $GSP1$ のアクティブ化によって $Qf_1$ の電位が上昇すると、 $SC1$ の $Tra$ がオンして $netB_1$ の電位が「L」から「H」になる。このため、 $SC1$ の $Trb$ もオンして $Qo_1$ に $CK1$ が出力される。すなわち、 $G1$ は「L」のままである。

【0215】

$t_0$ から1クロック期間経過後の $t_1$ では、 $GSP1$ が立ち下がって「L」となるが、 $SC1$ の容量 $C$ によって $netB_1$ の電位は「H」に維持され、 $SC1$ の $Trb$ もオンしたままである。また、 $t_1$ では、 $GSP2$ のアクティブ化によって $Qf_2$ の電位が上昇すると、 $SC2$ の $Tra$ がオンして $netB_2$ の電位が「L」から「H」になる。このため、 $SC2$ の $Trb$ もオンして $Qo_2$ に $CK2$ が出力される。すなわち、 $G2$ は「L」のままである。

【0216】

$t_1$ から1クロック期間経過後の $t_2$ では、 $CK1$ が立ち上がるため、 $G1$ もアクティブ化して「H」となる。このとき、 $netB_1$ の電位は容量 $C$ によって「H」よりも高い

10

20

30

40

50

電位に昇圧される。一方、G1のアクティブ化によってQf3の電位が上昇すると、SC3のTraがオンしてnetB3の電位が「L」から「H」になる。このため、SC3のTrbもオンしてQo3にCK3が出力される。すなわち、G3は「L」のままである。また、t2では、GSP2が立ち下がって「L」となるが、SC2の容量CによってnetB2の電位は「H」に維持され、SC2のTrbもオンしたままである。

【0217】

t2から1クロック期間経過後のt3では、CK1が立ち下がって「L」となり、netB1の電位も「H」に戻るが、SC1のTrbはオンしたままであるため、Qo1にCK1が出力され続ける。このため、G1は「H」から「L」に非アクティブ化し、それが維持される。なお、G1が非アクティブ化して「L」となっても、SC3の容量CによってnetB3の電位は「H」に維持され、SC3のTrbはオンしたままである。また、t3では、CK2が立ち上がるため、G2もアクティブ化して「H」となる。このとき、netB2の電位は容量Cによって「H」よりも高い電位に昇圧される。また、t3では、G2のアクティブ化によってQf4の電位が上昇すると、SC4のTraがオンしてnetB4の電位が「L」から「H」になる。このため、SC4のTrbもオンしてQo4にCK4が出力される。すなわち、G4は「L」のままである。

【0218】

t3から1クロック期間経過後のt4では、CK3が立ち上がるため、G3もアクティブ化して「H」となる。このとき、netB3の電位は容量Cによって「H」よりも高い電位に昇圧される。一方、G3のアクティブ化によってQb1の電位が上昇すると、SC1のTrdがオンしてnetB1がVssに接続され、その電位が「H」から「L」になる。このため、SC1のTrbがオフしてQo1にはCK1が出力されなくなる。また、t4では、CK3が立ち上がるため、SC1のTreがオンしてQo1がVssに接続され、その電位が「L」に落とされる（G1が「L」引きされる）。また、t4では、CK2が立ち下がって「L」となり、netB2の電位も「H」に戻るが、SC2のTrbはオンしたままであるため、Qo2にCK2が出力され続ける。このため、G2は「H」から「L」に非アクティブ化し、それが維持される。

【0219】

t4から1クロック期間経過後のt5では、CK4が立ち上がるため、G4もアクティブ化して「H」となる。このとき、netB4の電位は容量Cによって「H」よりも高い電位に昇圧される。一方、G4のアクティブ化によってQb2の電位が上昇すると、SC2のTrdがオンしてnetB2がVssに接続され、その電位が「H」から「L」になる。このため、SC2のTrbがオフしてQo2にはCK2が出力されなくなる。また、t5では、CK4が立ち上がるため、SC2のTreがオンしてQo2がVssに接続され、その電位が「L」に落とされる（G2が「L」引きされる）。また、t5では、CK3が立ち下がって「L」となり、netB3の電位も「H」に戻るが、SC3のTrbはオンしたままであるため、Qo3にCK3が出力され続ける。このため、G3は「H」から「L」に非アクティブ化し、それが維持される。

【0220】

t5から1クロック期間経過後のt6では、CK1が立ち上がるため、G5もアクティブ化して「H」となる。このとき、netB5の電位は容量Cによって「H」よりも高い電位に昇圧される。一方、G5のアクティブ化によってQb3の電位が上昇すると、SC3のTrdがオンしてnetB3がVssに接続され、その電位が「H」から「L」になる。このため、SC3のTrbがオフしてQo3にはCK3が出力されなくなる。また、t6では、CK1が立ち上がるため、SC3のTreがオンしてQo3がVssに接続され、その電位が「L」に落とされる（G3が「L」引きされる）。また、t6では、CK4が立ち下がって「L」となり、netB4の電位も「H」に戻るが、SC4のTrbはオンしたままであるため、Qo4にCK4が出力され続ける。このため、G4は「H」から「L」に非アクティブ化し、それが維持される。

【0221】

10

20

30

40

50

t 6 から 1 クロック期間経過後の t 7 では、CK 2 が立ち上がるため、G 6 もアクティブ化して「H」となる。このとき、net B 6 の電位は容量 C によって「H」よりも高い電位に昇圧される。一方、G 6 のアクティブ化によって Q b 4 の電位が上昇すると、SC 4 の Tr d がオンして net B 4 が V s s に接続され、その電位が「H」から「L」になる。このため、SC 4 の Tr b がオフして Q o 4 には CK 4 が出力されなくなる。また、t 7 では、CK 2 が立ち上がるため、SC 4 の Tr e がオンして Q o 4 が V s s に接続され、その電位が「L」に落とされる（G 4 が「L」引きされる）。

【0222】

さらに t x では、CK 3 が立ち上がるため、G ( 2 n - 1 ) もアクティブ化して「H」となる。このとき、net B ( 2 n - 1 ) の電位は容量 C によって「H」よりも高い電位に昇圧される。

10

【0223】

また、t x から 1 クロック期間経過後の t y では、CK 4 が立ち上がるため、G ( 2 n ) もアクティブ化して「H」となる。このとき、net B ( 2 n ) の電位は容量 C によって「H」よりも高い電位に昇圧される。また、t y では、CK 3 が立ち下がり「L」となり、net B ( 2 n - 1 ) の電位も「H」に戻るが、SC ( 2 n - 1 ) の Tr b はオンしたままであるため、Q o ( 2 n - 1 ) に CK 3 が出力され続ける。このため、G ( 2 n - 1 ) は「H」から「L」に非アクティブ化し、それが維持される。

【0224】

t y から 1 クロック期間経過後の t z では、第 1 クリア信号 CLR 1 がアクティブ化して「H」となるため、SC ( 2 n - 1 ) の Tr c がオンして net B ( 2 n - 1 ) が V s s に接続され、その電位が「H」から「L」になる。このため、SC ( 2 n - 1 ) の Tr b がオフして Q o ( 2 n - 1 ) には CK 3 が出力されなくなる。さらに、CK 1 が立ち上がるため、SC ( 2 n - 1 ) の Tr e がオンして Q o ( 2 n - 1 ) が V s s に接続され、その電位が「L」に落とされる（G ( 2 n - 1 ) が「L」引きされる）。また、t z では、CK 4 が立ち下がり「L」となり、net B ( 2 n ) の電位も「H」に戻るが、SC ( 2 n ) の Tr b はオンしたままであるため、Q o ( 2 n ) に CK 4 が出力され続ける。このため、G ( 2 n ) は「H」から「L」に非アクティブ化し、それが維持される。

20

【0225】

t y から 1 クロック期間経過後の t w では、第 2 クリア信号 CLR 2 がアクティブ化して「H」となるため、SC ( 2 n ) の Tr c がオンして net B ( 2 n ) が V s s に接続され、その電位が「H」から「L」になる。このため、SC ( 2 n ) の Tr b がオフして Q o ( 2 n ) には CK 4 が出力されなくなる。さらに、CK 2 が立ち上がるため、SC ( 2 n ) の Tr e がオンして Q o ( 2 n ) が V s s に接続され、その電位が「L」に落とされる（G ( 2 n ) が「L」引きされる）。

30

【0226】

このように、同期信号に異常がない場合、シフトレジスタ 110 f では、各シフト回路 SC i ( i = 1 , 3 , 5 . . . 2 n - 1 ) からのゲートオンパルス信号 G i が順に一定期間アクティブとなり、初段のシフト回路 SC 1 から最終段のシフト回路 SC ( 2 n - 1 ) まで順次パルス P 1 , P 3 . . . P ( 2 n - 1 ) が出力されていく。また、シフトレジスタ 110 g では、各シフト回路 SC i ( i = 2 , 4 , 6 . . . 2 n ) からのゲートオンパルス信号 G i が順に一定期間アクティブとなり、初段のシフト回路 SC 2 から最終段のシフト回路 SC ( 2 n ) まで順次パルス P 1 , P 2 . . . P ( 2 n ) が出力されていく。そして、各シフトレジスタ 110 f ・ 110 g の最終段（単位回路 SC ( 2 n - 1 ) ・ ( 2 n ) ）ではクリア信号によりリセットされるため、従来のようなダミーの段（ダミーのシフト回路）を省略でき、回路面積を小さくすることができる。

40

【0227】

なお、図 37 に示すシフトレジスタ 110 f ・ 110 g では、G S P 1 および G S P 2 を共通のゲートスタートパルス信号とすることもできる。この場合、例えば図 39 において G S P 1 および G S P 2 をそれぞれ t 0 で「H」（アクティブ）となるようにする。ま

50

た、CLR1およびCLR2を共通のクリア信号とすることもできる。この場合、例えば図39においてCLR1およびCLR2をそれぞれtwで「H」(アクティブ)となるようにする。

【0228】

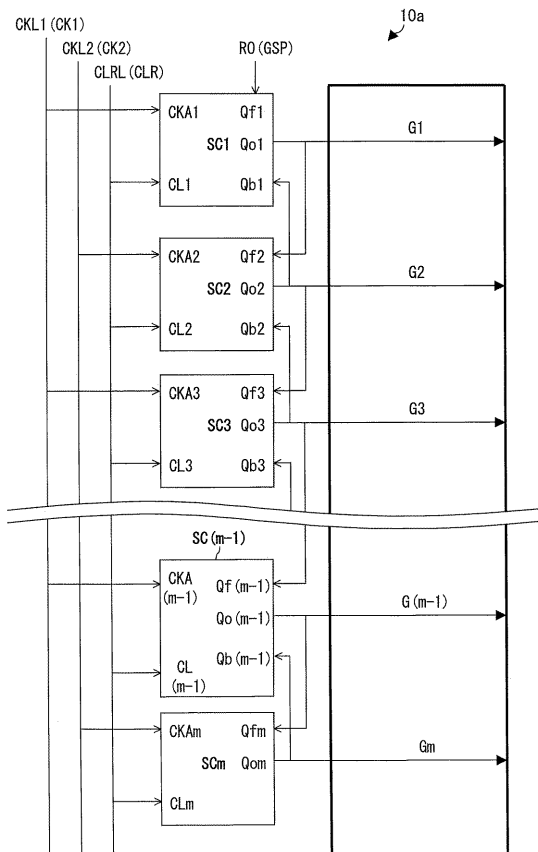
本発明は上記の実施の形態に限定されるものではなく、上記実施の形態を技術常識に基づいて適宜変更したものやそれらを組み合わせて得られるものも本発明の実施の形態に含まれる。

【産業上の利用可能性】

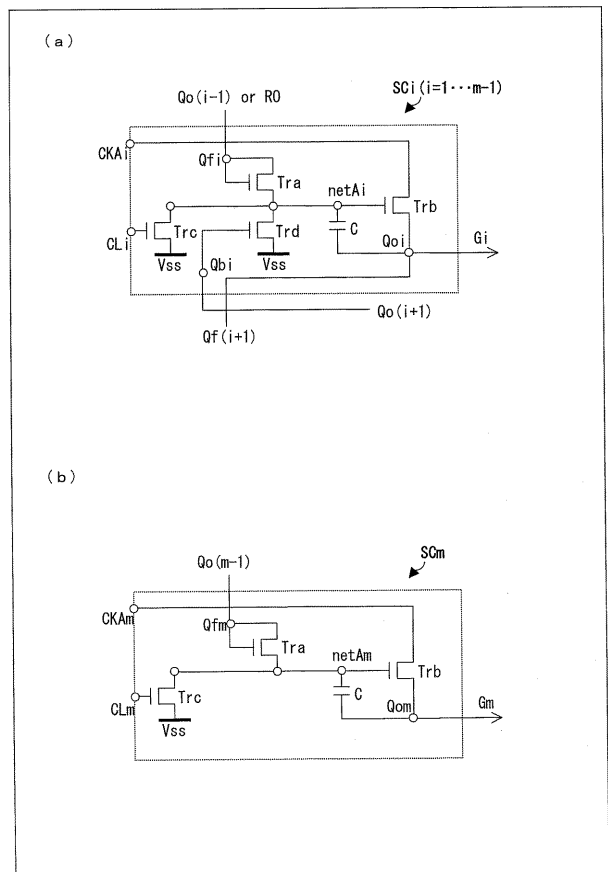
【0229】

本表示パネル駆動回路およびシフトレジスタは液晶表示装置に好適である。

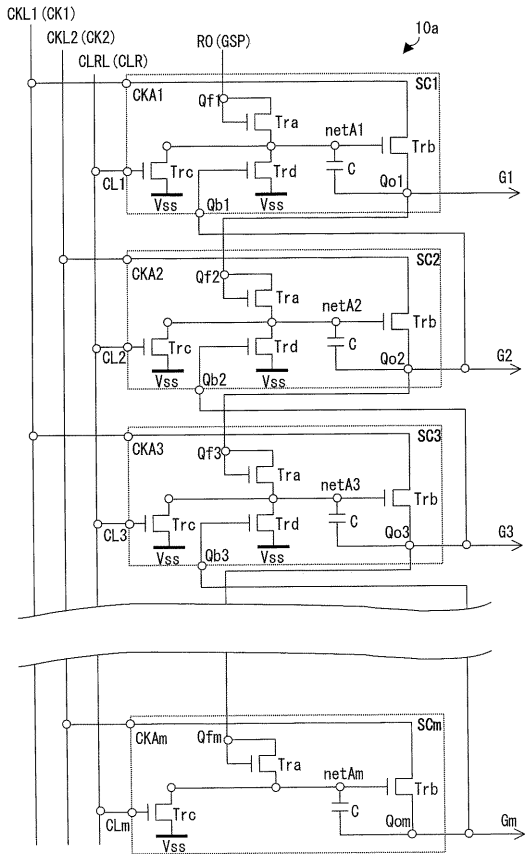
【図1】



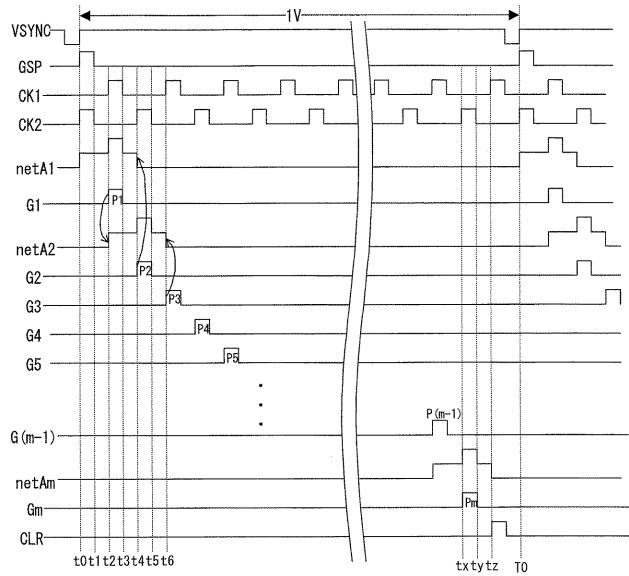
【図2】



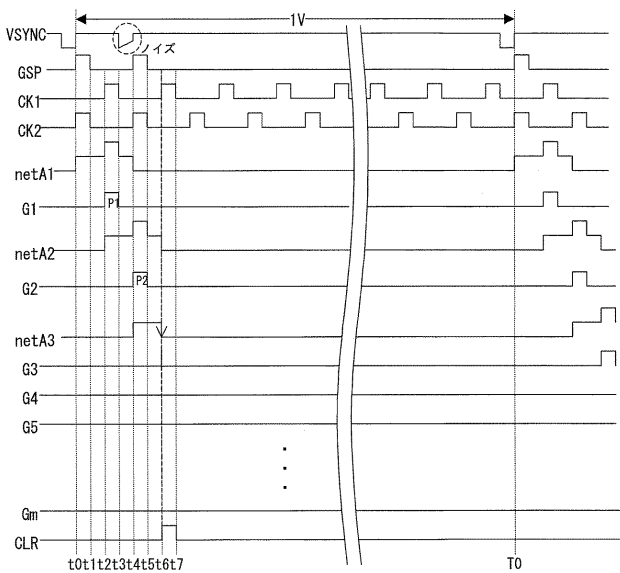
【 図 3 】



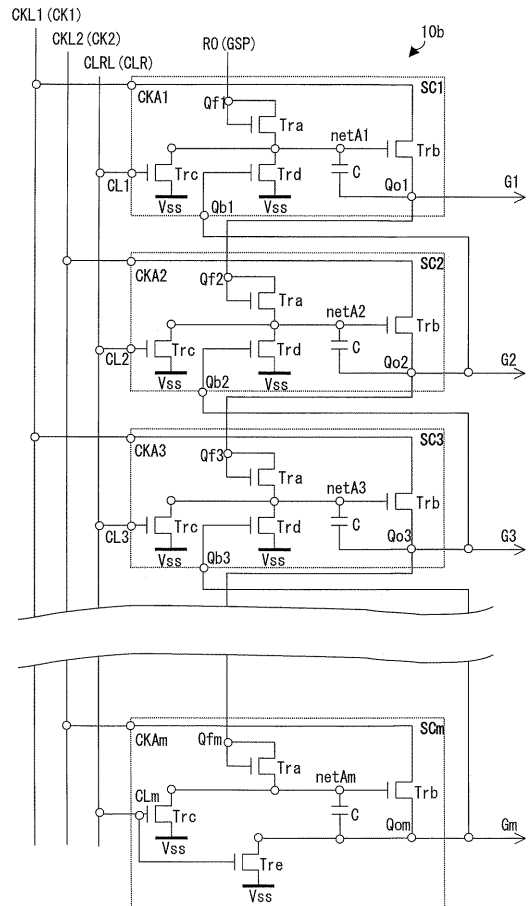
【 図 4 】



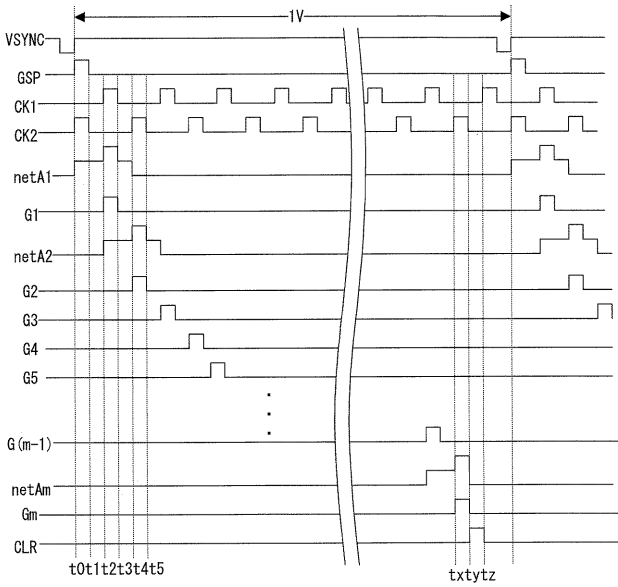
【 図 5 】



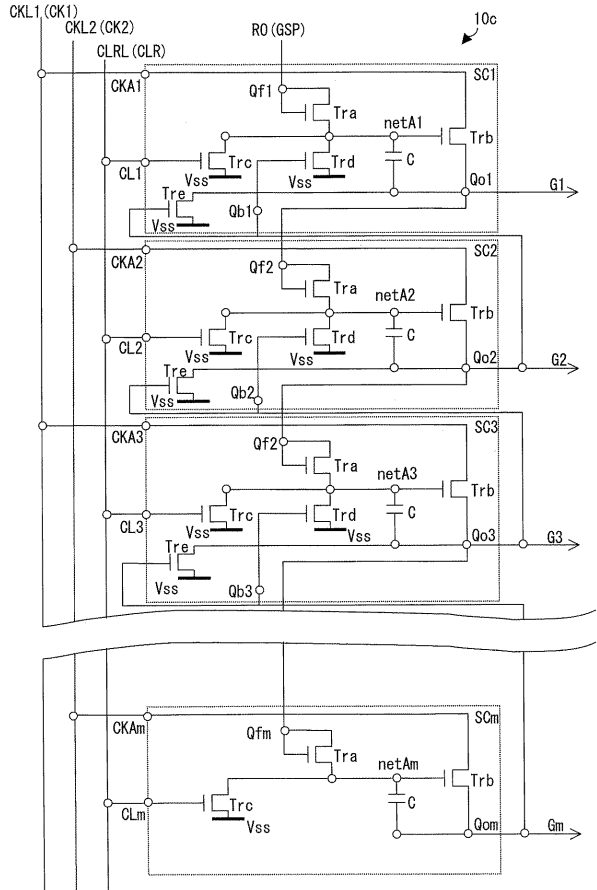
【 図 6 】



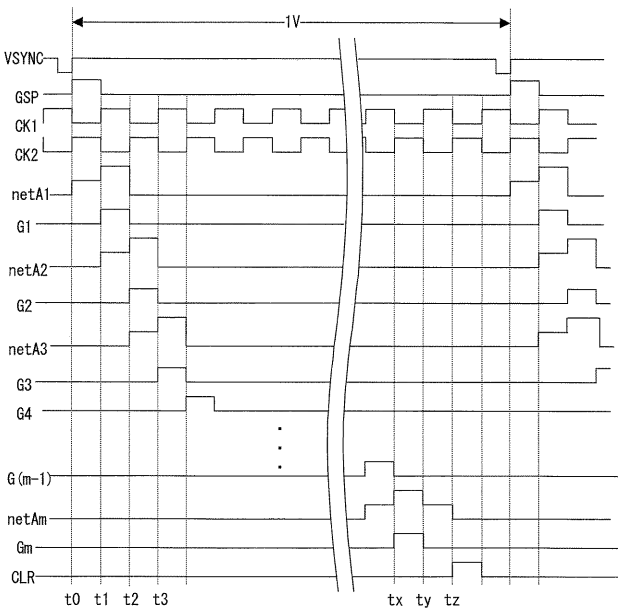
【図7】



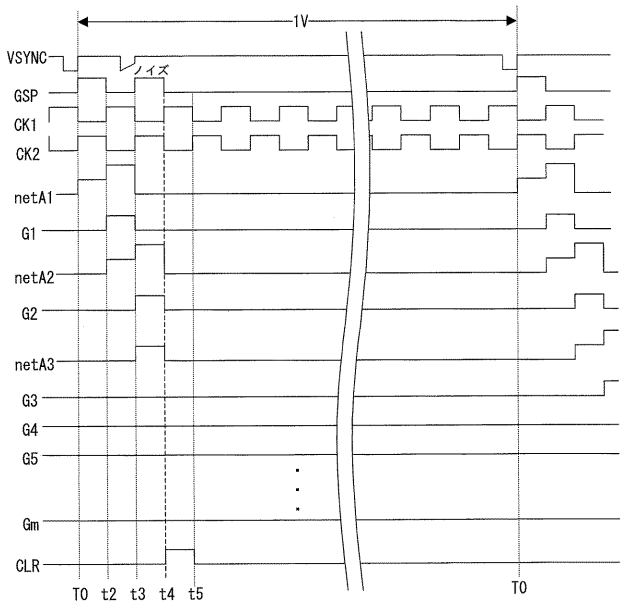
【図8】



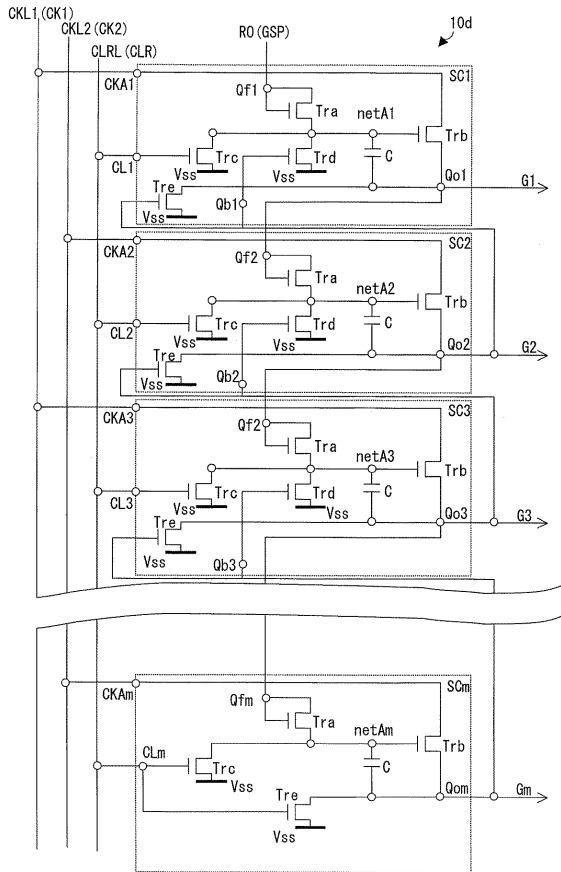
【図9】



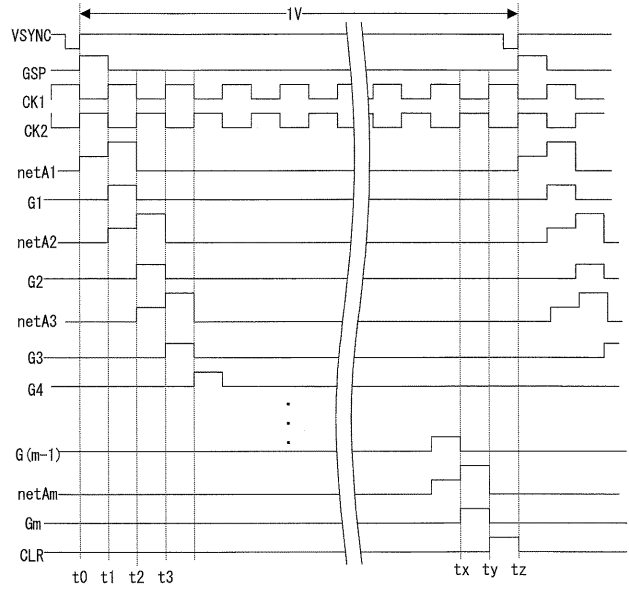
【図10】



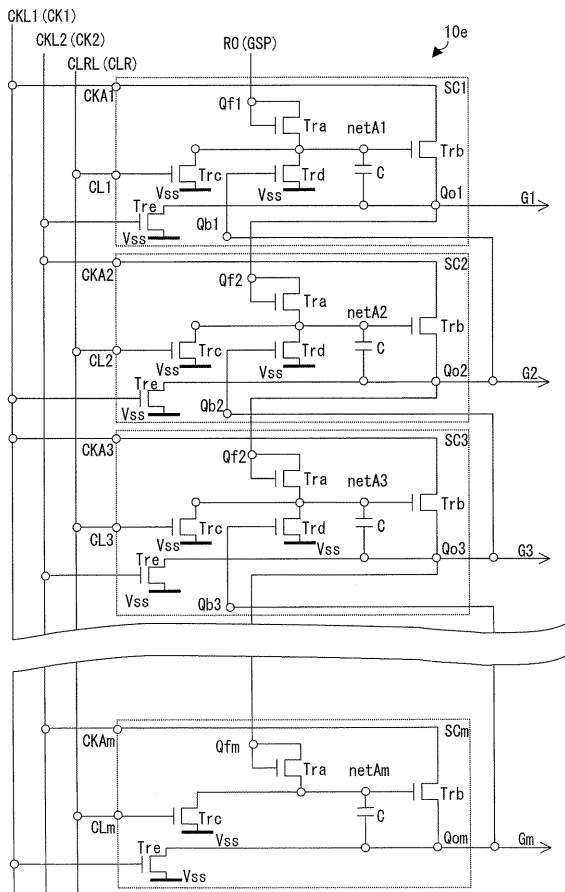
【 図 1 1 】



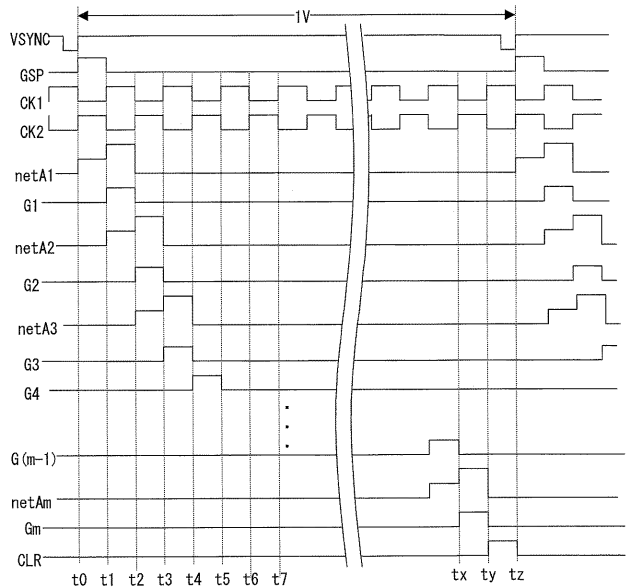
【 図 1 2 】



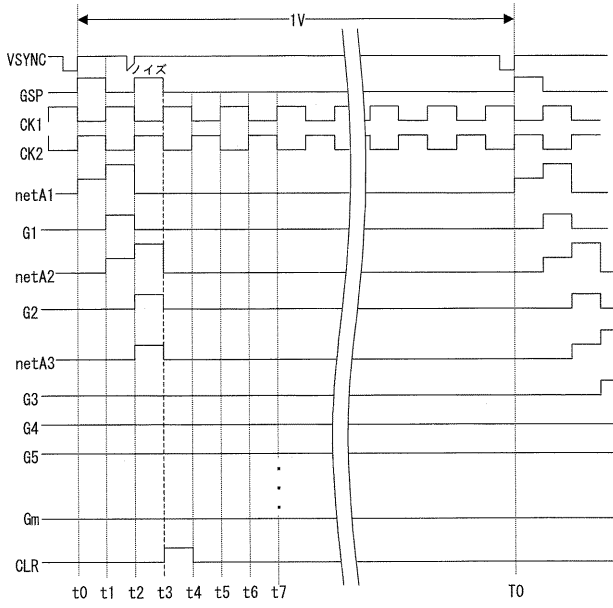
【 図 1 3 】



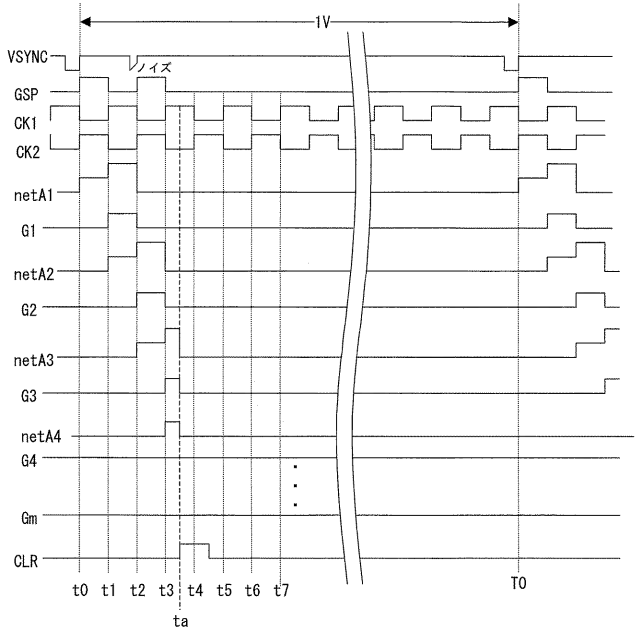
【 図 1 4 】



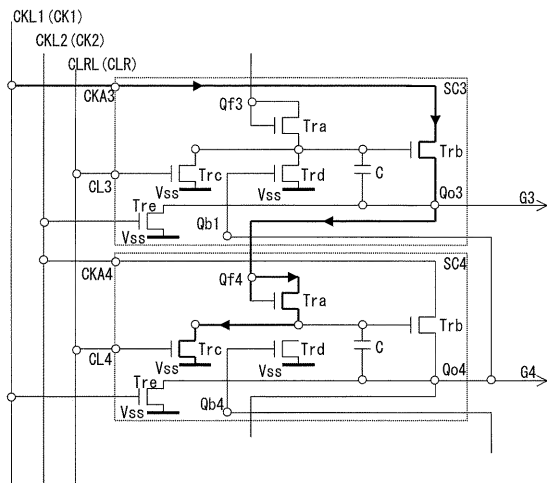
【 図 1 5 】



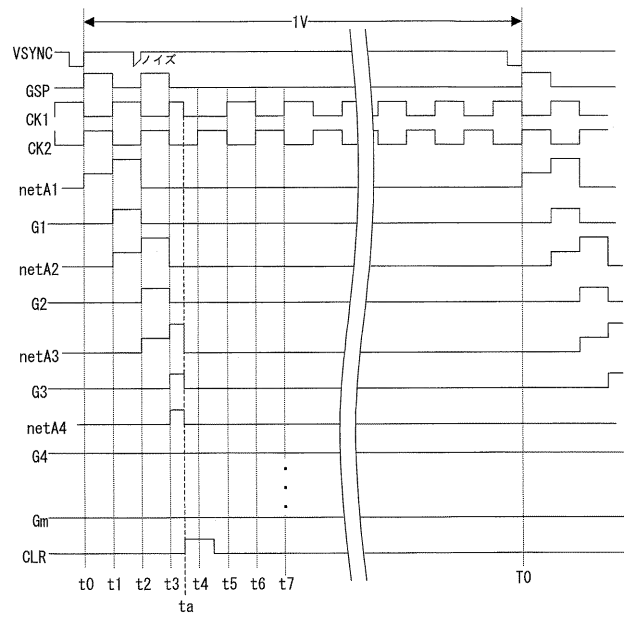
【 図 1 6 】



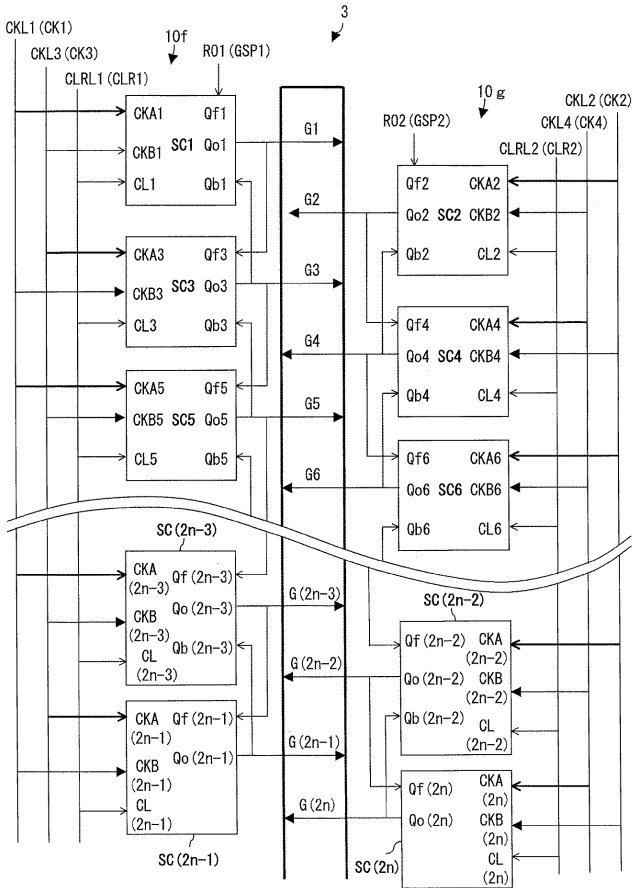
【 図 1 7 】



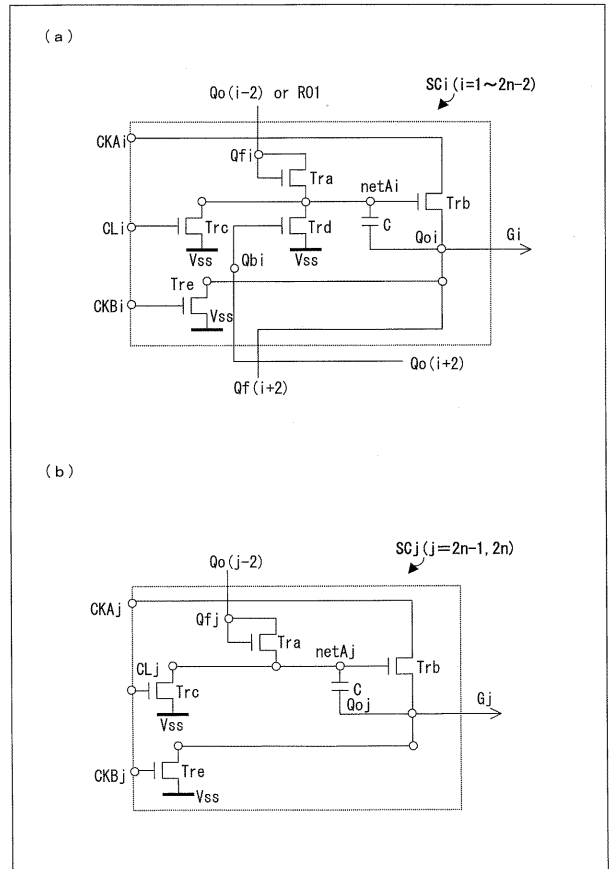
【 図 1 8 】



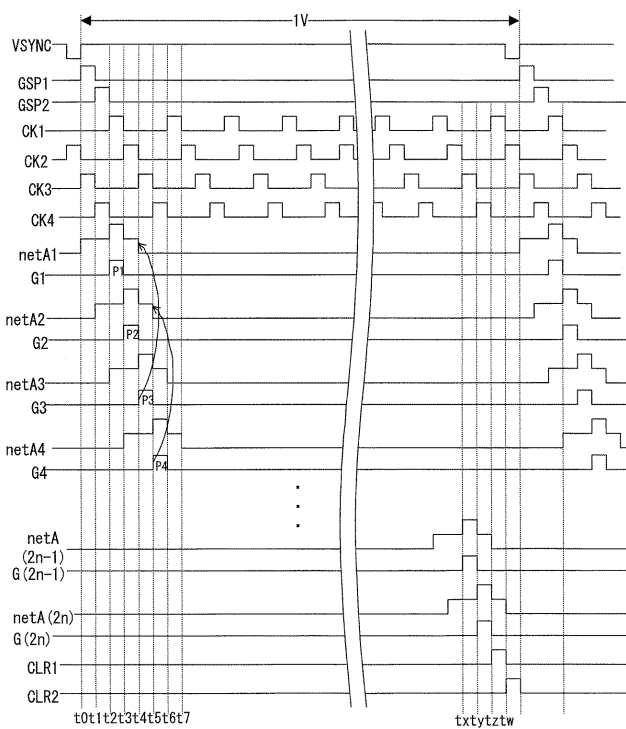
【 図 19 】



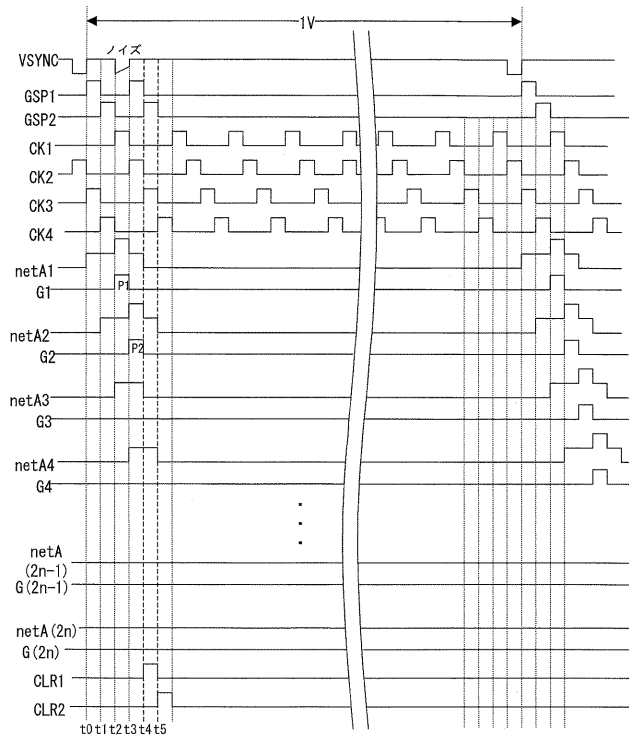
【 図 20 】



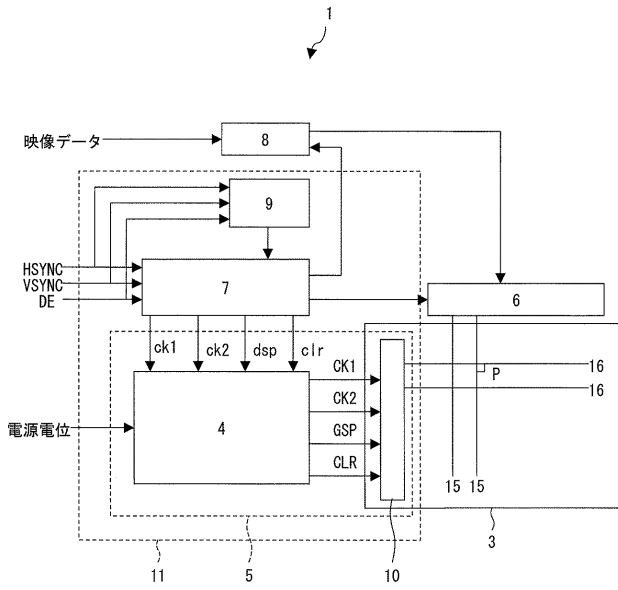
【 図 21 】



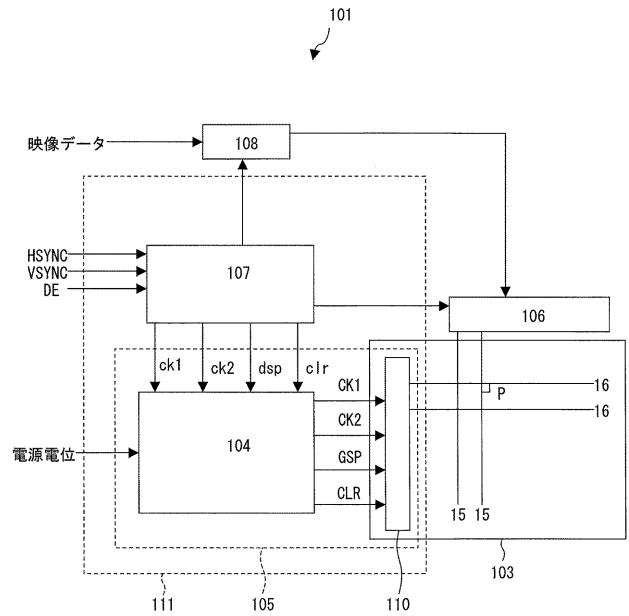
【 図 22 】



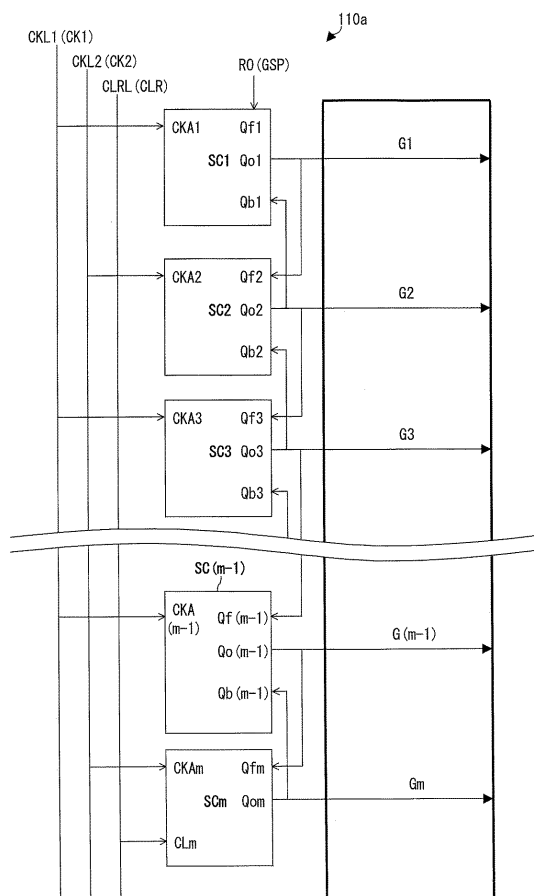
【図 2 3】



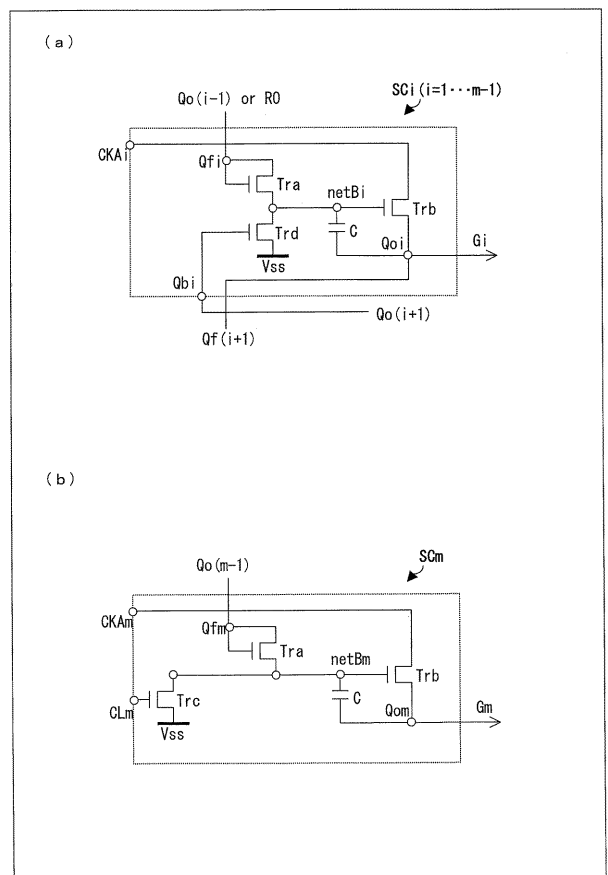
【図 2 4】



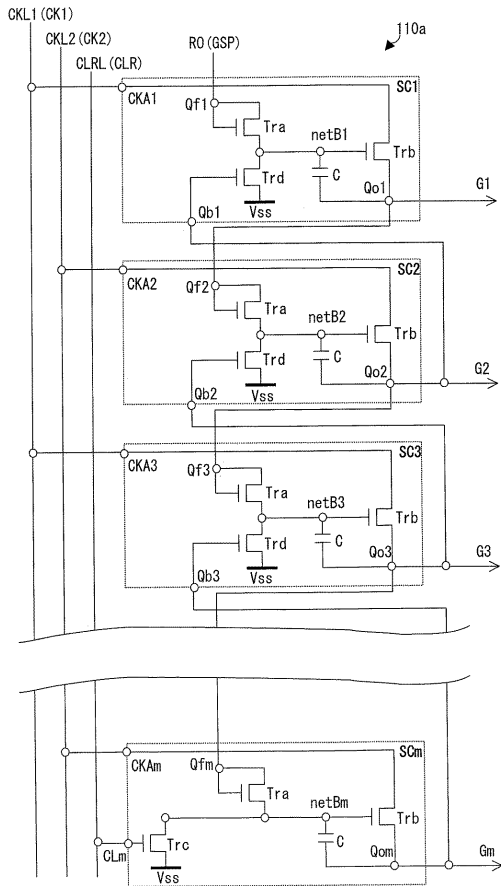
【図 2 5】



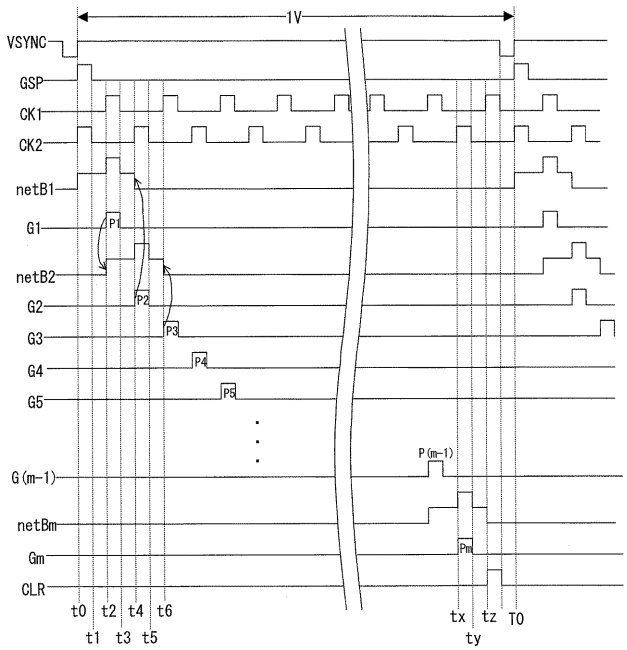
【図 2 6】



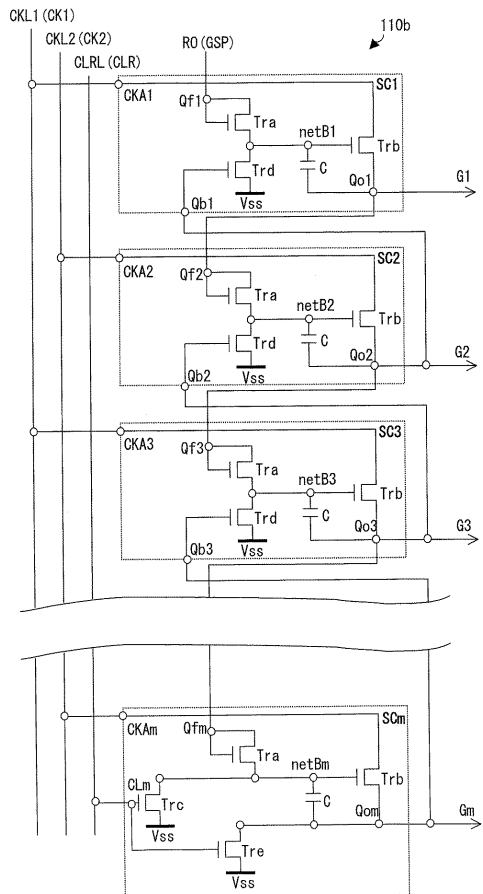
【 図 2 7 】



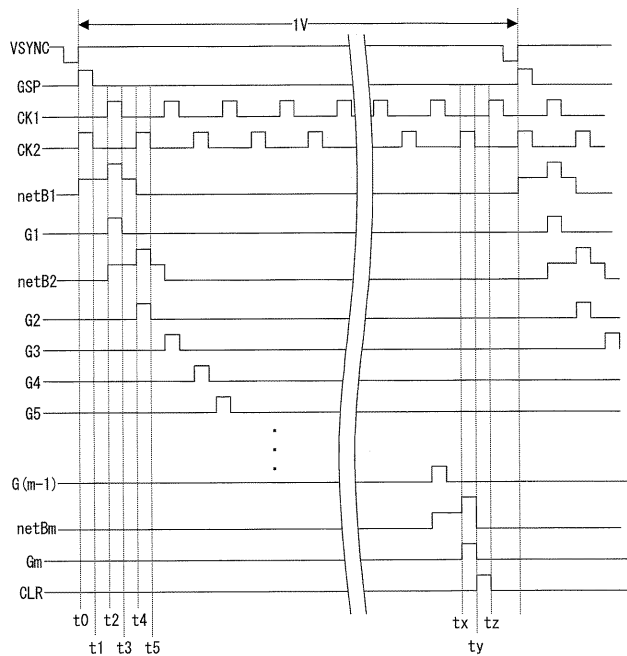
【 図 2 8 】



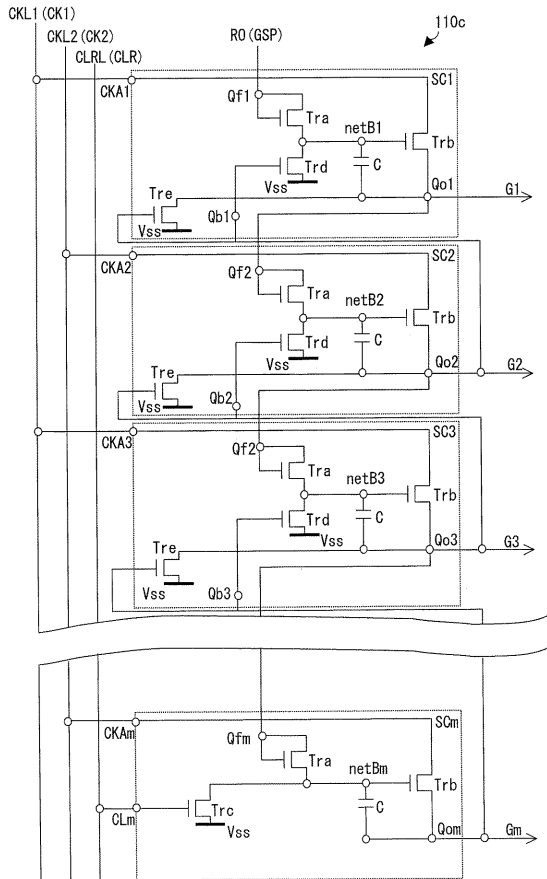
【 図 2 9 】



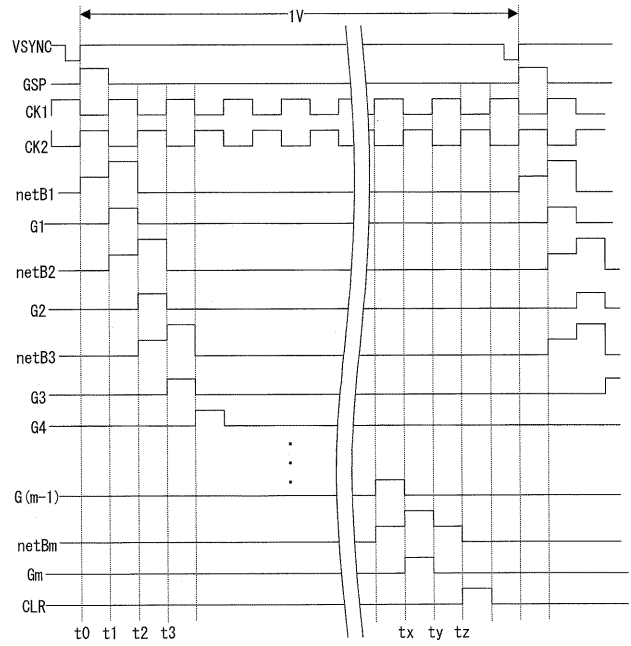
【 図 3 0 】



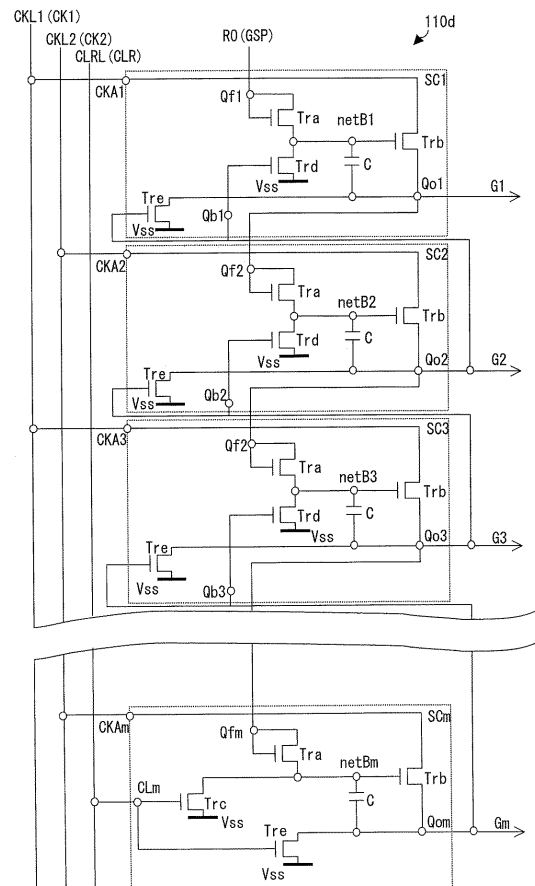
【 図 3 1 】



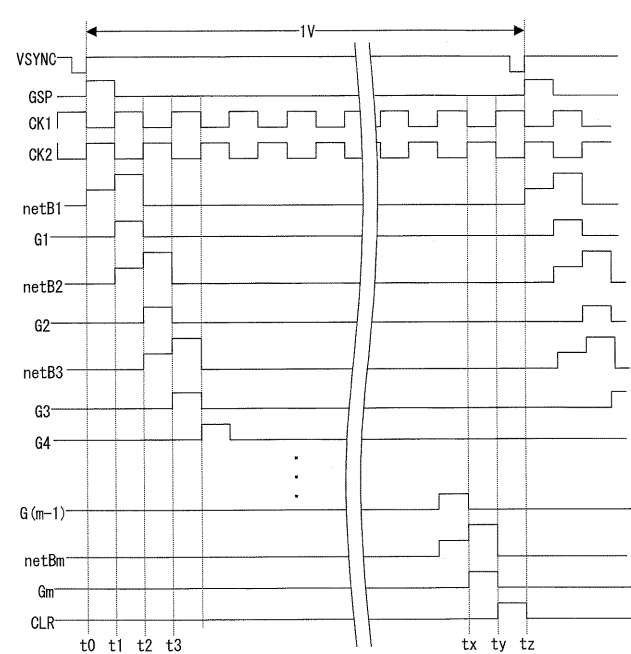
【 図 3 2 】



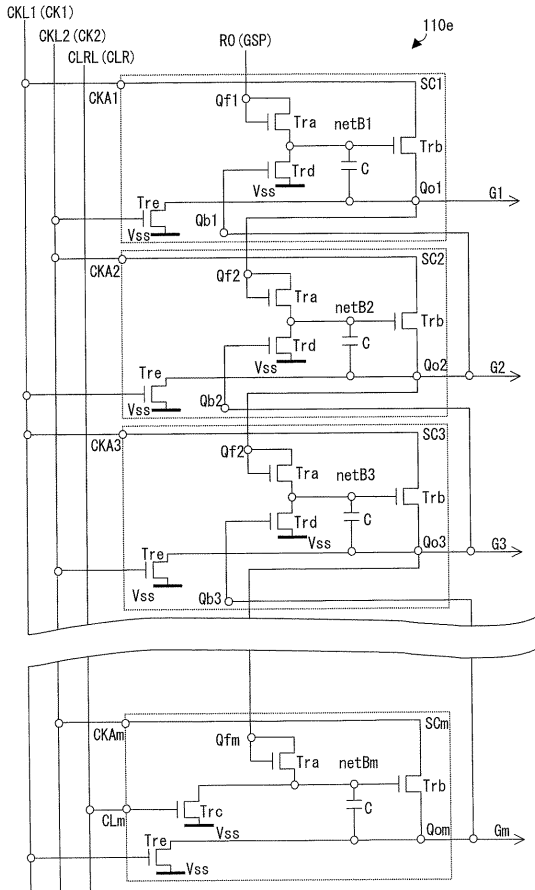
【 図 3 3 】



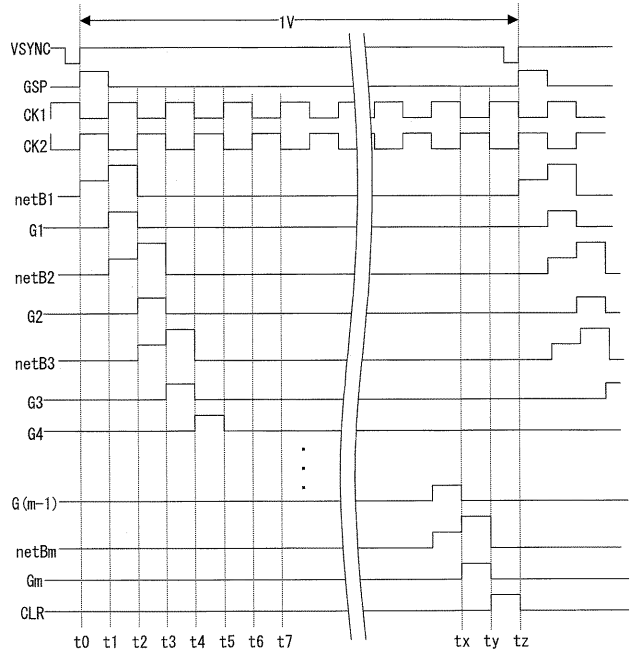
【 図 3 4 】



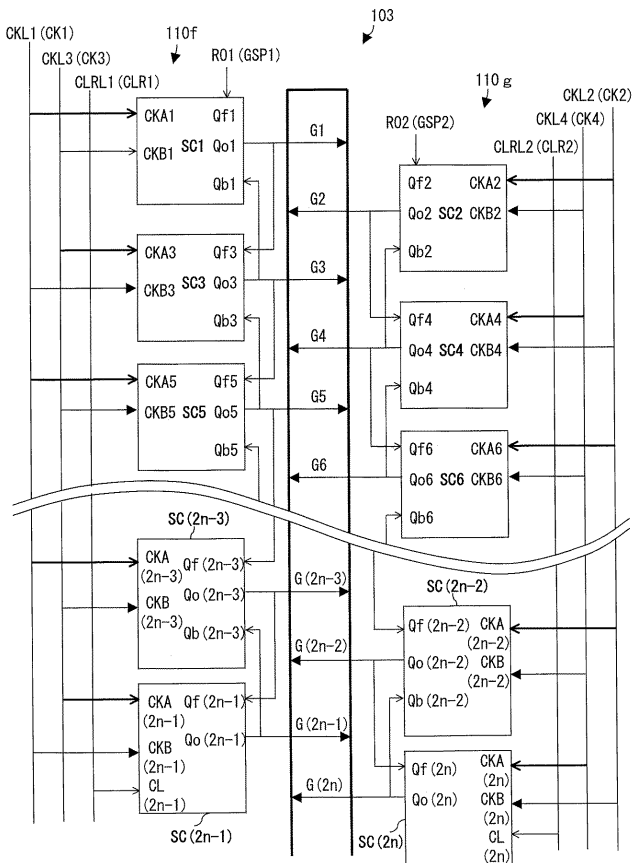
【 図 3 5 】



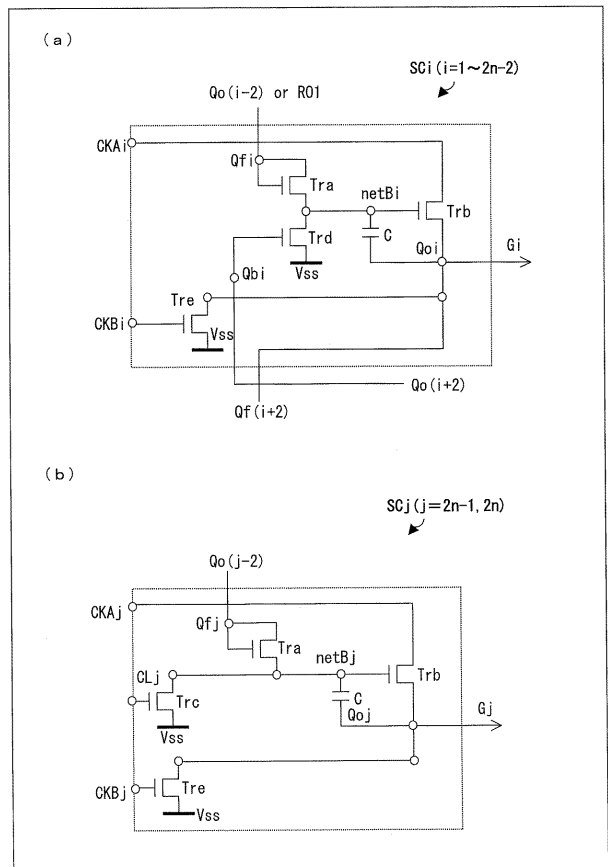
【 図 3 6 】



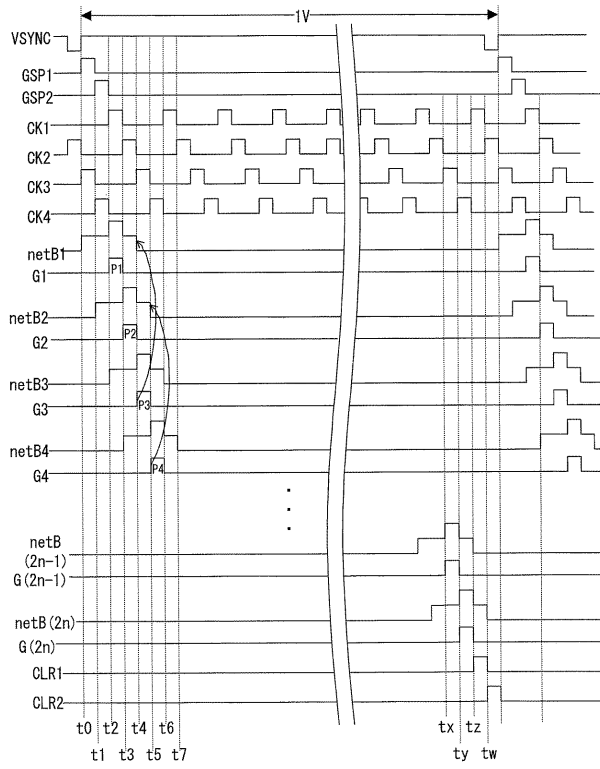
【 図 3 7 】



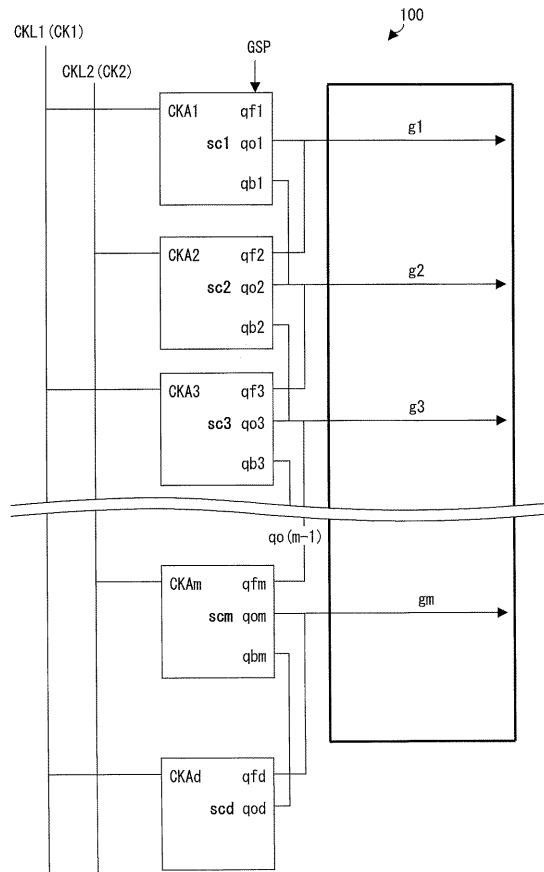
【 図 3 8 】



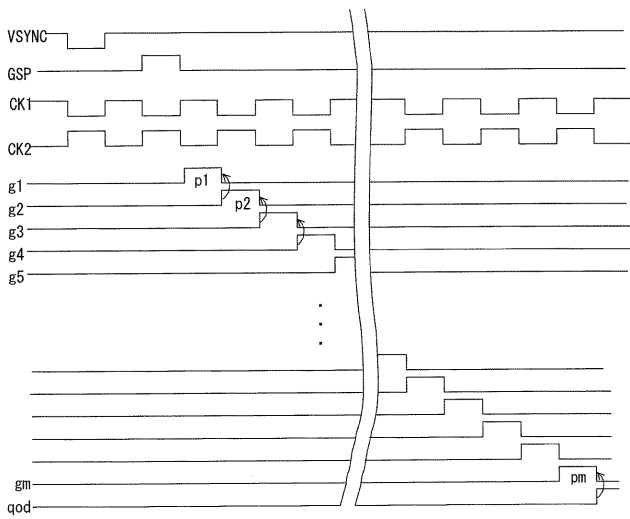
【図 39】



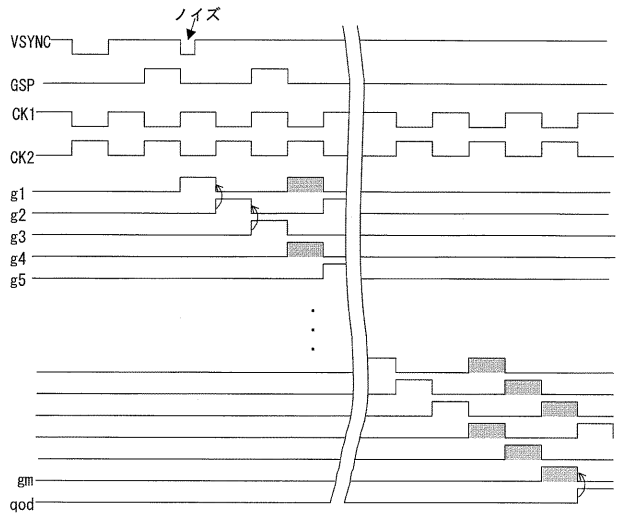
【図 40】



【図 41】



【図 42】



## 【手続補正書】

【提出日】平成22年9月6日(2010.9.6)

## 【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

信号線選択信号を出力する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタを備え、外部から同期信号が入力される表示パネル駆動回路であって、

上記単位回路には、クロック信号と、スタートパルス信号あるいは他段で生成された信号線選択信号と、クリア信号とが入力され、

該クリア信号は、少なくとも同期信号に異常がある場合にアクティブとなり、それ以後は、次の垂直走査期間の開始時まで上記シフトレジスタからパルスが出力されないことを特徴とする表示パネル駆動回路。

【請求項 2】

上記同期信号に基づいて、クロック信号、スタートパルス信号、およびクリア信号が生成されることを特徴とする請求項 1 記載の表示パネル駆動回路。

【請求項 3】

上記同期信号には、垂直同期信号、水平同期信号、およびデータインベリブル信号の少なくとも 1 つが含まれることを特徴とする請求項 1 または 2 記載の表示パネル駆動回路。

【請求項 4】

同期信号の異常に関わりなく最終段からのパルスが出力された後にも上記クリア信号がアクティブとなることによって、最終段からの信号線選択信号が非アクティブに維持されることを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の表示パネル駆動回路。

【請求項 5】

最終段以外の段となる単位回路には、セット用トランジスタと、出力用トランジスタと、リセット用トランジスタと、クリア用トランジスタと、容量とが含まれ、該単位回路においては、

セット用トランジスタの制御端子にスタートパルス信号あるいは前段の信号線選択信号が入力され、

リセット用トランジスタの制御端子に次段の信号線選択信号が入力され、

クリア用トランジスタの制御端子にクリア信号が入力され、

出力用トランジスタの第 1 導通端子にクロック信号が入力され、

出力用トランジスタの第 2 導通端子が容量の第 1 電極に接続され、セット用トランジスタの制御端子および第 1 導通端子が接続されるとともに、セット用トランジスタの第 2 導通端子が出力用トランジスタの制御端子と容量の第 2 電極とに接続され、

リセット用トランジスタの第 1 導通端子が出力用トランジスタの制御端子に接続されるとともに、リセット用トランジスタの第 2 導通端子が定電位源に接続され、

クリア用トランジスタの第 1 導通端子が出力用トランジスタの制御端子に接続されるとともに、クリア用トランジスタの第 2 導通端子が定電位源に接続され、

出力用トランジスタの第 2 導通端子が出力端子となっていることを特徴とする請求項 1 ~ 4 のいずれか 1 項に記載の表示パネル駆動回路。

【請求項 6】

最終段以外の段となる単位回路に、さらに電位供給用トランジスタが含まれ、

電位供給用トランジスタの第 1 導通端子が出力用トランジスタの第 2 導通端子に接続されるとともに、電位供給用トランジスタの第 2 導通端子が定電位源に接続され、

電位供給用トランジスタの制御端子に、次段の信号線選択信号が入力されることを特徴

10

20

30

40

50

とする請求項 5 記載の表示パネル駆動回路。

【請求項 7】

最終段以外の段となる単位回路に、さらに電位供給用トランジスタが含まれ、  
電位供給用トランジスタの第 1 導通端子が出力用トランジスタの第 2 導通端子に接続されるとともに、電位供給用トランジスタの第 2 導通端子が定電位源に接続され、  
電位供給用トランジスタの制御端子に、上記クロック信号とは異なるクロック信号が入力されることを特徴とする請求項 5 記載の表示パネル駆動回路。

【請求項 8】

最終段となる単位回路には、セット用トランジスタと、出力用トランジスタと、クリア用トランジスタと、容量とが含まれ、該単位回路においては、  
セット用トランジスタの制御端子に前段の信号線選択信号が入力され、  
クリア用トランジスタの制御端子にクリア信号が入力され、  
出力用トランジスタの第 1 導通端子にクロック信号が入力され、  
出力用トランジスタの第 2 導通端子が容量の第 1 電極に接続され、セット用トランジスタの制御端子および第 1 導通端子が接続されるとともに、セット用トランジスタの第 2 導通端子が出力用トランジスタの制御端子と容量の第 2 電極とに接続され、  
クリア用トランジスタの第 1 導通端子が出力用トランジスタの制御端子に接続されるとともに、クリア用トランジスタの第 2 導通端子が定電位源に接続され、  
出力用トランジスタの第 2 導通端子が出力端子となっていることを特徴とする請求項 5 記載の表示パネル駆動回路。

【請求項 9】

最終段となる単位回路に、さらに電位供給用トランジスタが含まれ、  
電位供給用トランジスタの制御端子に上記クリア信号が入力され、  
電位供給用トランジスタの第 1 導通端子が出力用トランジスタの第 2 導通端子に接続されるとともに、電位供給用トランジスタの第 2 導通端子が定電位源に接続されていることを特徴とする請求項 8 記載の表示パネル駆動回路。

【請求項 10】

上記クリア信号を、各段からの信号線選択信号が非アクティブとなるタイミングあるいは非アクティブとなっているタイミングでアクティブとすることを特徴とする請求項 5 に記載の表示パネル駆動回路。

【請求項 11】

上記シフトレジスタには互いに位相が異なる複数のクロック信号が供給され、これらクロック信号それぞれが異なる単位回路の出力用トランジスタに入力されることを特徴とする請求項 5 に記載の表示パネル駆動回路。

【請求項 12】

上記複数のクロック信号それぞれの非アクティブ期間が一部重なっていることを特徴とする請求項 11 に記載の表示パネル駆動回路。

【請求項 13】

上記複数のクロック信号に、位相が半周期分ずれた 2 つのクロック信号が含まれることを特徴とする請求項 11 に記載の表示パネル駆動回路。

【請求項 14】

クリア信号がアクティブとなる期間に、上記複数のクロック信号の少なくとも 1 つを非アクティブとすることを特徴とする請求項 11 記載の表示パネル駆動回路。

【請求項 15】

セット用トランジスタ、出力用トランジスタ、リセット用トランジスタ、およびクリア用トランジスタそれぞれが N チャネルトランジスタであることを特徴とする請求項 5 記載の表示パネル駆動回路。

【請求項 16】

セット用トランジスタ、出力用トランジスタ、リセット用トランジスタ、クリア用トランジスタ、および電位供給用トランジスタそれぞれが N チャネルトランジスタであること

10

20

30

40

50

を特徴とする請求項 6 または 7 に記載の表示パネル駆動回路。

【請求項 17】

上記各トランジスタの第 1 導通端子がドレイン端子で、第 2 導通端子がソース端子であることを特徴とする請求項 15 に記載の表示パネル駆動回路。

【請求項 18】

上記各トランジスタの第 1 導通端子がソース端子で、第 2 導通端子がドレイン端子であることを特徴とする請求項 5 に記載の表示パネル駆動回路。

【請求項 19】

上記同期信号を用いて上記クロック信号およびスタートパルス信号並びにクリア信号を生成するタイミングコントローラを備えることを特徴とする請求項 1 に記載の表示パネル駆動回路。

10

【請求項 20】

上記同期信号の異常を検出する異常検出回路を備え、この検出結果に基づいて上記クリア信号が生成されることを特徴とする請求項 1 に記載の表示パネル駆動回路。

【請求項 21】

請求項 1 に記載の表示パネル駆動回路と液晶パネルとを備えることを特徴とする液晶表示装置。

【請求項 22】

上記シフトレジスタが液晶パネルにモノリシックに形成されていることを特徴とする請求項 21 に記載の液晶表示装置。

20

【請求項 23】

上記液晶パネルはアモルファスシリコンを用いて形成されていることを特徴とする請求項 22 に記載の液晶表示装置。

【請求項 24】

上記液晶パネルは多結晶シリコンを用いて形成されていることを特徴とする請求項 22 に記載の液晶表示装置

【請求項 25】

同期信号が入力される表示パネル駆動回路に設けられ、信号線選択信号を生成する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタであって、

30

上記単位回路には、クロック信号と、スタートパルス信号あるいは他段で生成された信号線選択信号と、クリア信号とが入力され、

該クリア信号は、少なくとも同期信号に異常がある場合にアクティブとなり、それ以後は、次の垂直走査期間の開始時までパルスが出力されないことを特徴とするシフトレジスタ。

【請求項 26】

請求項 25 に記載のシフトレジスタがモノリシックに形成されていることを特徴とする液晶パネル。

【請求項 27】

信号線選択信号を生成する単位回路が段状に接続されてなるとともに、信号線選択信号が一定期間アクティブとなることで形成されるパルスが初段から順に最終段まで出力されるシフトレジスタを備え、同期信号が入力される表示装置を駆動するための、表示装置の駆動方法であって、

40

上記単位回路に、クロック信号と、スタートパルス信号あるいは他段で生成された信号線選択信号と、クリア信号とを入力し、

該クリア信号を少なくとも同期信号に異常がある場合にアクティブとすることで、それ以後次の垂直走査期間の開始時まで上記シフトレジスタからパルスを出力させないことを特徴とする表示装置の駆動方法。

【請求項 28】

入力されるクロック信号を用いてパルスを出力する単位回路が段状に接続されてなると

50

ともに各段から順次パルスが出力されるシフトレジスタを備え、各単位回路における上記クロック信号の入力端子と出力端子との間に出力用トランジスタを有し、外部から同期信号が入力される表示パネル駆動回路であって、

少なくとも上記同期信号に異常がある場合にアクティブとなるクリア信号が生成されて各単位回路に入力され、

上記クリア信号がアクティブになると、それ以降次の垂直走査期間の開始時まで各単位回路の出力用トランジスタがOFFされることを特徴とする表示パネル駆動回路。

【請求項 29】

上記クリア信号は、同期信号の異常に関わりなく最終段となる単位回路からパルスが出力された後にもアクティブとなり、それ以降次の垂直走査期間の開始時まで各単位回路の出力用トランジスタがOFFされることを特徴とする請求項 28 に記載の表示パネル駆動回路。

【請求項 30】

上記クリア信号は、上記パルスが出力されていないタイミングあるいはパルスが非アクティブ化するタイミングでアクティブとなることを特徴とする請求項 28 に記載の表示パネル駆動回路。

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/072931

A. CLASSIFICATION OF SUBJECT MATTER G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) G09G3/36, G02F1/133, G09G3/20		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2009 Kokai Jitsuyo Shinan Koho 1971-2009 Toroku Jitsuyo Shinan Koho 1994-2009		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 99/40561 A1 (Seiko Epson Corp.), 12 August, 1999 (12.08.99), Description, page 37, lines 14 to 26 & JP 2001-125071 A & US 6522319 B1 & EP 974952 A1	1-27, 32-34
A	JP 2003-167545 A (Sharp Corp.), 13 June, 2003 (13.06.03), Par. Nos. [0007] to [0008], [0059] (Family: none)	1-27, 32-34
A	JP 2007-202126 A (Semiconductor Energy Laboratory Co., Ltd.), 09 August, 2007 (09.08.07), Figs. 1 to 2, 5 to 6; Par. Nos. [0113] to [0124] & US 2007/0148793 A1 & KR 10-2007-0070074 A	1-27, 32-34
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 02 March, 2009 (02.03.09)		Date of mailing of the international search report 17 March, 2009 (17.03.09)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/072931

**Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The invention of claims 1 - 27 and 32 - 34 relates to a display panel driving circuit, a shift register and a display device driving method, in which a clear signal is inputted to unit circuits constituting a shift register and in which said clear signal is activated, in the case where at least a synchronizing signal is abnormal, so that no pulse is subsequently outputted from said shift register till the start of the next vertical scanning period.

The invention of claims 28 - 31 and 35 - 36 relates to a display panel driving circuit, a shift register and a display device driving method, in which a clear signal is inputted to a unit circuit to become a final stage constituting a shift register, (continued to extra sheet)

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:  
1 - 27 and 32 - 34.

**Remark on Protest**  
the

- The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- No protest accompanied the payment of additional search fees.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2008/072931

Continuation of Box No.III of continuation of first sheet(2)

and in which said clear signal is activated after the pulses are outputted from the final stage, so that the signal line selecting signals from the final stage are kept inactive.

Moreover, it is not considered that those two invention groups are correlated to form a single general inventive concept.

国際調査報告		国際出願番号 PCT/JP2008/072931									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/36, G02F1/133, G09G3/20											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2009年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2009年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2009年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2009年	日本国実用新案登録公報	1996-2009年	日本国登録実用新案公報	1994-2009年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2009年										
日本国実用新案登録公報	1996-2009年										
日本国登録実用新案公報	1994-2009年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
A	WO 99/40561 A1 (セイコーエプソン株式会社) 1999.08.12, 明細書 第37頁第14-26行 & JP 2001-125071 A & US 6522319 B1 & EP 974952 A1	1-27, 32-34									
A	JP 2003-167545 A (シャープ株式会社) 2003.06.13, 段落【000 7】-【0008】, 【0059】 (ファミリーなし)	1-27, 32-34									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 02.03.2009		国際調査報告の発送日 17.03.2009									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 小川 浩史	2G   4002								
		電話番号 03-3581-1101 内線 3226									

国際調査報告

国際出願番号 PCT/JP2008/072931

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2007-202126 A (株式会社半導体エネルギー研究所) 2007.08.09, 図1-2, 5-6, 段落【0113】-【0124】 & US 2007/0148793 A1 & KR 10-2007-0070074 A	1-27, 32-34

国際調査報告

国際出願番号 PCT/JP2008/072931

## 第II欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
  
2.  請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
  
3.  請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第III欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるときの国際調査機関は認めた。

請求の範囲1-27, 32-34に係る発明は、シフトレジスタを構成する単位回路にクリア信号が入力され、該クリア信号は、少なくとも同期信号に異常がある場合にアクティブとなり、それ以後は、次の垂直走査期間の開始時まで上記シフトレジスタからパルスが出力されない表示パネル駆動回路、シフトレジスタ、及び表示装置の駆動方法に関するものである。

請求の範囲28-31, 35-36に係る発明は、シフトレジスタを構成する最終段となる単位回路にクリア信号が入力され、最終段からパルスが出力された後に上記クリア信号がアクティブとなることによって最終段からの信号線選択信号が非アクティブに維持される表示パネル駆動回路、シフトレジスタ、及び表示装置の駆動方法に関するものである。

そして、これら2つの発明群が単一の一般的発明概念を形成するように連関している一群の発明であるとは認められない。

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

1-27, 32-34

## 追加調査手数料の異議の申立てに関する注意

- 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- 追加調査手数料の納付はあったが、異議申立てはなかった。

## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
G 1 1 C 19/28 (2006.01)	G 0 9 G 3/20	6 1 2 L
	G 0 9 G 3/20	6 2 2 S
	G 0 9 G 3/20	6 2 3 P
	G 0 9 G 3/20	6 1 2 K
	G 0 9 G 3/20	6 2 1 A
	G 0 2 F 1/1345	
	G 0 2 F 1/133	5 0 5
	G 1 1 C 19/00	J
	G 1 1 C 19/28	D
	G 1 1 C 19/00	K

(81)指定国 AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MT,NL,NO,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LT,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RS,RU,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,ZA,ZM,ZW

(72)発明者 廣兼 正浩

日本国大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

(72)発明者 太田 裕己

日本国大阪府大阪市阿倍野区長池町2番2号 シャープ株式会社内

Fターム(参考) 2H092 GA59 KA04 KA05 KA07 NA01 NA26

2H193 ZA04 ZF02 ZF21 ZF32 ZF44

5C006 AF53 AF65 AF72 BB16 BC06 BC12 BC20 BC24 BF03 FA41

5C080 AA10 BB05 DD19 DD22 JJ02 JJ03 JJ04

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	显示面板驱动电路，液晶显示装置，移位寄存器，液晶面板		
公开(公告)号	<a href="#">JPWO2009116214A1</a>	公开(公告)日	2011-07-21
申请号	JP2010503747	申请日	2008-12-17
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	水永隆行 森井秀樹 岩本明久 廣兼正浩 太田裕己		
发明人	水永 隆行 森井 秀樹 岩本 明久 廣兼 正浩 太田 裕己		
IPC分类号	G09G3/36 G09G3/20 G02F1/1345 G02F1/133 G11C19/00 G11C19/28		
CPC分类号	G09G3/3677 G09G2310/0286 G09G2330/025 G11C19/184 G11C19/28		
FI分类号	G09G3/36 G09G3/20.680.G G09G3/20.621.M G09G3/20.623.H G09G3/20.670.G G09G3/20.612.L G09G3/20.622.S G09G3/20.623.P G09G3/20.612.K G09G3/20.621.A G02F1/1345 G02F1/133.505 G11C19/00.J G11C19/28.D G11C19/00.K		
F-TERM分类号	2H092/GA59 2H092/KA04 2H092/KA05 2H092/KA07 2H092/NA01 2H092/NA26 2H193/ZA04 2H193/ZF02 2H193/ZF21 2H193/ZF32 2H193/ZF44 5C006/AF53 5C006/AF65 5C006/AF72 5C006/BB16 5C006/BC06 5C006/BC12 5C006/BC20 5C006/BC24 5C006/BF03 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD19 5C080/DD22 5C080/JJ02 5C080/JJ03 5C080/JJ04		
优先权	2008072420 2008-03-19 JP		
其他公开文献	JP5318852B2		
外部链接	<a href="#">Espacenet</a>		

#### 摘要(译)

产生信号线选择信号 ( G1至Gm ) 的单元电路被分级连接，并且由信号线选择信号 ( G1至Gm ) 形成的脉冲从第一级到最后一级被顺序输出。一种包括寄存器的显示面板驱动电路，其中，每个单元电路具有基于时钟信号 ( CK1-CK2 ) 和来自显示面板驱动电路外部的同步信号 ( VSYNC ) 产生的栅极起始脉冲。输入在另一级中产生的信号 ( GSP ) 或信号线选择信号 ( G1至Gm ) 和清除信号 ( CLR )，并且清除信号 ( CLR ) 指示同步信号 ( VSYNC ) 异常。然后，移位寄存器直到下一个垂直扫描周期开始才输出脉冲。根据上述构造，可以实现一种显示面板驱动电路，当同步信号 ( VSYNC ) 发生异常时，可以抑制显示干扰并增加电源上的负载。