

(19) 日本国特許庁(JP)

再公表特許(A1)

(11) 国際公開番号

W02008/117623

発行日 平成22年7月15日 (2010. 7. 15)

(43) 国際公開日 平成20年10月2日 (2008. 10. 2)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H193
G09G 3/20 (2006.01)	G09G 3/20 631U	5C006
G09G 3/34 (2006.01)	G09G 3/20 621F	5C080
G02F 1/133 (2006.01)	G09G 3/20 631B	
	G09G 3/20 641E	

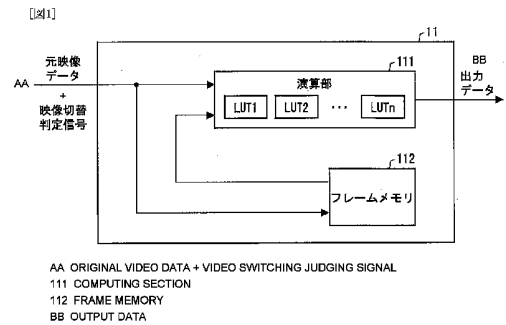
審査請求 有 予備審査請求 未請求 (全 25 頁) 最終頁に続く

出願番号 特願2009-506259 (P2009-506259)	(71) 出願人 000005049 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
(21) 国際出願番号 PCT/JP2008/053569	(74) 代理人 110000338 特許業務法人原謙三国際特許事務所
(22) 国際出願日 平成20年2月28日 (2008. 2. 28)	(72) 発明者 大和 朝日 日本国大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社内
(31) 優先権主張番号 特願2007-85928 (P2007-85928)	Fターム(参考) 2H193 ZE01 ZE02 ZE03 ZF16 ZF17 ZG02 5C006 AA14 AB03 AC21 AF04 AF05 AF07 AF13 AF45 AF69 BB29 BF02 BF28 EA01 FA14 FA29
(32) 優先日 平成19年3月28日 (2007. 3. 28)	
(33) 優先権主張国 日本国(JP)	最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【要約】

液晶表示装置における高速動画処理部(11)は、現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る複数のLUTを備えた演算部(111)と、前フレームの映像データ信号を格納するフレームメモリ(112)とを備えている。同一フレーム期間中の各書き込み期間では、演算部(11)は、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、フレームメモリ(112)から読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なう。また、オーバーシュート駆動を行なうためのLUTは、各書き込み期間毎に異なるLUTに切り替えられる。



【特許請求の範囲】**【請求項 1】**

1 フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1 フレーム期間中に液晶パネルへの書き込みを n 回 ($n \geq 2$) 実施する液晶表示装置において、
現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る複数の LUT を備えた演算部と、

前フレームの映像データ信号を格納するメモリとを備えており、

同一フレーム期間中の各書き込み期間では、

上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なうと共に、オーバーシュート駆動を行なうためのデータ変換を各書き込み期間毎に異なる LUT を用いて実施することを特徴とする液晶表示装置。

10

【請求項 2】

1 フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1 フレーム期間中に液晶パネルへの書き込みを n 回 ($n \geq 2$) 実施する液晶表示装置において、

現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る LUT を備えた演算部と、

現フレームデータと前フレームデータとを入力として各書き込み期間終了後の各画素の到達階調を予測演算する予測演算部と、

20

上記予測演算部によって演算されたデータを格納するメモリとを備えており、

同一フレーム期間中の各書き込み期間では、

上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、

上記予測演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行なうことを特徴とする液晶表示装置。

【請求項 3】

1 フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1 フレーム期間中に液晶パネルへの書き込みを n 回 ($n \geq 2$) 実施する液晶表示装置において、

30

現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る複数の LUT を備えた演算部と、

現フレームの映像データ信号を格納する第 1 のメモリとを備えており、

前フレームの映像データ信号を格納する第 2 のメモリとを備えており、

1 フレーム期間中の最初の書き込み期間では、

上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記第 1 のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なうと共に、上記第 1 のメモリから読み出したデータを上記第 2 のメモリに格納し、

40

1 フレーム期間中の 2 回目以降の書き込み期間では、

上記演算部では、上記第 1 のメモリから読み出した映像データ信号を現フレームデータとし、上記第 2 のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なうと共に、オーバーシュート駆動を行なうためのデータ変換を各書き込み期間毎に異なる LUT を用いて実施することを特徴とする液晶表示装置。

【請求項 4】

1 フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1 フレーム期間中に液晶パネルへの書き込みを n 回 ($n \geq 2$) 実施する液晶表示装置において、

現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうた

50

めの出力を得る複数のLUTを備えた演算部と、

現フレームの映像データ信号を格納する第1のメモリとを備えており、

前フレームの映像データ信号を格納する第2のメモリとを備えており、

同一フレーム期間中の各書き込み期間では、

上記演算部では、上記第1のメモリから読み出した映像データ信号を現フレームデータとし、上記第2のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なうと共に、オーバーシュート駆動を行なうためのデータ変換を各書き込み期間毎に異なるLUTを用いて実施することを特徴とする液晶表示装置。

【請求項5】

1フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1フレーム期間中に液晶パネルへの書き込みをn回(n>2)実施する液晶表示装置において、

現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得るLUTを備えた演算部と、

現フレームデータと前フレームデータとを入力として各書き込み期間終了後の各画素の到達階調を予測演算する予測演算部と、

現フレームの映像データ信号を格納する第1のメモリとを備えており、

上記予測演算部によって演算されたデータを格納する第2のメモリとを備えており、

1フレーム期間中の最初の書き込み期間では、

上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記第1のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、

上記予測演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記第1のメモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行ない、

1フレーム期間中の2回目以降の書き込み期間では、

上記演算部では、上記第1のメモリから読み出した映像データ信号を現フレームデータとし、上記第2のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、

上記予測演算部では、上記第1のメモリから読み出した映像データ信号を現フレームデータとし、上記第2のメモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行なうことを特徴とする液晶表示装置。

【請求項6】

1フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1フレーム期間中に液晶パネルへの書き込みをn回(n>2)実施する液晶表示装置において、

現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得るLUTを備えた演算部と、

現フレームデータと前フレームデータとを入力として各書き込み期間終了後の各画素の到達階調を予測演算する予測演算部と、

現フレームの映像データ信号を格納する第1のメモリとを備えており、

上記予測演算部によって演算されたデータを格納する第2のメモリとを備えており、

同一フレーム期間中の各書き込み期間では、

上記演算部では、上記第1のメモリから読み出した映像データ信号を現フレームデータとし、上記第2のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、

上記予測演算部では、上記第1のメモリから読み出した映像データ信号を現フレームデータとし、上記第2のメモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行なうことを特徴とする液晶表示装置。

【請求項7】

1フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1フレ

10

20

30

40

50

ム期間中に液晶パネルへの書き込みを n 回($n \geq 2$)実施する液晶表示装置において、
現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得るLUTを備えた演算部と、

現フレームデータと前フレームデータとを入力として、2回目から n 回目までの書き込み動作時に同一の印加電圧でオーバーシュート駆動を行った場合に、最終的に所望の階調値が得られる映像データを予測演算する予測演算部と、

上記予測演算部によって演算されたデータを格納するメモリとを備えており、

1フレーム期間中の最初の書き込み期間では、

上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、該データ変換によって得られた映像データ信号を液晶パネルに出力し、

上記予測演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行ない、その演算結果で上記メモリを書き換え、

1フレーム期間中の2回目以降の書き込み期間では、

上記メモリから読み出した映像データ信号を液晶パネルに出力することを特徴とする液晶表示装置。

【請求項8】

上記黒表示期間は、液晶パネルのバックライトを一括消灯することによって実現されるものであり、

上記黒表示期間の開始は、1フレーム期間内の n 回目の書き込み動作の開始より後で、かつ、次のフレームの開始前であることを特徴とする請求項1ないし7の何れか一項に記載の液晶表示装置。

【請求項9】

上記黒表示期間の終了は、次のフレームにおける最初の書き込み動作の終了前であることを特徴とする請求項8に記載の液晶表示装置。

【請求項10】

1フレーム期間内に、液晶パネルへの書き込み停止期間を有していることを特徴とする請求項1ないし7の何れか一項に記載の液晶表示装置。

【請求項11】

上記演算部においては、同一フレーム中の書き込み動作の度に書き込み回数がカウントされ、上記複数のLUTは上記カウント数に応じて使用されるLUTが選択されるものであり、

上記ホスト装置から送信される映像データ信号は、フレームが変わる度にリフレッシュされると共に、上記ホスト装置からこのリフレッシュ動作に伴って画像切替信号が入力され、

上記演算部では、上記画像切替信号の入力に応じて、使用するLUTのカウントをリセットされて、使用するLUTが最初のLUTに戻されることを特徴とする請求項1, 4, 5の何れかに記載の液晶表示装置。

【請求項12】

上記請求項3ないし7の何れかに記載の液晶表示装置と、

上記液晶表示装置に映像データ信号を送信するホスト装置とを備えた表示装置であって、

上記ホスト装置は、上記液晶表示装置に対して、1フレームに1回の映像データ信号の送信を行なうことを特徴とする表示装置。

【請求項13】

上記ホスト装置は、上記液晶表示装置に対して、書き込みの速度に合わせて映像データ信号の送信を行ない、それ以外の期間は映像データ信号の送信を休止することを特徴とする請求項12に記載の表示装置。

10

20

30

40

50

【請求項 14】

1 フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1 フレーム期間中に液晶パネルへの書き込みを n 回 ($n \geq 2$) 実施する液晶表示装置の駆動方法において、

上記液晶表示装置は、

現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る複数の LUT を備えた演算部と、

前フレームの映像データ信号を格納するメモリとを備えており、

同一フレーム期間中の各書き込み期間では、

上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なうと共に、オーバーシュート駆動を行なうためのデータ変換を各書き込み期間毎に異なる LUT を用いて実施することを特徴とする液晶表示装置の駆動方法。

10

【請求項 15】

1 フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1 フレーム期間中に液晶パネルへの書き込みを n 回 ($n \geq 2$) 実施する液晶表示装置の駆動方法において、

上記液晶表示装置は、

現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る LUT を備えた演算部と、

20

現フレームデータと前フレームデータとを入力として各書き込み期間終了後の各画素の到達階調を予測演算する予測演算部と、

上記予測演算部によって演算されたデータを格納するメモリとを備えており、

同一フレーム期間中の各書き込み期間では、

上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、

上記予測演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行なうことを特徴とする液晶表示装置の駆動方法。

30

【請求項 16】

1 フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1 フレーム期間中に液晶パネルへの書き込みを n 回 ($n \geq 2$) 実施する液晶表示装置の駆動方法において、

上記液晶表示装置は、

現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る複数の LUT を備えた演算部と、

現フレームの映像データ信号を格納する第 1 のメモリとを備えており、

前フレームの映像データ信号を格納する第 2 のメモリとを備えており、

40

1 フレーム期間中の最初の書き込み期間では、

上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記第 1 のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なうと共に、上記第 1 のメモリから読み出したデータを上記第 2 のメモリに格納し、

1 フレーム期間中の 2 回目以降の書き込み期間では、

上記演算部では、上記第 1 のメモリから読み出した映像データ信号を現フレームデータとし、上記第 2 のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なうと共に、オーバーシュート駆動を行なうためのデータ変換を各書き込み期間毎に異なる LUT を用いて実施することを特徴と

50

する液晶表示装置の駆動方法。

【請求項 17】

1 フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1 フレーム期間中に液晶パネルへの書き込みを n 回 ($n \geq 2$) 実施する液晶表示装置の駆動方法において、

上記液晶表示装置は、

現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る複数の LUT を備えた演算部と、

現フレームの映像データ信号を格納する第 1 のメモリとを備えており、

前フレームの映像データ信号を格納する第 2 のメモリとを備えており、

同一フレーム期間中の各書き込み期間では、

上記演算部では、上記第 1 のメモリから読み出した映像データ信号を現フレームデータとし、上記第 2 のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なうと共に、オーバーシュート駆動を行なうためのデータ変換を各書き込み期間毎に異なる LUT を用いて実施することを特徴とする液晶表示装置の駆動方法。

10

【請求項 18】

1 フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1 フレーム期間中に液晶パネルへの書き込みを n 回 ($n \geq 2$) 実施する液晶表示装置の駆動方法において、

20

上記液晶表示装置は、

現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る LUT を備えた演算部と、

現フレームデータと前フレームデータとを入力として各書き込み期間終了後の各画素の到達階調を予測演算する予測演算部と、

現フレームの映像データ信号を格納する第 1 のメモリとを備えており、

上記予測演算部によって演算されたデータを格納する第 2 のメモリとを備えており、

1 フレーム期間中の最初の書き込み期間では、

上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記第 1 のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、

30

上記予測演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記第 1 のメモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行ない、

1 フレーム期間中の 2 回目以降の書き込み期間では、

上記演算部では、上記第 1 のメモリから読み出した映像データ信号を現フレームデータとし、上記第 2 のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、

上記予測演算部では、上記第 1 のメモリから読み出した映像データ信号を現フレームデータとし、上記第 2 のメモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行なうことを特徴とする液晶表示装置の駆動方法。

40

【請求項 19】

1 フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1 フレーム期間中に液晶パネルへの書き込みを n 回 ($n \geq 2$) 実施する液晶表示装置の駆動方法において、

上記液晶表示装置は、

現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る LUT を備えた演算部と、

現フレームデータと前フレームデータとを入力として各書き込み期間終了後の各画素の到達階調を予測演算する予測演算部と、

50

現フレームの映像データ信号を格納する第1のメモリとを備えており、

上記予測演算部によって演算されたデータを格納する第2のメモリとを備えており、
同一フレーム期間中の各書き込み期間では、

上記演算部では、上記第1のメモリから読み出した映像データ信号を現フレームデータとし、上記第2のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、

上記予測演算部では、上記第1のメモリから読み出した映像データ信号を現フレームデータとし、上記第2のメモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行なうことを特徴とする液晶表示装置の駆動方法。

【請求項20】

10

1フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1フレーム期間中に液晶パネルへの書き込みを n 回($n \geq 2$)実施する液晶表示装置の駆動方法において、

上記液晶表示装置は、

現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得るLUTを備えた演算部と、

現フレームデータと前フレームデータとを入力として、2回目から n 回目までの書き込み動作時に同一の印加電圧でオーバーシュート駆動を行った場合に、最終的に所望の階調値が得られる映像データを予測演算する予測演算部と、

上記予測演算部によって演算されたデータを格納するメモリとを備えており、

20

1フレーム期間中の最初の書き込み期間では、

上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、該データ変換によって得られた映像データ信号を液晶パネルに出力し、

上記予測演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行ない、その演算結果で上記メモリを書き換え、

1フレーム期間中の2回目以降の書き込み期間では、

上記メモリから読み出した映像データ信号を液晶パネルに出力することを特徴とする液晶表示装置の駆動方法。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示装置に関するものであり、特に動画表示時における動画ボケを解消する液晶表示装置に関するものである。

【背景技術】

【0002】

近年、液晶表示装置は、テレビ、モニター、携帯電話など、種々のサイズのものが様々な機器で使用されている。一方、液晶表示装置は、その駆動方式がホールド駆動であること、液晶の応答性が低いことなどにより、動画表示時における画像ボケの問題がある。

40

【0003】

ホールド駆動に起因する画像ボケを解消するための技術として、例えば、黒挿入表示が知られている。黒挿入表示では、1フレームを複数のサブフレームに分割し、少なくとも一つのサブフレームを表示期間とし、他の少なくとも一つのサブフレームを黒表示期間として擬似インパルス駆動を行い、画像ボケを抑制する。

【0004】

このような黒挿入表示では、バックライトの点灯制御を行ったり、液晶パネルへの黒書き込みを行ったりすることで、黒表示期間の黒表示を実施することができる。近年では、携帯電話等のモバイル機器でも動画表示機能が要求されており、このようなモバイル機器

50

では、装置構成や制御手段を簡略するために、バックライトの一括点灯制御によって黒挿入表示を行う構成が好ましい。尚、一般には、黒挿入表示とは、液晶パネルに黒データを書き込むこと黒表示を挿入する方法を指すことが多い。しかしながら、本明細書においては、単に、黒表示期間と画像表示期間とを有する表示方法を黒挿入表示と記載し、バックライトの点灯制御によって黒表示期間と画像表示期間とを形成する方法も黒挿入表示と呼ぶものとする。

【0005】

しかしながら、液晶表示装置には上述のように液晶の応答性が低いといった問題もあるため、黒挿入表示を行うのみでは動画ボケを十分に解消できないことも多い。すなわち、上記黒挿入表示では、黒表示期間中に画素への書き込みを行うが、表示期間においては書き込みによる液晶応答が完了している必要がある。しかしながら、画面上部の画素では黒表示期間の最初の上で書き込みが行われるため、表示期間に移るまでに液晶の応答期間が確保できるが、画面下部の画素では黒表示期間の最後の上で書き込みが行われるため、表示期間に移るまでの期間が短く液晶応答が十分に完了しない。このため、表示画面の上部と下部とで、動画ボケ抑制効果に差が生じることが考えられる。

10

【0006】

特許文献1には、黒挿入表示のみでは解消できない動画ボケを抑制するために、黒挿入表示に予備書き込みやオーバーシュート駆動を組み合わせる液晶駆動方法が開示されている。

20

【0007】

特許文献1の液晶駆動方法では、黒表示期間に予備書き込みと正規書き込みとの2回の書き込みを行っている。これにより、画面下部の画素においても黒表示期間の前半に行われる予備書き込みによって、液晶の応答期間を得ることができる。

30

【0008】

また、特許文献1では、予備書き込みの時には、オーバーシュート駆動を行って、液晶の応答速度をさらに向上させることが開示されている。オーバーシュート駆動とは、現階調から表示しようとする階調への変化方向が正方向の場合、表示しようとする階調の書き込み電圧よりも大きい電圧を所定の期間、印加し、現階調から表示しようとする階調への変化方向が負方向の場合には、表示しようとする階調の書き込み電圧よりも小さい電圧を所定の期間、印加し、液晶分子の配向変化を促進させることで液晶の応答性を向上させる技術である。つまり、表示しようとする画素の第1の透過率から第1の透過率より大きい第2の透過率に変化させるような場合には、所定の期間、第2の透過率に対応する書き込み電圧より大きい電圧を印加させる駆動方法である。

【特許文献1】日本国公開特許公報「特開2001-201763号公報（公開日：2001年7月27日）」

【特許文献2】日本国公開特許公報「特開2003-131635号公報（公開日：2003年5月9日）」

【発明の開示】

【0009】

しかしながら、上記特許文献1の構成では、1フレームに2回の書き込みが行われるのに対し、オーバーシュート駆動は予備書き込み時の1回しか行われぬ。このため、液晶の応答速度が十分に改善されず、目標の輝度に到達できない場合があった。

40

【0010】

本発明は、上記の問題点を鑑みてなされたものであり、その目的は、黒表示挿入を行うことで動画ボケを抑制する液晶表示装置において、液晶の応答速度をより向上させる駆動を実現することにある。

【0011】

本発明に係る液晶表示装置は、上記課題を解決するために、1フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1フレーム期間中に液晶パネルへの書き込みをn回（n≧2）実施する液晶表示装置において、現フレームデータと前フレーム

50

データとを入力としてオーバーシュート駆動を行なうための出力を得る複数のLUTを備えた演算部と、前フレームの映像データ信号を格納するメモリとを備えており、同一フレーム期間中の各書き込み期間では、上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なうと共に、オーバーシュート駆動を行なうためのデータ変換を各書き込み期間毎に異なるLUTを用いて実施することを特徴としている。

【0012】

上記の構成によれば、1フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うことで、液晶パネルのホールド型駆動に起因する動画ボケを抑制できる。さらに、1フレーム期間中に液晶パネルへの書き込みを n 回($n \geq 2$)実施することで、液晶の応答性が低いことに起因する動画ボケも抑制できる。

10

【0013】

さらに、同一フレーム期間中の各書き込み期間においてオーバーシュート駆動を実施することによって、液晶の応答性が低いことに起因する動画ボケをより一層抑制できる。

【0014】

ここで、1フレーム期間中に液晶パネルへの書き込みを n 回実施する場合、各書き込み期間においてオーバーシュート駆動を実施しようとする、最初の書き込み期間では最適なオーバーシュート駆動が行なえても、2回目以降の書き込み期間では、それ以前の書き込み動作の影響を受けて液晶の配向状態が変化しているため、同一のLUTを使用しても最適なオーバーシュート駆動が行なえないといった問題がある。これに対して、上記構成では、各書き込み期間毎にLUTを切替えることによって、書き込み動作時に実施される全てのオーバーシュート駆動において最適な印加電圧を決定することができる。

20

【0015】

本発明に係る他の液晶表示装置は、上記課題を解決するために、1フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1フレーム期間中に液晶パネルへの書き込みを n 回($n \geq 2$)実施する液晶表示装置において、現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得るLUTを備えた演算部と、現フレームデータと前フレームデータとを入力として各書き込み期間終了後の各画素の到達階調を予測演算する予測演算部と、上記予測演算部によって演算されたデータを格納するメモリとを備えており、同一フレーム期間中の各書き込み期間では、上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、上記予測演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記メモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行なうことを特徴としている。

30

【0016】

上記の構成によれば、同一フレーム中の2回目以降の書き込み期間では、それ以前の書き込み動作の影響が予測演算部によって予測され、メモリに格納された前フレームの映像データ信号が更新される。このため、演算部において同一のLUTを使用しても、書き込み動作時に実施される全てのオーバーシュート駆動において最適な印加電圧を決定することができる。

40

【0017】

本発明に係る他の液晶表示装置は、上記課題を解決するために、1フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1フレーム期間中に液晶パネルへの書き込みを n 回($n \geq 2$)実施する液晶表示装置において、現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る複数のLUTを備えた演算部と、現フレームの映像データ信号を格納する第1のメモリとを備えており、前フレームの映像データ信号を格納する第2のメモリとを備えており、1フレーム期間中の最初の書き込み期間では、上記演算部では、ホスト装置から送信されてくる映像デー

50

タ信号を現フレームデータとし、上記第1のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なうと共に、上記第1のメモリから読み出したデータを上記第2のメモリに格納し、1フレーム期間中の2回目以降の書き込み期間では、上記演算部では、上記第1のメモリから読み出した映像データ信号を現フレームデータとし、上記第2のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なうと共に、オーバーシュート駆動を行なうためのデータ変換を各書き込み期間毎に異なるLUTを用いて実施することを特徴としている。

【0018】

本発明に係る他の液晶表示装置は、上記課題を解決するために、1フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1フレーム期間中に液晶パネルへの書き込みを n 回($n \geq 2$)実施する液晶表示装置において、現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る複数のLUTを備えた演算部と、現フレームの映像データ信号を格納する第1のメモリとを備えており、前フレームの映像データ信号を格納する第2のメモリとを備えており、同一フレーム期間中の各書き込み期間では、上記演算部では、上記第1のメモリから読み出した映像データ信号を現フレームデータとし、上記第2のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行なうと共に、オーバーシュート駆動を行なうためのデータ変換を各書き込み期間毎に異なるLUTを用いて実施することを特徴としている。

10

20

【0019】

上記の構成によれば、演算部において各書き込み期間毎にLUTを切替えることによって、書き込み動作時に実施される全てのオーバーシュート駆動において最適な印加電圧を決定することができる。さらに、現フレームデータを第1のメモリに格納し、前フレームデータを第2のメモリに格納した状態で上記演算を行なうため、ホスト装置から液晶表示装置への映像データの送信は1フレームに1回でよく、高速データ送信による消費電力の増加を回避できる。

【0020】

本発明に係る他の液晶表示装置は、上記課題を解決するために、1フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1フレーム期間中に液晶パネルへの書き込みを n 回($n \geq 2$)実施する液晶表示装置において、現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得るLUTを備えた演算部と、現フレームデータと前フレームデータとを入力として各書き込み期間終了後の各画素の到達階調を予測演算する予測演算部と、現フレームの映像データ信号を格納する第1のメモリとを備えており、上記予測演算部によって演算されたデータを格納する第2のメモリとを備えており、1フレーム期間中の最初の書き込み期間では、上記演算部では、ホスト装置から送信されてくる映像データ信号を現フレームデータとし、上記第1のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、上記予測演算部では、ホスト装置から送信されてくる読み出した映像データ信号を現フレームデータとし、上記第1のメモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行ない、1フレーム期間中の2回目以降の書き込み期間では、上記演算部では、上記第1のメモリから読み出した映像データ信号を現フレームデータとし、上記第2のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、上記予測演算部では、上記第1のメモリから読み出した映像データ信号を現フレームデータとし、上記第2のメモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行なうことを特徴としている。

30

40

【0021】

本発明に係る他の液晶表示装置は、上記課題を解決するために、1フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1フレーム期間中に液晶パネルへ

50

の書き込みを n 回 ($n \geq 2$) 実施する液晶表示装置において、現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る LUT を備えた演算部と、現フレームデータと前フレームデータとを入力として各書き込み期間終了後の各画素の到達階調を予測演算する予測演算部と、現フレームの映像データ信号を格納する第 1 のメモリとを備えており、上記予測演算部によって演算されたデータを格納する第 2 のメモリとを備えており、同一フレーム期間中の各書き込み期間では、上記演算部では、上記第 1 のメモリから読み出した映像データ信号を現フレームデータとし、上記第 2 のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行ない、上記予測演算部では、上記第 1 のメモリから読み出した映像データ信号を現フレームデータとし、上記第 2 のメモリから読み出した映像データ信号を前フレームデータとして、上記予測演算を行なうことを特徴としている。

10

【0022】

上記の構成によれば、同一フレーム中の 2 回目以降の書き込み期間では、それ以前の書き込み動作の影響が予測演算部によって予測され、メモリに格納された前フレームの映像データ信号が更新される。このため、演算部において同一の LUT を使用しても、書き込み動作時に実施される全てのオーバーシュート駆動において最適な印加電圧を決定することができる。さらに、現フレームデータを第 1 のメモリに格納し、前フレームデータを第 2 のメモリに格納した状態で上記演算を行なうため、ホスト装置から液晶表示装置への映像データの送信は 1 フレームに 1 回でよく、高速データ送信による消費電力の増加を回避できる。

20

【0023】

本発明に係る他の液晶表示装置は、1 フレーム期間中に黒表示期間と画像表示期間とを有する表示を行うと共に、1 フレーム期間中に液晶パネルへの書き込みを n 回 ($n \geq 2$) 実施する液晶表示装置において、現フレームデータと前フレームデータとを入力としてオーバーシュート駆動を行なうための出力を得る LUT を備えた演算部と、現フレームデータと前フレームデータとを入力として、2 回目から n 回目までの書き込み動作時に同一の印加電圧でオーバーシュート駆動を行った場合に、最終的に所望の階調値が得られる映像データを予測演算する予測演算部と、上記予測演算部によって演算されたデータを格納するメモリとを備えており、1 フレーム期間中の最初の書き込み期間では、上記演算部では、上記第 1 のメモリから読み出した映像データ信号を現フレームデータとし、上記第 2 のメモリから読み出した映像データ信号を前フレームデータとして、オーバーシュート駆動を行なうためのデータ変換を行な、該データ変換によって得られた映像データ信号を液晶パネルに出力し、1 フレーム期間中の 2 回目以降の書き込み期間では、上記メモリから読み出した映像データ信号を液晶パネルに出力することを特徴としている。

30

【0024】

上記の構成によれば、最初の書き込み動作時には、演算部での演算によって求められたデータによって最適なオーバーシュート駆動が行なえ、2 回目以降の書き込み動作時には、上記予測演算部によって演算されたデータにより、2 回目から n 回目までの書き込み動作時に同一の印加電圧でオーバーシュート駆動を行った場合に、最終的に所望の階調値が得られるであろうデータを用いてオーバーシュートが実施される。このため、書き込み動作時に実施される全てのオーバーシュート駆動において最適な印加電圧を決定することができる。

40

【図面の簡単な説明】

【0025】

【図 1】本発明の実施形態を示すものであり、実施の形態 1 における高速動画処理部の構成を示すブロック図である。

【図 2】本発明が適用される液晶表示装置の概略構成を示すブロック図である。

【図 3】本発明の実施形態を示すものであり、実施の形態 1 における高速動画処理部の構成を示すブロック図である。

【図 4】本発明の実施形態を示すものであり、実施の形態 2 における高速動画処理部の構

50

成を示すブロック図である。

【図5】本発明の実施形態を示すものであり、実施の形態2における高速動画処理部の構成を示すブロック図である。

【図6】本発明の実施形態を示すものであり、実施の形態2における高速動画処理部の構成を示すブロック図である。

【図7】本発明の実施形態を示すものであり、実施の形態2における高速動画処理部の構成を示すブロック図である。

【図8】本発明の実施形態を示すものであり、実施の形態3における高速動画処理部の構成を示すブロック図である。

【図9】(a), (b)は、液晶表示装置におけるLCDパネルへの書き込み動作とバックライト制御との関係を示す図である。

【発明を実施するための最良の形態】

【0026】

〔実施の形態1〕

本発明の一実施形態について図1ないし図9に基づいて説明すると以下の通りである。まずは、本実施の形態1に係る液晶表示装置の概略構成を図2を参照して説明する。

【0027】

図2に示す液晶表示装置1は、高速動画処理部11、LCD(Liquid Crystal Display)コントローラ12、LCDドライバ13、LCDパネル14、BL(Back Light)ドライバ15を備えて構成されている。また、液晶表示装置1は、ホスト装置2から映像データ信号及び表示制御信号を供給されることによって画像表示を行うものとする。ここで例えば、本発明を携帯電話やパソコン等に適用する場合、液晶表示装置1は液晶表示モジュールに相当し、ホスト装置2は携帯電話やパソコン等のCPUに相当する。

【0028】

ホスト装置2は、グラフィックコントローラ22にて生成された映像データを出力バッファ23を介して、液晶表示装置1の高速動画処理部11へ出力する。グラフィックコントローラ22は、メインコントローラ21によって制御される。さらに、メインコントローラ21は、同期信号、映像切替信号、およびBL制御信号等の各種制御信号を生成し、これらの制御信号を出力バッファ23を介して液晶表示装置1に出力する。

【0029】

高速動画処理部11には、映像データ信号、同期信号、切替判定信号が入力される。高速動画処理部11は、ホスト装置2から入力された映像データ信号を元映像データとして、これが本実施の形態に係る駆動方法に適した映像データとなるように、元映像データに対してデータ変換処理を施す。高速動画処理部11で変換された映像データはLCDコントローラ12を介してLCDドライバ13のデータ信号線駆動回路へ出力される。また、高速動画処理部11は、クロック信号や同期信号等の制御信号をLCDコントローラ12を介してLCDドライバ13のデータ信号線駆動回路および走査線駆動回路へ出力する。

【0030】

LCDドライバ13は、データ信号線駆動回路および走査線駆動回路からなる。データ信号線駆動回路には、高速動画処理部11によってデータ変換された映像データ信号と、クロック信号および水平同期信号等の制御信号とが入力される。データ信号線駆動回路は、映像データを所定のタイミングでLCDパネル14の各データ信号線に出力する。走査信号線駆動回路には、スタートパルス信号、クロック信号および垂直同期信号等の制御信号が入力される。走査信号線駆動回路は、走査信号を所定のタイミングでLCDパネル14の各走査信号線に出力する。

【0031】

LCDパネル14は、データ信号線駆動回路および走査線駆動回路から入力される走査信号および映像データ信号によって駆動される。また、LCDパネル14はバックライトを備えているが、このバックライトはBLドライバ15によって点灯制御される。また、図2の例では、BL制御信号が、ホスト装置2のメインコントローラ21から出力バッ

10

20

30

40

50

ァ 2 3 を介して B L ドライバ 1 5 に入力されているものとする。

【 0 0 3 2 】

液晶表示装置 1 において、高速動画処理部 1 1、LCD コントローラ 1 2、LCD ドライバ 1 3、および B L ドライバ 1 5 等の回路部は、これの一部または全部を L S I 化することが可能である。また、これらの L S I 化された回路部を LCD パネル 1 4 上に形成することも可能である。また、ホスト装置 2 におけるメインコントローラ 2 1、グラフィックコントローラ 2 2、および出力バッファ 2 3 は、これの一部または全部を L S I 化することが可能である。また、B L 制御信号は、ホスト装置 2 からでなく、高速動画処理部 1 1 から出力されても良い。

【 0 0 3 3 】

次に、本発明の特徴部分である高速動画処理部 1 1 の構成および動作について、図 1 を参照して詳細に説明する。尚、本実施の形態 1 に係る高速動画処理部 1 1 は、動画表示時における動画ボケの抑制に適した駆動方法を提供するものであり、黒挿入表示と、LCD パネル 1 4 に対して 1 フレーム期間における複数回の書き込みと、オーバーシュート駆動とを組み合わせる駆動方法を行う。より具体的には、1 フレーム期間中に行われる複数回の書き込みに対して、これら複数の書き込みの全てでオーバーシュート駆動を実施することに特徴を有する。

【 0 0 3 4 】

図 1 に示す高速動画処理部 1 1 は、演算部 1 1 1 とフレームメモリ 1 1 2 とを備えて構成されている。先ず、演算部 1 1 1 には、ホスト装置 2 より映像データ信号と映像切替判定信号とが入力される。また、フレームメモリ 1 1 2 には映像データ信号が入力される。フレームメモリ 1 1 2 は、この入力された映像データ信号を、1 フレームの期間（すなわち、次フレームの映像データ信号が入力されるまで）これを保持する。

【 0 0 3 5 】

演算部 1 1 1 は、オーバーシュート駆動を行うためのデータ変換を行うための処理部であり、複数の L U T (Look-Up Table) を有している。オーバーシュート駆動では、表示しようとする階調に対応する書き込み電圧よりも大きい電圧を各画素に印加するが、このときの適切な印加電圧は、通常、現フレームの映像データと前フレームの映像データとを比較し、階調値の変化量に応じて決定される。このため、フレームメモリ 1 1 2 は、上記比較のために前フレームの映像データを保持する。尚、本実施の形態では、1 フレーム期間中に複数の書き込み動作が行われるため、1 回の書き込みにかかる期間をサブフレームとしており、原則的には現サブフレームの映像データと前サブフレームの映像データとを比較することによってオーバーシュート駆動のための印加電圧を決定する。

【 0 0 3 6 】

演算部 1 1 1 は、入力される現サブフレームの映像データと、フレームメモリ 1 1 2 に保管されている前サブフレームの映像データを比較し、変換後の映像データを決定する。L U T は、上記データ変換のために用いられる。具体的には、現サブフレームデータの階調値と前サブフレームデータの階調値とを L U T に入力し、これに対応する印加電圧（実際は、この印加電圧に対応する階調値）を L U T から読み取って出力する。

【 0 0 3 7 】

図 1 に示す高速動画処理部 1 1 では、液晶パネル 1 4 に対して n 回の書き込みを行うと共に、この n 回の書き込み動作の全てに対してオーバーシュート駆動を行うものとする。この場合、演算部 1 1 1 は、n 個の L U T 1 ~ L U T n を有する。

【 0 0 3 8 】

すなわち、上記動作においては、現サブフレームの映像データと前サブフレームの映像データとは、同一フレーム中に行なわれる n 回の書き込み動作の全てにおいて同じである。しかしながら、同一フレーム中に行なわれる 2 回目以降の書き込みでは、それ以前の書き込み動作によって、各画素への充電電圧および液晶分子の配向状態は変化しているため、書き込みを行う度にオーバーシュート駆動を行なうための最適な印加電圧は異なっている。図 1 における高速動画処理部 1 1 の構成では、同一フレーム中の書き込み動作の度に

10

20

30

40

50

LUTを切り替えることによって、これらの書き込み動作時に実施される全てのオーバーシュート駆動において最適な印加電圧を決定することができる。また、上記LUTの切替は、映像データ信号と同時に入力される映像切替判定信号によって実行される。

【0039】

尚、演算部111においては、同一フレーム中の書き込み動作の度に書き込み回数がカウントされ、LUT1～LUTnは上記カウント数に応じて使用されるLUTが選択される。また、ホスト装置2から送信される映像データ信号は、フレームが変わる度にリフレッシュされるが、ホスト装置2からこのリフレッシュ動作に伴って画像切替信号が入力される。演算部111では、この画像切替信号によって上記カウントがリセットされて、使用するLUTが最初のLUT1に戻される。

10

【0040】

次に、図3は、高速動画処理部11の変形例を示すものである。図3に示す高速動画処理部11は、演算部113と予測演算部114とフレームメモリ115とを備えて構成されている。先ず、演算部113と予測演算部114とは、ホスト装置2より映像データ信号が入力される。また、フレームメモリ115には予測演算部114にて演算された映像データ信号が入力される。フレームメモリ115は、予測演算部114から入力される映像データ信号を、次の映像データ信号が入力されるまで保持する。

【0041】

演算部113は、オーバーシュート駆動を行うためのデータ変換を行うための処理部であり、上記データ変換処理を行うためのLUT(Look-Up Table)を一つ有している。演算部113のLUTは、ホスト装置2から入力される映像データ信号とフレームメモリ115に格納されている映像データ信号とを入力とし、これに対応する印加電圧(実際は、この印加電圧に対応する階調値)を読み取って出力する。

20

【0042】

演算部113では、図1の構成とは異なりLUTの切替を行なわない。また、現サブフレームの映像データは、同一フレーム中に行なわれるn回の書き込み動作の全てにおいて同じである。このため、同一フレーム中の書き込み動作で実施される全てのオーバーシュート駆動において最適な印加電圧を行なうには、現サブフレームの映像データと比較される前サブフレームの映像データが書き込みの度に適切に更新されている必要がある。図3の高速動画処理部11の構成では、予測演算部114が、前サブフレームの映像データの更新を行なう処理部となる。

30

【0043】

すなわち、予測演算部114は、演算部113と同様にLUT(Look-Up Table)を一つ有している。このLUTは、ホスト装置2から入力される映像データ信号(現サブフレームの映像データに相当)とフレームメモリ115に格納されている映像データ信号(前サブフレームの映像データに相当)とを入力とし、次の書き込み動作の時点で各画素が到達している階調値を読み取って出力する。すなわち、予測演算部114は、液晶パネル14への書き込み動作が行われる度に、次の書き込み動作時において到達しているであろう各画素の階調値を予測し、その予測された階調値に基づく映像データ信号をフレームメモリ115に更新する。

40

【0044】

このため、演算部113では、書き込み動作の度にフレームメモリ115に格納された前サブフレームの映像データ信号が更新されていることになり、これらの書き込み動作時に実施される全てのオーバーシュート駆動において最適な印加電圧を決定することができる。

【0045】

〔実施の形態2〕

上記実施の形態1では、1フレーム期間中にLCDパネル14に対してn回の書き込みを行っているが、このn回の書き込みに対応してホスト装置2から液晶表示装置1へのデータ送信も1フレームにn回行なっている。この場合、ホスト装置2から液晶表示装置1

50

へのデータ送信は高速データ送信が必要となり、データ送信における電力消費を増加させる。

【0046】

本実施の形態2では、ホスト装置2から液晶表示装置1への映像データの送信が1フレームに1回のみである場合を説明する。尚、本実施の形態2に係る液晶表示装置の概略構成は図2に示すものと同じである。

【0047】

本実施の形態2に係る高速動画処理部11の構成および動作について、図4を参照して詳細に説明する。

【0048】

図4に示す高速動画処理部11は、演算部116と第1のフレームメモリ117と第2のフレームメモリ118と現フレームデータ切替部119とを備えて構成されている。ホスト装置2から入力される現フレームの映像データ信号は、第1のフレームメモリ117と現フレームデータ切替部119とに入力される。この時、それまで第1のフレームメモリ117に格納された映像データ信号は、第2のフレームメモリ118に送られてここで保持される。すなわち、各フレームにおいて、第1のフレームメモリ117には現フレームデータが保持され、第2のフレームメモリ118には前フレームデータが保持されることとなる。

【0049】

図4に示す高速動画処理部11の構成では、あるフレームにおける最初の書き込み動作時には、ホスト装置2から入力された映像データ信号が現サブフレームの映像データとして現フレームデータ切替部119を介して演算部116へ入力されると共に、第1のフレームメモリ117に格納されていた映像データ信号が前サブフレームの映像データとして現フレームデータ切替部119を介して演算部116へ入力される。この時、同時に、ホスト装置2から入力された映像データ信号は、第1のフレームメモリ117に入力されて、第1のフレームメモリ117の格納データを書き換える。また、第1のフレームメモリ117に格納されていた映像データ信号は、第2のフレームメモリ119に入力されて、第2のフレームメモリ118の格納データを書き換える。演算部116では、LUT1を用いてオーバーシュート駆動を行うためのデータ変換を行うが、このLUT1は図1におけるLUT1と同じものである。

【0050】

本実施の形態2では、ホスト装置2から液晶表示装置1への映像データの送信は、1フレームにおける最初の書き込み動作時の1回のみである。この映像データ送信は、LCDパネル14への書き込み動作速度に合わせて行われ、2回目以降の書き込み動作時には、ホスト装置2から液晶表示装置1への映像データの送信は休止されるので、これにより、低消費電力化が行える。

【0051】

次に、あるフレームにおける2回目以降の書き込み動作時には、第1のフレームメモリ117に格納されていた映像データ信号が現サブフレームの映像データとして演算部116へ入力され、第2のフレームメモリ118に格納されていた映像データ信号が前サブフレームの映像データとして演算部116へ入力される。この時、演算部116では、書き込み動作の度にLUTの切替を行い、LUT2～LUTnの何れかを用いてオーバーシュート駆動を行うためのデータ変換を行うが、これらのLUT2～LUTnも図1におけるLUT2～LUTnと同じものである。

【0052】

図5は、図4に示す高速動画処理部11の変形例を示すものである。図5に示す高速動画処理部11は、図4に示す構成から現フレームデータ切替部119を省略した構成である。この場合、あるフレームにおける最初の書き込み動作時においても、ホスト装置2から入力された映像データ信号は、一旦第1のフレームメモリ117に格納されてから現演算部116へ送られる。同様に、あるフレームにおける最初の書き込み動作時においても、

10

20

30

40

50

第2のフレームメモリ118に格納されていた映像データ信号が前サブフレームの映像データとして演算部116へ入力される。

【0053】

次に、図6は、本実施の形態2における高速動画処理部11の変形例を示すものである。図6に示す高速動画処理部11は、演算部120と予測演算部121と第1のフレームメモリ122と第2のフレームメモリ123と現フレームデータ切替部124とを備えて構成されている。演算部120は、オーバーシュート駆動を行うためのデータ変換を行うための処理部であり、上記データ変換処理を行うためのLUT(Look-Up Table)を一つ有している。また、予測演算部121は、液晶パネル14への書き込み動作が行われる度に、次の書き込み動作時において到達しているであろう各画素の階調値を予測し、その予測された階調値に基づく映像データ信号を第2のフレームメモリ123に更新する。

10

【0054】

図6に示す高速動画処理部11の構成では、あるフレームにおける最初の書き込み動作時には、ホスト装置2から入力された映像データ信号が現サブフレームの映像データとして現フレームデータ切替部124を介して演算部116へ入力されると共に、第2のフレームメモリ123に格納されていた映像データ信号が前サブフレームの映像データとして演算部120へ入力される。演算部120では、LUTを用いてオーバーシュート駆動を行うためのデータ変換を行うが、このLUTは図3における演算部113のLUTと同じものである。

【0055】

同様に、あるフレームにおける最初の書き込み動作時においては、予測演算部121には、ホスト装置2から入力された映像データ信号が現サブフレームの映像データとして現フレームデータ切替部124を介して入力されると共に、第2のフレームメモリ123に格納されていた映像データ信号が前サブフレームの映像データとして入力される。予測演算部121では、LUTを用いて次の書き込み動作時において到達しているであろう各画素の階調値を予測演算するが、このLUTは図3における予測演算部114のLUTと同じものである。

20

【0056】

次に、あるフレームにおける2回目以降の書き込み動作時には、第1のフレームメモリ122に格納されていた映像データ信号が現サブフレームの映像データとして現フレームデータ切替部124を介して演算部120へ入力されると共に、第2のフレームメモリ123に格納されていた映像データ信号が前サブフレームの映像データとして演算部120へ入力される。

30

【0057】

上記動作により、予測演算部121は、液晶パネル14への書き込み動作が行われる度に、次の書き込み動作時において到達しているであろう各画素の階調値を予測し、その予測された階調値に基づく映像データ信号を第2のフレームメモリ123に更新する。このため、演算部120では、書き込み動作の度に第2のフレームメモリ123に格納された前サブフレームの映像データ信号が更新されていることになり、これらの書き込み動作時に実施される全てのオーバーシュート駆動において最適な印加電圧を決定することができる。

40

【0058】

図7は、図6に示す高速動画処理部11の変形例を示すものである。図7に示す高速動画処理部11は、図6に示す構成から現フレームデータ切替部124を省略した構成である。この場合、あるフレームにおける最初の書き込み動作時においても、ホスト装置2から入力された映像データ信号は、一旦第1のフレームメモリ122に格納されてから現像部120へ送られる。

【0059】

尚、図7の構成では、第1のフレームメモリ122のメモリサイズによって、データの送受信スピードの違いを調整することができる。具体的には、1フレームにおける書き込

50

み動作の回数が n 回 ($n \geq 2$) であるときには、第 1 のフレームメモリ 122 のメモリサイズは、1 フレーム分のデータの $2(n-1)/n$ 倍とすればよい。

【0060】

〔実施の形態 3〕

上記実施の形態 2 では、ホスト装置 2 から液晶表示装置 1 へのデータ送信も 1 フレームに 1 回行なうのみで、1 フレーム期間中に LCD パネル 14 に対して n 回の書き込みを実施可能となっている。しかしながら、上記実施の形態 2 では、高速動画処理部 11 において 2 つのフレームメモリを必要とするため、メモリ増加によるコスト増加が発生する。

【0061】

本実施の形態 3 では、ホスト装置 2 から液晶表示装置 1 への映像データの送信が 1 フレームに 1 回のみであり、かつ、使用するフレームメモリを 1 つとする場合を説明する。尚、本実施の形態 3 に係る液晶表示装置の概略構成は図 2 に示すものと同じである。

【0062】

本実施の形態 3 に係る高速動画処理部 11 の構成および動作について、図 8 を参照して詳細に説明する。

【0063】

図 8 に示す高速動画処理部 11 は、演算部 125 と予測演算部 126 とフレームメモリ 127 とを備えて構成されている。ホスト装置 2 から入力される現フレームの映像データ信号は、演算部 125 と予測演算部 126 とに入力される。

【0064】

図 8 に示す高速動画処理部 11 の構成では、あるフレームにおける最初の書き込み動作時には、ホスト装置 2 から入力された映像データ信号が現サブフレームの映像データとして演算部 125 と予測演算部 126 とに入力される。さらに、演算部 125 と予測演算部 126 とには、フレームメモリ 127 に格納されている映像データ信号が前サブフレームの映像データとして入力される。

【0065】

演算部 125 では、LUT を用いてオーバーシュート駆動を行うためのデータ変換を行うが、この LUT は図 3 における演算部 113 の LUT と同じものである。最初の書き込み動作時には、演算部 125 での演算によって求められた印加電圧（実際は、この印加電圧に対応する階調値）が出力される。

【0066】

一方、あるフレームにおける 2 回目以降の書き込み動作時には、ホスト装置 2 から映像データ信号が入力されず、また、現サブフレームの映像データに相当するデータがフレームメモリに格納されていないため、演算部 125 における演算は行なえない。このため、2 回目以降の書き込み動作時には、フレームメモリ 127 に格納されている映像データ信号が LCD パネル 14 に出力される。

【0067】

ここで、フレームメモリ 127 に格納されている映像データ信号は、最初の書き込み動作時に予測演算部 126 において演算された映像データ信号である。予測演算部 126 では、1 フレーム中の書き込み回数が n 回であるときに、2 回目から n 回目までの書き込み動作時に同一の印加電圧でオーバーシュート駆動を行った場合に、最終的に所望の階調値が得られるであろう印加電圧（実際は、この印加電圧に対応する階調値）を予測演算するものである。予測演算部 126 では、上記予測演算を LUT を用いて実施し、その演算結果となる映像データ信号をフレームメモリ 127 に格納する。

【0068】

上記実施の形態 1 ないし 3 に係る液晶表示装置 1 は、1 フレーム中に n 回の書き込み動作を行うものであると共に、黒挿入表示を行うものである。また、この黒表示挿入はバックライトの一括点灯制御によって行なわれる。液晶表示装置 1 における LCD パネル 14 への書き込み動作とバックライト制御との関係例について、図 9 (a), (b) を参照して説明する。

10

20

30

40

50

【 0 0 6 9 】

図 9 (a) , (b) 共に、 1 フレームに n 回の書き込みを行っているが、 図 9 (a) では、 1 フレーム全体を用いて n 回の書き込みを行っており、 図 9 (b) では、 1 フレームの一部に書き込み停止期間を設け、 残りの期間を用いて n 回の書き込みを行っている。

【 0 0 7 0 】

図 9 (a) の動作では、 第 1 の書き込みから第 n の書き込みの途中までを黒表示期間 (すなわち B L 消灯期間) とし、 第 n の書き込みの途中からフレーム終了までを画像表示期間 (すなわち B L 点灯期間) としている。 この構成においては、 1 フレーム全体を用いて書き込みを行うため、 各書き込み期間において液晶の応答時間を長く確保でき、 表示の最適化を行え、 特に n が大きくなるほど表示を良好にコントロールできる。

10

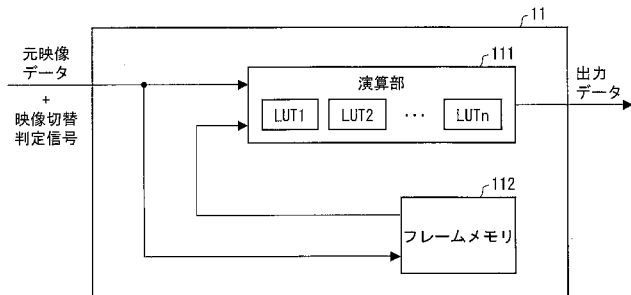
【 0 0 7 1 】

一方、 図 9 (b) の動作では、 第 1 の書き込みから書き込み停止期間の途中までを黒表示期間 (すなわち B L 消灯期間) とし、 書き込み停止期間の途中からフレーム終了までを画像表示期間 (すなわち B L 点灯期間) としている。 この構成においては、 書き込み停止期間を設けることによって低消費電力の効果が得られる。

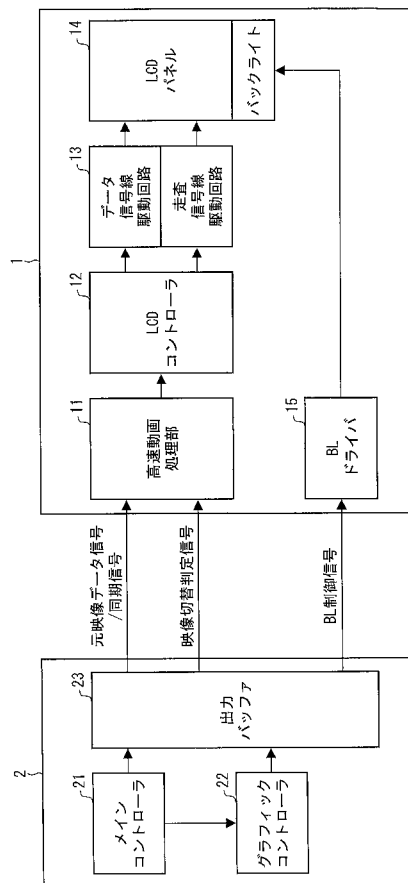
【 0 0 7 2 】

尚、 図 9 (a) , (b) のいずれの構成においても、 画像表示期間をフレーム終了までとしているが、 本発明はこれに限定されるものではなく、 画像表示期間の終了は次フレームの第 1 の書き込み期間にかかっても良い。

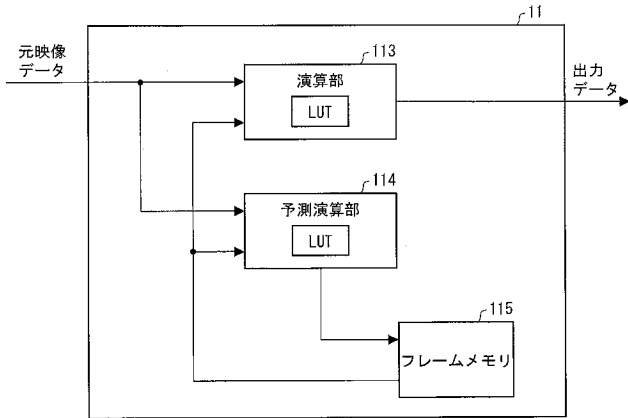
【 図 1 】



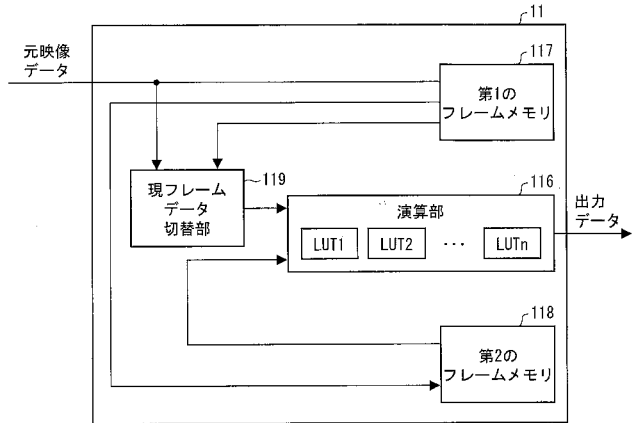
【 図 2 】



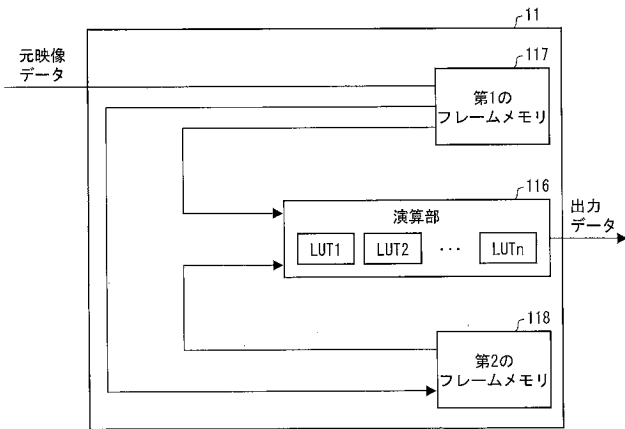
【 図 3 】



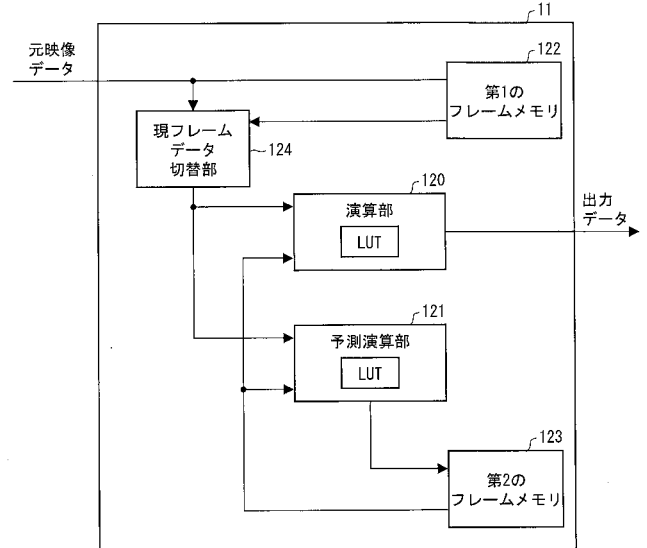
【 図 4 】



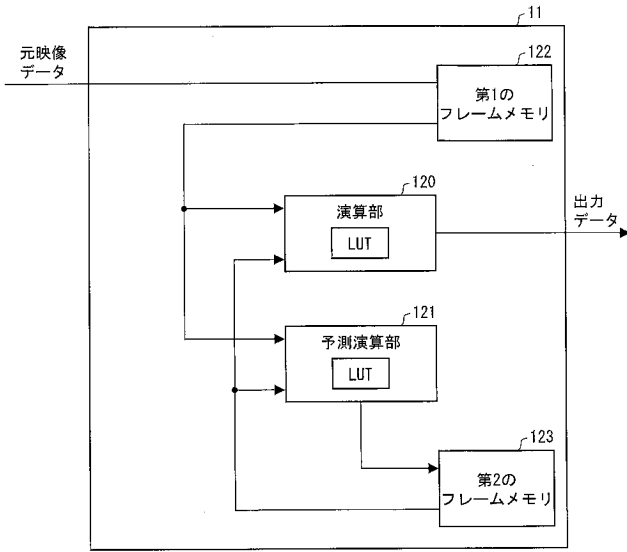
【 図 5 】



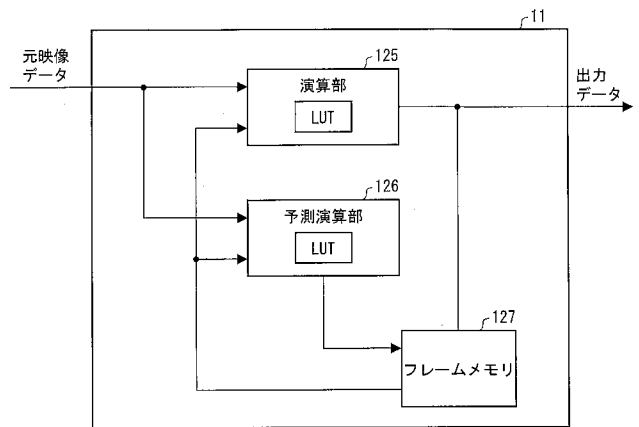
【 図 6 】



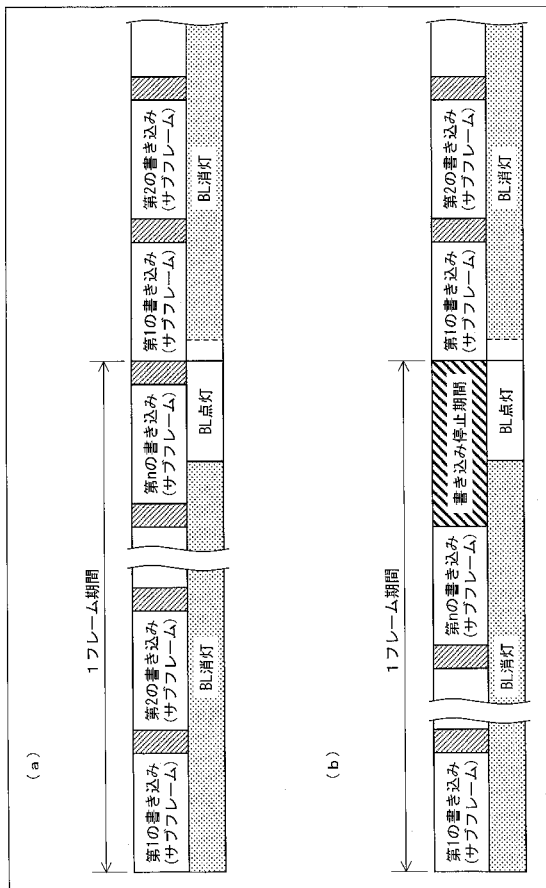
【 図 7 】



【 図 8 】



【 図 9 】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2008/053569
A. CLASSIFICATION OF SUBJECT MATTER G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/34(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G09G3/36, G02F1/133, G09G3/20, G09G3/34 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008 Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-264725 A (Sharp Corp.), 24 September, 2004 (24.09.04), Par. Nos. [0029], [0044] to [0063]; Figs. 9 to 13 (Family: none)	1, 3-4, 8-14, 16-17
Y	JP 2002-287700 A (Matsushita Electric Industrial Co., Ltd.), 04 October, 2002 (04.10.02), Full text; all drawings & WO 2002/077959 A1 & US 2003/0142118 A1 & EP 1376528 A1	1-20
Y	WO 2003/098588 A1 (Sharp Corp.), 27 November, 2003 (27.11.03), Full text; all drawings & US 2005/0162359 A1 & EP 1507252 A1	2, 5-13, 15, 18-20
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 13 March, 2008 (13.03.08)		Date of mailing of the international search report 25 March, 2008 (25.03.08)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/053569

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-317928 A (Victor Company Of Japan, Ltd.), 11 November, 2004 (11.11.04), Par. Nos. [0028] to [0032]; Fig. 3 (Family: none)	11
A	JP 2002-116743 A (Sharp Corp.), 19 April, 2002 (19.04.02), Full text; all drawings & US 2002/0044115 A1	1-20
A	JP 2005-352315 A (Seiko Epson Corp.), 22 December, 2005 (22.12.05), Full text; all drawings & US 2005/0275611 A1	1-20
A	JP 2004-361943 A (Yutatsu Kodan Kofun Yugen Koshi), 24 December, 2004 (24.12.04), Full text; all drawings & US 2004/0246224 A1	1-20
A	JP 2005-181370 A (VastView Technology Inc.), 07 July, 2005 (07.07.05), Full text; all drawings (Family: none)	1-20
A	JP 4-318595 A (Casio Computer Co., Ltd.), 10 November, 1992 (10.11.92), Full text; all drawings & US 5347294 A1 & US 5465102 A1 & US 5844533 A1 & EP 513551 A2	1-20

国際調査報告		国際出願番号 PCT/J P 2 0 0 8 / 0 5 3 5 6 9									
A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. G09G3/36(2006.01)i, G02F1/133(2006.01)i, G09G3/20(2006.01)i, G09G3/34(2006.01)i											
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. G09G3/36, G02F1/133, G09G3/20, G09G3/34											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2008年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2008年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2008年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2008年	日本国実用新案登録公報	1996-2008年	日本国登録実用新案公報	1994-2008年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2008年										
日本国実用新案登録公報	1996-2008年										
日本国登録実用新案公報	1994-2008年										
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
Y	J P 2 0 0 4 - 2 6 4 7 2 5 A (シャープ株式会社) 2 0 0 4 . 0 9 . 2 4 , 段落【0029】、【0044】 - 【0063】、図9 - 13 (ファミリーなし)	1, 3-4, 8-14, 16-17									
Y	J P 2 0 0 2 - 2 8 7 7 0 0 A (松下電器産業株式会社) 2 0 0 2 . 1 0 . 0 4 , 全文全図 & W O 2 0 0 2 / 0 7 7 9 5 9 A 1 & U S 2 0 0 3 / 0 1 4 2 1 1 8 A 1 & E P 1 3 7 6 5 2 8 A 1	1-20									
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー		の日の後に公表された文献									
「A」特に関連のある文献ではなく、一般的技術水準を示すもの		「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの									
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの		「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの									
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)		「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの									
「O」口頭による開示、使用、展示等に言及する文献		「&」同一パテントファミリー文献									
「P」国際出願日前で、かつ優先権の主張の基礎となる出願											
国際調査を完了した日 13.03.2008		国際調査報告の発送日 25.03.2008									
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 濱本 禎広	2G 9509								
		電話番号 03-3581-1101	内線 3226								

国際調査報告		国際出願番号 PCT/JP2008/053569
C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	WO 2003/098588 A1 (シャープ株式会社) 2003. 11. 27, 全文全図 & US 2005/0162359 A1 & EP 1507252 A1	2, 5-13, 15, 18-20
Y	JP 2004-317928 A (日本ビクター株式会社) 2004. 11. 11, 段落【0028】-【0032】, 図3 (ファミリーなし)	11
A	JP 2002-116743 A (シャープ株式会社) 2002. 04. 19, 全文全図 & US 2002/0044115 A1	1-20
A	JP 2005-352315 A (セイコーエプソン株式会社) 2005. 12. 22, 全文全図 & US 2005/0275611 A1	1-20
A	JP 2004-361943 A (友達光電股▼ふん▲有限公司) 2004. 12. 24, 全文全図 & US 2004/0246224 A1	1-20
A	JP 2005-181370 A (▲ぎょく▼瀚科技股▲ふん▼有限公司) 2005. 07. 07, 全文全図 (ファミリーなし)	1-20
A	JP 4-318595 A (カシオ計算機株式会社) 1992. 11. 10, 全文全図 & US 5347294 A1 & US 5465102 A1 & US 5844533 A1 & EP 513551 A2	1-20

フロントページの続き

(51) Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 3 1 D
	G 0 9 G 3/34	J
	G 0 9 G 3/20	6 3 3 P
	G 0 9 G 3/20	6 6 0 V
	G 0 9 G 3/20	6 1 2 U
	G 0 2 F 1/133	5 3 5
	G 0 2 F 1/133	5 7 0
	G 0 9 G 3/20	6 1 1 A
	G 0 9 G 3/20	6 4 1 R
	G 0 9 G 3/20	6 3 1 R

(81) 指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW

Fターム(参考) 5C080 AA10 BB05 DD01 DD08 EE19 EE28 FF07 GG12 GG15 GG17
JJ02

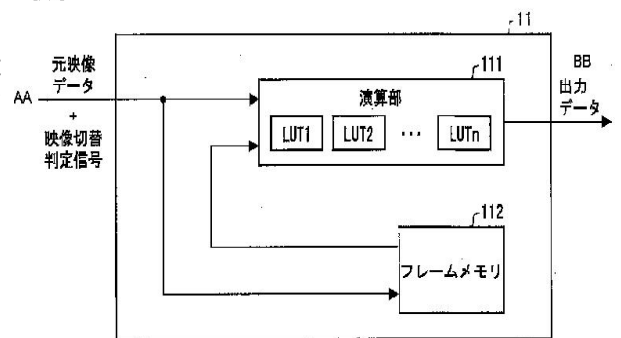
(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	JPWO2008117623A1	公开(公告)日	2010-07-15
申请号	JP2009506259	申请日	2008-02-28
[标]申请(专利权)人(译)	夏普株式会社		
申请(专利权)人(译)	夏普公司		
[标]发明人	大和朝日		
发明人	大和 朝日		
IPC分类号	G09G3/36 G09G3/20 G09G3/34 G02F1/133		
CPC分类号	G09G3/3648 G09G2320/0252 G09G2320/0261 G09G2340/16		
FI分类号	G09G3/36 G09G3/20.631.U G09G3/20.621.F G09G3/20.631.B G09G3/20.641.E G09G3/20.631.D G09G3/34.J G09G3/20.633.P G09G3/20.660.V G09G3/20.612.U G02F1/133.535 G02F1/133.570 G09G3/20.611.A G09G3/20.641.R G09G3/20.631.R		
F-TERM分类号	2H193/ZE01 2H193/ZE02 2H193/ZE03 2H193/ZF16 2H193/ZF17 2H193/ZG02 5C006/AA14 5C006/AB03 5C006/AC21 5C006/AF04 5C006/AF05 5C006/AF07 5C006/AF13 5C006/AF45 5C006/AF69 5C006/BB29 5C006/BF02 5C006/BF28 5C006/EA01 5C006/FA14 5C006/FA29 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD08 5C080/EE19 5C080/EE28 5C080/FF07 5C080/GG12 5C080/GG15 5C080/GG17 5C080/JJ02		
优先权	2007085928 2007-03-28 JP		
外部链接	Espacenet		

摘要(译)

液晶显示装置的高速运动图像处理部分(11)包括：具有多个LUT的计算部分(111)，根据该LUT，参考当前帧数据和前一帧获得用于执行过冲驱动的输出。数据；帧存储器(112)，其中存储前一帧的视频数据信号。在一个帧周期的每个写入周期中，计算部分(11)通过使用从主机设备发送的视频数据信号作为当前帧数据，并通过使用视频数据信号，进行用于执行过冲驱动的数据转换。从帧存储器(112)中读出的作为前一帧数据。此外，在每个写入周期中切换用于执行过冲驱动的LUT。

[图1]



AA ORIGINAL VIDEO DATA + VIDEO SWITCHING JUDGING SIGNAL
 111 COMPUTING SECTION
 112 FRAME MEMORY
 BB OUTPUT DATA