

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5470609号

(P5470609)

(45) 発行日 平成26年4月16日(2014.4.16)

(24) 登録日 平成26年2月14日(2014.2.14)

(51) Int.Cl.

F I

G09G 3/36 (2006.01)

G02F 1/133 (2006.01)

G09G 3/20 (2006.01)

G09G 3/36

G02F 1/133 550

G09G 3/20 611A

G09G 3/20 621F

G09G 3/20 624L

請求項の数 17 (全 30 頁) 最終頁に続く

(21) 出願番号 特願2007-39173 (P2007-39173)
 (22) 出願日 平成19年2月20日(2007.2.20)
 (65) 公開番号 特開2007-226233 (P2007-226233A)
 (43) 公開日 平成19年9月6日(2007.9.6)
 審査請求日 平成22年1月29日(2010.1.29)
 (31) 優先権主張番号 10-2006-0016270
 (32) 優先日 平成18年2月20日(2006.2.20)
 (33) 優先権主張国 韓国(KR)

(73) 特許権者 512187343
 三星ディスプレイ株式会社
 Samsung Display Co.,
 Ltd.
 大韓民国京畿道龍仁市器興区三星二路95
 95, Samsung 2 Ro, Giheung-Gu, Yongin-City
 , Gyeonggi-Do, Korea

(74) 代理人 110000051

特許業務法人共生国際特許事務所

(72) 発明者 崔 晋 榮

大韓民国 ソウル市 麻浦区 孔徳2洞
 三星レミアム1次アパート 105棟 8
 05号

最終頁に続く

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

ゲート信号を伝達する複数のゲート線と、
 データ電圧を伝達する複数のデータ線と、
 維持信号を伝達する複数の維持電極線と、

前記ゲート線に制御端子が連結し、前記データ線に入力端子が連結される三端子素子であるスイッチング素子と、該スイッチング素子の出力端子と一定の大きさを有する直流(DC)電圧である共通電圧との間に連結される液晶キャパシタと、前記スイッチング素子の出力端子と前記維持電極線との間に連結されるストレージキャパシタとを各々含んで行列状に配列される複数の画素と、

前記ゲート信号に基づいて前記維持信号を生成する複数の信号生成回路と、を有し、

前記各画素に印加される維持信号は、前記液晶キャパシタ及び前記ストレージキャパシタにデータ電圧の充電が終了した直後に電圧レベルが変化し、

k(ここで、kは自然数)番目維持電極線に連結された前記信号生成回路は、

制御端子が前記(k+1)番目ゲート線に接続され、入力端子が第2制御信号に接続され、また、制御端子が前記(k+1)番目ゲート線に接続され、入力端子が第3制御信号に接続される第1制御部と、制御端子が前記(k+2)番目ゲート線に接続され、入力端子が第2制御信号に接続され、また、制御端子が前記(k+2)番目ゲート線に接続され、入力端子が第3制御信号に接続される第2制御部と、

制御端子が前記第1制御部の第2制御信号に対応する出力端子に接続され、入力端子が

低電圧 A V S S に接続され、また、制御端子が第 1 制御部の第 3 制御信号に対応する出力端子に接続され、入力端子が高電圧 A V D D に接続され、それぞれの出力端子は前記 k 番目維持電極線に接続される第 1 維持部と、制御端子が、第 2 制御部の第 3 制御信号に対応する出力端子に接続され、入力端子が低電圧 A V S S に接続され、また、制御端子が第 2 制御部の第 2 制御信号に対応する出力端子に接続され、入力端子が高電圧 A V D D に接続され、それぞれの出力端子は前記 k 番目維持電極線に接続される第 2 維持部と、を有し、

前記維持信号印加部は、第 1 レベルと該第 1 レベルより高い第 2 レベルとを有し、第 1 レベルと第 2 レベルが一定周期で変化する第 1 制御信号が印加され、前記 (k + 1) 番目ゲート線に印加される (k + 1) 番目ゲート信号によって動作状態が変化し、前記動作状態の変化に応じ、該当レベルの第 1 制御信号を前記 k 番目維持電極線に印加する維持信号として印加し、

10

前記第 1 制御部は、前記第 1 レベルと第 2 レベルとを有し、 180° の位相差を有する互いに反対の波形を有する前記第 2 及び第 3 制御信号が印加され、前記 (k + 1) 番目ゲート信号によって動作状態が変わり、

前記第 2 制御部は、前記第 2 及び第 3 制御信号が印加され、(k + 2) 番目ゲート信号によって動作状態が変わり、

前記第 1 及び第 2 維持部は、前記第 1 及び第 2 制御部に各々連結されて前記第 2 及び第 3 制御信号が印加され、前記第 1 及び第 2 制御部の動作と前記第 2 及び第 3 制御信号の状態に基づいて所定の周期毎に交互に動作して、前記 k 番目維持電極線に印加する維持信号の状態を所定の時間維持することを特徴とする表示装置。

20

【請求項 2】

隣接した前記維持電極線に印加される維持信号の電圧レベルは、互いに異なることを特徴とする請求項 1 に記載の表示装置。

【請求項 3】

同一の前記維持電極線に印加される維持信号の電圧レベルは、フレーム毎に反転することを特徴とする請求項 1 に記載の表示装置。

【請求項 4】

前記共通電圧は、所定の一定値を有することを特徴とする請求項 1 に記載の表示装置。

【請求項 5】

第 1 制御信号は、前記第 3 制御信号の位相及び波形と同一であることを特徴とする請求項 1 に記載の表示装置。

30

【請求項 6】

前記第 1 乃至第 3 制御信号は、各々 1 H (一水平周期) 毎に交互に第 1 レベルと第 2 レベルを有することを特徴とする請求項 5 に記載の表示装置。

【請求項 7】

前記維持信号印加部は、前記 (k + 1) 番目ゲート信号に制御端子が連結され、前記第 1 制御信号に入力端子が連結され、前記 k 番目維持電極線に出力端子が連結された第 1 トランジスタを含むことを特徴とする請求項 6 に記載の表示装置。

【請求項 8】

前記第 1 制御部は、前記 (k + 1) 番目ゲート信号に制御端子が連結され、前記第 2 制御信号に入力端子が連結される第 2 トランジスタと、前記 (k + 1) 番目ゲート信号に制御端子が連結されて、前記第 3 制御信号に入力端子が連結される第 3 トランジスタとを含むことを特徴とする請求項 7 に記載の表示装置。

40

【請求項 9】

前記第 2 制御部は、前記 (k + 2) 番目ゲート信号に制御端子が連結され、前記第 2 制御信号に入力端子が連結される第 4 トランジスタと、前記 (k + 2) 番目ゲート信号に制御端子が連結され、前記第 3 制御信号に入力端子が連結される第 5 トランジスタとを含むことを特徴とする請求項 8 に記載の表示装置。

【請求項 10】

前記第 1 維持部は、前記第 2 トランジスタの出力端子に一側端子が連結され、前記第 3

50

制御信号に他側端子が連結される第 1 キャパシタと、

前記第 3 トランジスタの出力端子に一側端子が連結され、前記第 2 制御信号に他側端子が連結される第 2 キャパシタと、

前記第 1 キャパシタの一側端子に制御端子が連結され、前記 k 番目維持電極線に入力端子が連結され、第 1 駆動電圧に出力端子が連結される第 6 トランジスタと、

前記第 2 キャパシタの一側端子に制御端子が連結され、第 2 駆動電圧に出力端子が連結され、前記 k 番目維持電極線に出力端子が連結される第 7 トランジスタとを含むことを特徴とする請求項 9 に記載の表示装置。

【請求項 1 1】

前記第 2 維持部は、前記第 4 トランジスタの出力端子に一側端子が連結され、前記第 3 制御信号に他側端子が連結される第 3 キャパシタと、

前記第 5 トランジスタの出力端子に一側端子が連結され、前記第 2 制御信号に他側端子が連結される第 4 キャパシタと、

前記第 3 キャパシタの一側端子に制御端子が連結され、前記第 2 駆動電圧に出力端子が連結され、前記 k 番目維持電極線に出力端子が連結される第 8 トランジスタと、

前記第 4 キャパシタの一側端子に制御端子が連結され、前記 k 番目維持電極線に出力端子が連結され、前記第 1 駆動電圧に出力端子が連結される第 9 トランジスタとを含むことを特徴とする請求項 1 0 に記載の表示装置。

【請求項 1 2】

前記第 1 駆動電圧は、前記第 2 駆動電圧より低いことを特徴とする請求項 1 1 に記載の表示装置。

【請求項 1 3】

前記第 1 駆動電圧は、0 Vであることを特徴とする請求項 1 2 に記載の表示装置。

【請求項 1 4】

前記第 2 駆動電圧は、5 Vであることを特徴とする請求項 1 2 に記載の表示装置。

【請求項 1 5】

前記第 2 レベルの大きさは、前記第 2 駆動電圧より大きいことを特徴とする請求項 1 2 に記載の表示装置。

【請求項 1 6】

前記第 2 レベルの大きさは、1.5 Vであることを特徴とする請求項 1 5 に記載の表示装置。

【請求項 1 7】

前記第 6 トランジスタの制御端子と前記第 1 駆動電圧との間に連結される第 5 キャパシタと、

前記第 7 トランジスタの制御端子と前記第 2 駆動電圧との間に連結される第 6 キャパシタと、

前記第 8 トランジスタの制御端子と前記第 2 駆動電圧との間に連結される第 7 キャパシタと、

前記第 9 トランジスタの制御端子と前記第 1 駆動電圧との間に連結される第 8 キャパシタとをさらに含むことを特徴とする請求項 1 1 に記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は表示装置に関し、特に表示装置の消費電力を減少させ、また、液晶の応答速度を向上させることのできる表示装置に関する。

【背景技術】

【0002】

一般的な液晶表示装置 (liquid crystal display、LCD) は、画素電極及び共通電極が具備された二つの表示板と、その間に入っている誘電率異方性 (dielectric anisotropy) を有する液晶層とを含む。画素電極は

10

20

30

40

50

行列状に配列されていて、薄膜トランジスタ（ＴＦＴ）などスイッチング素子に連結され、一つの行ずつ順次にデータ電圧の印加を受ける。共通電極は表示板の全面にわたって形成されていて、共通電圧の印加を受ける。画素電極と共通電極及びその間の液晶層は、回路的に見れば液晶キャパシタをなし、液晶キャパシタはこれに連結されたスイッチング素子と共に画素を構成する基本単位となる。

【０００３】

このような液晶表示装置においては、二つの電極に電圧を印加して液晶層に電界を生成し、この電界の強さを調節して液晶層を通過する光の透過率を調節することによって、所望の画像を得る。この時、液晶層に一方向の電界が永らく印加されることによって発生する劣化現象を防止するために、フレーム毎に、行毎に、または画素毎に共通電圧に対するデータ電圧の極性を反転させる。

10

【０００４】

しかし、液晶分子の応答速度が遅いため、液晶キャパシタに充電される電圧（以下、“画素電圧”と言う）が目標電圧、つまり、所望の輝度を得ることができる電圧まで到達するにはある程度の時間を必要とし、この時間は液晶キャパシタに以前に充電されていた電圧との差によって変わる。したがって、例えば、目標電圧と以前電圧との差が大きい場合、最初から目標電圧のみを印加すれば、スイッチング素子が導通している時間の間に目標電圧に到達できない場合がある。

【０００５】

このことにより、これを補償するためのＤＣＣ（dynamic capacitance compensation）方式が提案された。つまり、ＤＣＣ方式は、液晶キャパシタの両端にかかった電圧が大きいほど、充電速度が速くなるという点を利用したものであって、該当画素に印加するデータ電圧（実際にはデータ電圧と共通電圧との差であるが、便宜上、共通電圧を０と仮定する）を目標電圧より高くすることで、画素電圧が目標電圧まで到達することにかかる時間を短縮する。

20

【０００６】

しかし、このようなＤＣＣ方式を実施する場合、フレームメモリ（frame memory）とＤＣＣ演算のための駆動回路などが必要であるため、回路設計の難しさと製造費用が増加するという問題がある。

また、液晶表示装置のうち、携帯電話などに使用される中小型表示装置の場合、消費電力などを節約するために、行毎に共通電圧に対するデータ電圧の極性を反転させる行反転（row inversion）を実施しているが、中小型表示装置においても解像度が次第に増加して電力消費が増加する。特に、ＤＣＣ演算を実施する場合、追加された演算や回路などによって電力消費がより一層大きくなるという問題がある。

30

【０００７】

さらに、行反転の場合、画素毎に共通電圧に対するデータ電圧の極性を反転させる点反転（dot inversion）の場合より、画像表示のためのデータ電圧の範囲が小さい。したがって、ＶＡ（vertical alignment）モードの液晶表示装置などのように、液晶駆動のためのしきい電圧（threshold voltage）が高い場合、実際の画像表示のための階調を表現することに利用されるデータ電圧の範囲がしきい電圧ほど小さくなり、これによって、所望の輝度を得られなくなるという問題がある。

40

【発明の開示】

【発明が解決しようとする課題】

【０００８】

そこで、本発明は上記従来の表示装置における問題点に鑑みてなされたものであって、本発明の目的は、表示装置の消費電力を減少させることにある。

また、本発明の他の目的は、表示装置の液晶の応答速度を向上させることにある。

さらに、本発明の他の目的は、表示装置の信頼性及び耐久性を向上させることにある。

【課題を解決するための手段】

50

【 0 0 0 9 】

上記目的を達成するためになされた本発明による表示装置は、ゲート信号を伝達する複数のゲート線と、データ電圧を伝達する複数のデータ線と、維持信号を伝達する複数の維持電極線と、前記ゲート線に制御端子が連結し、前記データ線に入力端子が連結される三端子素子であるスイッチング素子と、該スイッチング素子の出力端子と一定の大きさを有する直流（DC）電圧である共通電圧との間に連結される液晶キャパシタと、前記スイッチング素子の出力端子と前記維持電極線との間に連結されるストレージキャパシタとを各々含んで行列状に配列される複数の画素と、前記ゲート信号に基づいて前記維持信号を生成する複数の信号生成回路と、を有し、前記各画素に印加される維持信号は、前記液晶キャパシタ及び前記ストレージキャパシタにデータ電圧の充電が終了した直後に電圧レベルが変化し、 k （ここで、 k は自然数）番目維持電極線に連結された前記信号生成回路は、制御端子が前記（ $k + 1$ ）番目ゲート線に接続され、入力端子が第2制御信号に接続され、また、制御端子が前記（ $k + 1$ ）番目ゲート線に接続され、入力端子が第3制御信号に接続される第1制御部と、制御端子が前記（ $k + 2$ ）番目ゲート線に接続され、入力端子が第2制御信号に接続され、また、制御端子が前記（ $k + 2$ ）番目ゲート線に接続され、入力端子が第3制御信号に接続される第2制御部と、制御端子が前記第1制御部の第2制御信号に対応する出力端子に接続され、入力端子が低電圧AVSSに接続され、また、制御端子が第1制御部の第3制御信号に対応する出力端子に接続され、入力端子が高電圧AVDDに接続され、それぞれの出力端子は前記 k 番目維持電極線に接続される第1維持部と、制御端子が、第2制御部の第3制御信号に対応する出力端子に接続され、入力端子が低電圧AVSSに接続され、また、制御端子が第2制御部の第2制御信号に対応する出力端子に接続され、入力端子が高電圧AVDDに接続され、それぞれの出力端子は前記 k 番目維持電極線に接続される第2維持部と、を有し、前記維持信号印加部は、第1レベルと該第1レベルより高い第2レベルとを有し、第1レベルと第2レベルが一定周期で変化する第1制御信号が印加され、前記（ $k + 1$ ）番目ゲート線に印加される（ $k + 1$ ）番目ゲート信号によって動作状態が変化し、前記動作状態の変化に応じ、該当レベルの第1制御信号を前記 k 番目維持電極線に印加する維持信号として印加し、前記第1制御部は、前記第1レベルと第2レベルとを有し、 180° の位相差を有する互いに反対の波形を有する前記第2及び第3制御信号が印加され、前記（ $k + 1$ ）番目ゲート信号によって動作状態が変わり、前記第2制御部は、前記第2及び第3制御信号が印加され、（ $k + 2$ ）番目ゲート信号によって動作状態が変わり、前記第1及び第2維持部は、前記第1及び第2制御部に各々連結されて前記第2及び第3制御信号が印加され、前記第1及び第2制御部の動作と前記第2及び第3制御信号の状態に基づいて所定の周期毎に交互に動作して、前記 k 番目維持電極線に印加する維持信号の状態を所定の時間維持することを特徴とする。

【 0 0 1 0 】

隣接した前記維持電極線に印加される維持信号の電圧レベルは、互いに異なることが好ましい。

同一の前記維持電極線に印加される維持信号の電圧レベルは、フレーム毎に反転することが好ましい。

前記共通電圧は所定の一定値を有することが好ましい。

第1制御信号は、前記第3制御信号の位相及び波形と同一であることが好ましい。

前記第1乃至第3制御信号は、各々1H（一水平周期）毎に交互に第1レベルと第2レベルを有することが好ましい。

前記維持信号印加部は、前記（ $k + 1$ ）番目ゲート信号に制御端子が連結され、前記第1制御信号に入力端子が連結され、前記 k 番目維持電極線に出力端子が連結された第1トランジスタを含むことが好ましい。

前記第1制御部は、前記（ $k + 1$ ）番目ゲート信号に制御端子が連結され、前記第2制御信号に入力端子が連結される第2トランジスタと、前記（ $k + 1$ ）番目ゲート信号に制御端子が連結されて、前記第3制御信号に入力端子が連結される第3トランジスタとを含

むことが好ましい。

前記第2制御部は、前記(k+2)番目ゲート信号に制御端子が連結され、前記第2制御信号に入力端子が連結される第4トランジスタと、前記(k+2)番目ゲート信号に制御端子が連結され、前記第3制御信号に入力端子が連結される第5トランジスタとを含むことが好ましい。

【0011】

前記第1維持部は、前記第2トランジスタの出力端子に一側端子が連結され、前記第3制御信号に他側端子が連結される第1キャパシタと、前記第3トランジスタの出力端子に一側端子が連結され、前記第2制御信号に他側端子が連結される第2キャパシタと、前記第1キャパシタの一側端子に制御端子が連結され、前記k番目維持電極線に入力端子が連結され、第1駆動電圧に出力端子が連結される第6トランジスタと、前記第2キャパシタの一側端子に制御端子が連結され、第2駆動電圧に入力端子が連結され、前記k番目維持電極線に出力端子が連結される第7トランジスタとを含むことが好ましい。

10

前記第2維持部は、前記第4トランジスタの出力端子に一側端子が連結され、前記第3制御信号に他側端子が連結される第3キャパシタと、前記第5トランジスタの出力端子に一側端子が連結され、前記第2制御信号に他側端子が連結される第4キャパシタと、前記第3キャパシタの一側端子に制御端子が連結され、前記第2駆動電圧に入力端子が連結され、前記k番目維持電極線に出力端子が連結される第8トランジスタと、前記第4キャパシタの一側端子に制御端子が連結され、前記k番目維持電極線に入力端子が連結され、前記第1駆動電圧に出力端子が連結される第9トランジスタとを含むことが好ましい。

20

【0012】

前記第1駆動電圧は、前記第2駆動電圧より低いことが好ましい。

前記第1駆動電圧は、0Vであることが好ましい。

前記第2駆動電圧は、5Vであることが好ましい。

前記第2レベルの大きさは、前記第2駆動電圧より大きいことが好ましい。

前記第2レベルの大きさは、15Vであることが好ましい。

前記第6トランジスタの制御端子と前記第1駆動電圧との間に連結される第5キャパシタと、前記第7トランジスタの制御端子と前記第2駆動電圧との間に連結される第6キャパシタと、前記第8トランジスタの制御端子と前記第2駆動電圧との間に連結される第7キャパシタと、前記第9トランジスタの制御端子と前記第1駆動電圧との間に連結される第8キャパシタとをさらに含むことが好ましい。

30

【発明の効果】

【0013】

本発明に係る表示装置によれば、共通電圧を所定電圧に固定させた後、所定の周期でレベルが変化する維持信号を維持電極線に印加する。この時、隣接した維持電極線に印加される維持信号を互いに異なるように印加する。これによって、画素電極電圧の範囲が増加して画素電圧の範囲も広くなって、階調を表現するための電圧の範囲が広がるので、画質が向上するという効果がある。

また、同一の範囲のデータ電圧が印加される場合、一定の電圧の維持信号が印加される時よりも広い範囲の画素電圧が生成されるので、消費電力が減少し、これに加えて共通電圧が一定の値に固定されるので、消費電力はさらに減少するという効果がある。

40

【0014】

また、液晶の充電動作が完了する前の画素電極電圧の範囲が、液晶の充電動作が完了した後の画素電極電圧の範囲より広いので、目標電圧より高いかまたは低い電圧が液晶駆動の初期に印加されて、液晶の応答速度が向上するという効果がある。

さらに、1H毎に二つのトランジスタを交互に動作させ、次のフレームまで維持電極線を通じて印加される維持信号を維持させるので、維持信号を維持するためのトランジスタ動作の信頼性が向上し、耐久性も増加する。これによって、安定した維持信号が供給されるという効果がある。

50

【発明を実施するための最良の形態】

【0015】

次に、本発明に係る表示装置を実施するための最良の形態の具体例を図面を参照しながら説明する。

【0016】

図面において、いろいろな層及び領域を明確に表現するために厚さを拡大して示した。明細書全体にわたって類似の部分については同一の図面符号を付けた。層、膜、領域、板などの部分が他の部分の“上”にあるとする時、これは他の部分の“すぐ上”にある場合だけでなく、その中間に他の部分がある場合も含む。逆に、ある部分が他の部分の“すぐ上”にあるとする時には、中間に他の部分がないことを意味する。

10

【0017】

以下、本発明の表示装置の駆動装置の一実施形態である液晶表示装置の駆動装置について、添付した図面を参照して詳細に説明する。

先に、図1及び図2を参照して、本発明の一実施形態による液晶表示装置について詳細に説明する。

【0018】

図1は本発明の一実施形態による液晶表示装置のブロック図であり、図2は本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

図1を参照すれば、本発明の一実施形態による液晶表示装置は、液晶表示板組立体 (liquid crystal panel assembly) 300、ゲート駆動部 (gate driver) 400、データ駆動部 (data driver) 500、データ駆動部500に連結された階調電圧生成部 (gray voltage generator) 800、維持信号生成部 (storage signal generator) 700、及び信号制御部 (signal controller) 600を含む。

20

【0019】

液晶表示板組立体300は、等価回路から見れば、複数の信号線 ($G_1 \sim G_{2n}$ 、 G_d 、 $D_1 \sim D_m$ 、 $S_1 \sim S_{2n}$) と、複数の画素PXとを含む。一方、図2に示す構造から見れば、液晶表示板組立体300は、互いに対向する下部及び上部表示板100、200と、その間に入っている液晶層3とを含む。

信号線 ($G_1 \sim G_{2n}$ 、 G_d 、 $D_1 \sim D_m$ 、 $S_1 \sim S_{2n}$) は、複数のゲート線 $G_1 \sim G_{2n}$ 、 G_d 、複数のデータ線 $D_1 \sim D_m$ 、及び複数の維持電極線 $S_1 \sim S_{2n}$ を含む。

30

【0020】

ゲート線 $G_1 \sim G_{2n}$ 、 G_d は、ゲート信号 (“走査信号”とも言う) を伝達し、一般ゲート線 $G_1 \sim G_{2n}$ と付加ゲート線 G_d とを含む。維持電極線 $S_1 \sim S_{2n}$ は、一般ゲート線 $G_1 \sim G_{2n}$ と交互に配置されていて、維持信号 (storage signal) を伝達する。データ線 $D_1 \sim D_m$ はデータ電圧を伝達する。

ゲート線 $G_1 \sim G_{2n}$ 、 G_d と維持電極線 $S_1 \sim S_{2n}$ はほぼ行方向に延在し、互いにほとんど平行であり、データ線 $D_1 \sim D_m$ はほぼ列方向に延在し、互いにほとんど平行である。

40

【0021】

図1に示すように、画素PXは、一般ゲート線 $G_1 \sim G_{2n}$ 、データ線 $D_1 \sim D_m$ 及び維持電極線 $S_1 \sim S_{2n}$ と連結されており、行列状に配列されている。各画素PX、例えば、 i 番目 ($i = 1, 2, \dots, 2n$) 行、 j 番目 ($j = 1, 2, \dots, m$) 列の画素PXは、図2に示すように、 i 番目一般ゲート線 G_i と j 番目データ線 D_j に連結されたスイッチング素子Q、スイッチング素子Qに連結された液晶キャパシタ (liquid crystal capacitor) C_{lc} 、及びスイッチング素子Qと i 番目維持電極線 S_i に連結されたストレージキャパシタ (storage capacitor) C_{st} を含む。

【0022】

スイッチング素子Qは、下部表示板100に備えられている薄膜トランジスタなどの三

50

端子素子であって、その制御端子は一般ゲート線 G_i と連結されており、入力端子はデータ線 D_j と連結されており、出力端子は液晶キャパシタ C_{lc} 及びストレージキャパシタ C_{st} と連結されている。

【0023】

液晶キャパシタ C_{lc} は、下部表示板 100 の画素電極 191 と上部表示板 200 の共通電極 270 とを二つの端子とし、二つの電極 (191、270) の間の液晶層 3 は誘電体として機能する。画素電極 191 はスイッチング素子 Q と連結され、共通電極 270 は上部表示板 200 の全面に形成されていて、共通電圧 V_{com} の印加を受ける。共通電圧は、一定の大きさを有する直流 (DC) 電圧である。図 2 とは異なって、共通電極 270 が下部表示板 100 に備えられる場合もあり、この時には二つの電極 (191、270) のうちの少なくとも一つを線状または棒状に作ることができる。

10

液晶キャパシタ C_{lc} の補助的な役割を果たすストレージキャパシタ C_{st} は、画素電極 191 と維持電極線 S_i とが絶縁体を間に置いて重畳してなる。

【0024】

一方、色表示を実現するためには、各画素 PX が基本色 (primary color) のうちの一つを固有に表示したり (空間分割)、各画素 PX が時間によって交互に基本色を表示するように (時間分割) して、これら基本色の空間的、時間的合計によって所望の色相が認識されるようにする。基本色の例としては、赤色、緑色、青色など三原色がある。図 2 は空間分割の一例として、各画素 PX が画素電極 191 に対応する上部表示板 200 の領域に基本色のうちの一つを示すカラーフィルタ 230 を備えることを示している。図 2 とは異なって、カラーフィルタ 230 は下部表示板 100 の画素電極 191 上または下に設けることもできる。

20

液晶表示板組立体 300 には、少なくとも一つの偏光子 (図示せず) が備えられている。

【0025】

再び図 1 を参照すれば、階調電圧生成部 800 は、画素 PX の透過率と関する全体階調電圧または限定された数の階調電圧 (以下、“基準階調電圧” という) を生成する。(基準) 階調電圧は、共通電圧 V_{com} に対して正の値を有するものと、負の値を有するものを含むことができる。

【0026】

30

ゲート駆動部 400 は、液晶表示板組立体 300 の両側面、例えば、右側と左側端に配置されている第 1 及び第 2 ゲート駆動回路 400 a、400 b を含む。

【0027】

第 1 ゲート駆動回路 400 a は、奇数番目一般ゲート線 G_1 、 G_3 、 $\dots$ 、 G_{2n-1} 及び付加ゲート線 G_d と一端部で連結されており、第 2 ゲート駆動回路 400 b は偶数番目一般ゲート線 G_2 、 G_4 、 $\dots$ 、 G_{2n} と一端で連結されている。しかし、これに限定されるわけではなく、反対に奇数番目一般ゲート線 G_1 、 G_3 、 $\dots$ 、 G_{2n-1} 及び付加ゲート線 G_d が第 2 ゲート駆動回路 400 b に連結され、偶数番目一般ゲート線 G_2 、 G_4 、 $\dots$ 、 G_{2n} は第 1 ゲート駆動回路 400 a に連結されることも可能である。

40

第 1 及び第 2 ゲート駆動回路 400 a、400 b は、ゲートオン電圧 V_{on} とゲートオフ電圧 V_{off} との組み合わせからなるゲート信号を連結されたゲート線 $G_1 \sim G_{2n}$ 、 G_d に印加する。

【0028】

ゲート駆動部 400 は、信号 ($G_1 \sim G_{2n}$ 、 G_d 、 $D_1 \sim D_m$ 、 $S_1 \sim S_{2n}$) 及び薄膜トランジスタスイッチング素子 Q などと共に液晶表示板組立体 300 に集積できる。しかし、ゲート駆動部 400 は、少なくとも一つの集積回路チップの形態で液晶表示板組立体 300 上に直接装着されたり、可撓性印刷回路フィルム (flexible printed circuit film) (図示せず) 上に装着されて TCP (tape carrier package) の形態で液晶表示板組立体 300 に付着されたり、別

50

途の印刷回路基板 (printed circuit board) (図示せず) 上に装着することもできる。

【 0 0 2 9 】

維持信号生成部 7 0 0 は、液晶表示板組立体 3 0 0 の両側面、例えば、第 1 及び第 2 ゲート駆動回路 4 0 0 a、4 0 0 b と各々隣接するように配置されている第 1 及び第 2 維持信号生成回路 7 0 0 a、7 0 0 b を備える。

【 0 0 3 0 】

第 1 維持信号生成回路 7 0 0 a は奇数番目維持電極線 S_1 、 S_3 、 $\dots$ 、 S_{2n-1} 及び偶数番目一般ゲート線 G_2 、 G_4 、 $\dots$ 、 G_{2n} に連結されており、奇数番目維持電極線 S_1 、 S_3 、 $\dots$ 、 S_{2n-1} に高レベル電圧と低レベル電圧からなる維持信号を印加する。

10

第 2 維持電極線駆動部 7 0 0 b は、偶数番目維持電極線 G_2 、 G_4 、 $\dots$ 、 G_{2n} 及び第 1 一般ゲート線 G_1 を除いた奇数番目一般ゲート線 G_3 、 G_5 、 $\dots$ 、 G_{2n-1} と付加ゲート線 G_d とに連結されており、偶数番目維持電極線 S_2 、 S_4 、 $\dots$ 、 S_{2n} に維持信号を印加する。

【 0 0 3 1 】

これとは異なって、維持信号生成部 7 0 0 は、ゲート駆動部 4 0 0 に連結された別途の付加ゲート線 G_d を通じて必要な信号の供給を受けるのではなく、別途の信号発生部や信号制御部 6 0 0 などのような別途の装置から必要な信号の供給を受けることがある。この場合、ゲート駆動部 4 0 0 に連結された付加ゲート線 G_d は液晶表示板組立体 3 0 0 に形成される必要がない。

20

維持信号生成部 7 0 0 は液晶表示板組立体 3 0 0 に集積できる。

【 0 0 3 2 】

データ駆動部 5 0 0 は、液晶表示板組立体 3 0 0 のデータ線 $D_1 \sim D_m$ と連結されており、階調電圧生成部 8 0 0 からの階調電圧を選択し、これをデータ電圧としてデータ線 $D_1 \sim D_m$ に印加する。しかし、階調電圧生成部 8 0 0 が階調電圧を全て提供することではなく、限定された数の基準階調電圧のみを提供する場合に、データ駆動部 5 0 0 は基準階調電圧を分圧して所望のデータ電圧を生成する。

信号制御部 6 0 0 は、ゲート駆動部 (4 0 0 a、4 0 0 b)、データ駆動部 5 0 0 及び維持信号生成部 7 0 0 などを制御する。

30

【 0 0 3 3 】

このような駆動装置 (5 0 0、6 0 0、8 0 0) 各々は、少なくとも一つの集積回路チップの形態で液晶表示板組立体 3 0 0 上に直接装着されたり、可撓性印刷回路フィルム (図示せず) 上に装着されて T C P の形態で液晶表示板組立体 3 0 0 に付着されたり、別途の印刷回路基板 (図示せず) 上に装着することもできる。これとは異なって、これら駆動装置 (5 0 0、6 0 0、8 0 0) が信号線 ($G_1 \sim G_{2n}$ 、 $D_1 \sim D_m$ 、 $S_1 \sim S_{2n}$) 及び薄膜トランジスタスイッチング素子 Q などと共に液晶表示板組立体 3 0 0 に集積することもできる。また、駆動装置 (5 0 0、6 0 0、8 0 0) は単一チップで集積でき、この場合、これらのうちの少なくとも一つまたはこれらをなす少なくとも一つの回路素子が、単一チップの外側にあり得る。

40

【 0 0 3 4 】

次に、このような液晶表示装置の動作について詳細に説明する。

信号制御部 6 0 0 は、外部のグラフィック制御機 (図示せず) から入力画像信号 R、G、B 及びその表示を制御する入力制御信号を受信する。入力画像信号 R、G、B は各画素 P X の輝度 (luminance) 情報を含んでおり、輝度は決められた数、例えば、1 0 2 4 ($= 2^{10}$)、2 5 6 ($= 2^8$) または 6 4 ($= 2^6$) 個の階調 (gray) を有している。入力制御信号の例としては、垂直同期信号 Vsync、水平同期信号 Hsync、メインクロック信号 MCLK、及びデータイネーブル信号 DE などがある。

【 0 0 3 5 】

信号制御部 6 0 0 は、入力画像信号 R、G、B と入力制御信号に基づいて、入力画像信

50

号 R、G、B を液晶表示板組立体 300 の動作条件に合うように適切に処理し、ゲート制御信号 CONT1、データ制御信号 CONT2 及び維持制御信号 CONT3 を生成した後、ゲート制御信号 CONT1 をゲート駆動部 400a、400b に送出し、データ制御信号 CONT2 と処理したデジタル画像信号 DAT をデータ駆動部 500 に送出し、維持制御信号 CONT3 を維持信号生成部 700 に送出する。

【0036】

ゲート制御信号 CONT1 は、走査開始を指示する走査開始信号 STV1、STV2 と、ゲートオン電圧 Von の出力周期を制御する少なくとも一つのクロック信号とを含む。ゲート制御信号 CONT1 は、また、ゲートオン電圧 Von の持続時間を限定する出力イネーブル信号 OE をさらに含むことができる。

10

【0037】

データ制御信号 CONT2 は、一つの行の画素 PX に対するデジタル画像信号 DAT の伝送開始を知らせる水平同期開始信号 STH、データ線 $D_1 \sim D_m$ にアナログデータ電圧の印加を指示するロード信号 LOAD、及びデータクロック信号 HCLK を含む。データ制御信号 CONT2 は、また、共通電圧 Vcom に対するデータ電圧の極性（以下、“共通電圧に対するデータ電圧の極性”を略して“データ電圧の極性”と言う）を反転させる反転信号 RVS をさらに含むことができる。

【0038】

信号制御部 600 からのデータ制御信号 CONT2 によって、データ駆動部 500 は一つの行、例えば、 i 番目行の画素 PX に対するデジタル画像信号 DAT を受信し、各デジタル画像信号 DAT に対応する階調電圧を選択することによって、デジタル画像信号 DAT をアナログデータ電圧に変換した後、これを該当データ線 $D_1 \sim D_m$ に印加する。

20

【0039】

ゲート駆動部 400 は、信号制御部 600 からのゲート制御信号 CONT1 によってゲート線 $G_1 \sim G_{2n}$ のうちの一つ、例えば、 i 番目ゲート線 G_i に印加されるゲート信号をゲートオン電圧 Von に変換して、このゲート線 G_i に連結されたスイッチング素子 Q を導通させる（但し、付加ゲート線 G_d にはスイッチング素子 Q が連結されていないため除外する）。そうすると、データ線 $D_1 \sim D_m$ に印加されたデータ電圧が導通したスイッチング素子 Q を通じて i 番目行の画素 PX に印加され、これによって画素 PX 内の液晶キャパシタ Clc とストレージキャパシタ Cst が充電される。

30

【0040】

液晶キャパシタ Clc の充電電圧、つまり、画素電圧は、画素 PX に印加されたデータ電圧と共通電圧 Vcom との差とほとんど同一である。液晶分子は画素電圧の大きさによってその配列を異ならせ、そのために液晶層 3 を通過する光の偏光が変化する。このような偏光の変化は偏光子によって光の透過率の変化として現れ、これによって画素 PX は画像信号 DAT の階調が示す輝度を表示する。

【0041】

一つの水平周期（“1H”とも記し、水平同期信号 Hsync 及びデータイネーブル信号 DE の一周期と同一である）が経て、データ駆動部 500 が $(i+1)$ 番目行の画素 PX に対するデータ電圧をデータ線 $D_1 \sim D_m$ に印加すれば、ゲート駆動部 400 は、 i 番目ゲート線 G_i に印加されるゲート信号をゲートオフ電圧 Voff に変え、その次のゲート線 G_{i+1} に印加されるゲート信号をゲートオン電圧 Von に変える。

40

そうすると、 i 番目画素行のスイッチング素子 Q がターンオフされ、そのために画素電極 191 が孤立状態（floating）となる。

【0042】

維持信号生成部 700 は、信号制御部 600 からの維持制御信号 CONT3 と、 $(i+1)$ 番目ゲート線 G_{i+1} に印加されるゲート信号の電圧上昇によって、 i 番目維持電極線 S_i に印加される維持信号の電圧レベルを変える。そうすると、 i 番目画素行のストレージキャパシタ Cst の一側端子である画素電極 191 が、他側端子である維持電極線 S_i の電圧変化によってその電圧を変える。

50

このような過程を全ての画素行に対して繰り返すことにより、液晶表示装置は1フレーム (frame) の画像を表示する。

【 0 0 4 3 】

1フレームが終了すれば、次のフレームが開始し、各画素 P X に印加されるデータ電圧の極性が直前フレームでの極性と反対になるように、データ駆動部 5 0 0 に印加される反転信号 R V S の状態が制御される (“ フレーム反転 ”)。また、一つの行の画素 P X に印加されるデータ電圧の極性は全て同一であり、隣接した二つの行の画素 P X に印加されるデータ電圧の極性は反対である (“ 行反転 ”)。このように、本実施形態による液晶表示装置がフレーム反転及び行反転を行うので、いずれか一つの行の画素 P X に印加されるデータ電圧は、全て正極性または負極性であり、フレーム単位で極性が変わる。

10

【 0 0 4 4 】

この時、維持電極線 S 1 ~ S 2 n に印加される維持信号は、画素電極 1 9 1 に正極性のデータ電圧が充電された場合には低レベル電圧から高レベル電圧に変化し、反対に画素電極 1 9 1 に負極性のデータ電圧が充電された場合には高レベル電圧から低レベル電圧に変化する。したがって、画素電極 1 9 1 の電圧は、正極性データ電圧によって充電された場合にはさらに上がり、負極性データ電圧によって充電された場合にはさらに下がる。したがって、画素電極 1 9 1 の電圧範囲はデータ電圧の基礎である階調電圧の範囲より広く、そのために低い基本電圧によっても広い範囲の輝度を実現することができる。

【 0 0 4 5 】

一方、第1及び第2維持信号生成回路 7 0 0 a、7 0 0 b は、各々維持電極線 S 1 ~ S 2 n に各々連結された複数の信号生成回路 (signal generating circuit) 7 1 0 を含むことができ、このような信号生成回路 7 1 0 の一例について、図3及び図4を参照して詳細に説明する。

20

【 0 0 4 6 】

図3は本発明の一実施形態による信号生成回路の回路図であり、図4は図3に示す信号生成回路を含む液晶表示装置に用いられる信号のタイミング図である。

【 0 0 4 7 】

図3に示すように、信号生成回路 7 1 0 は、入力端 I P と出力端 O P とを有する。i 番目信号生成回路の場合、入力端 I P は (i + 1) 番目ゲート線 G _{i + 1} と連結されて (i + 1) 番目ゲート信号 g _{i + 1} (以下、 “ 入力信号 ” とする) を受信し、出力端 O P は i 番目維持電極線 S _i と連結されて i 番目維持信号 V s _i を出力する。これと同様に、 (i + 1) 番目信号生成回路の場合、入力端 I P は (i + 2) 番目ゲート線 G _{i + 2} と連結されて (i + 2) 番目ゲート信号 g _{i + 2} を入力信号として受信し、出力端 O P は (i + 1) 番目維持電極線 S _{i + 1} と連結されて (i + 1) 番目維持信号 V s _{i + 1} を出力する。

30

【 0 0 4 8 】

信号生成回路 7 1 0 は、信号制御部 6 0 0 から維持制御信号 C O N T 3 の一種である第1、第2及び第3クロック信号 C K 1、C K 1 B、C K 2 を受信し、信号制御部 6 0 0 または外部から高電圧 A V D D と低電圧 A V S S を受ける。

【 0 0 4 9 】

図4に示すように、第1～第3クロック信号 C K 1、C K 1 B、C K 2 は 2 H の周期を有し、デューティ比は約 5 0 % であり得る。第1クロック信号 C K 1 と第2クロック信号 C K 1 B は約 1 8 0 ° の位相差を有する互いに反転した信号であり、第2クロック信号 C K 1 B と第3クロック信号 C K 2 の位相は互いに同一である。また、第1～第3クロック信号 C K 1、C K 1 B、C K 2 の波形はフレーム単位で反転する。

40

【 0 0 5 0 】

第1及び第2クロック信号 C K 1、C K 1 B の高レベル電圧 V h 1 は約 1 5 V であり、低レベル電圧 V l 1 は約 0 V であり得、第3クロック信号 C K 2 の高レベル電圧 V h 2 は約 5 V であり、低レベル電圧 V l 2 は約 0 V であり得る。高電圧 A V D D は、第3クロック信号 C K 2 の高レベル電圧 V h 2 と同一に約 5 V であり、低電圧 A V S S は第3クロック信号 C K 2 の低レベル電圧 V l 2 と同一に約 0 V であり得る。

50

【 0 0 5 1 】

信号生成回路 7 1 0 は、制御端子、入力端子及び出力端子を各々有する五個のトランジスタ $T r 1$ 、 $T r 2$ 、 $T r 3$ 、 $T r 4$ 、 $T r 5$ と、二つのキャパシタ $C 1$ 、 $C 2$ とを含む。

トランジスタ $T r 1$ の制御端子は入力端 $I P$ と連結されており、入力端子は第 3 クロック信号 $C K 2$ と連結されており、出力端子は出力端 $O P$ と連結されている。

トランジスタ $T r 2$ 、トランジスタ $T r 3$ の制御端子は入力端 $I P$ と連結されており、入力端子は第 1、第 2 クロック信号 $C K 1$ 、 $C K 1 B$ と連結されている。

トランジスタ $T r 4$ 、トランジスタ $T r 5$ の制御端子はトランジスタ $T r 2$ 、トランジスタ $T r 3$ の出力端子と連結されており、入力端子は低電圧 $A V S S$ 、高電圧 $A V D D$ と連結されており、出力端子は出力端 $O P$ と連結されている。

10

【 0 0 5 2 】

キャパシタ $C 1$ 、キャパシタ $C 2$ は、トランジスタ $T r 4$ 、トランジスタ $T r 5$ の制御端子と低電圧 $A V S S$ 、高電圧 $A V D D$ との間に連結されている。

トランジスタ $T r 1 \sim T r 5$ は非晶質シリコン (*amorphous silicon*) または多結晶シリコン (*poly crystalline silicon*) 薄膜トランジスタからなることができ、スイッチング素子 Q 及びキャパシタ $C 1$ 、 $C 2$ と共に液晶表示板組立体 3 0 0 に集積できる。

【 0 0 5 3 】

このような信号生成回路の動作について詳細に説明する。

20

図 4 に示すように、隣接した二つのゲート線に印加されるゲートオン電圧 $V o n$ の印加時間が一部重畳しており、この時、ゲートオン電圧 $V o n$ の重畳時間は約 1 H であり得る。これによって、全行の画素 $P X$ は直前行の画素 $P X$ に印加されるデータ電圧で約 1 H の間に充電されるが、残りの約 1 H の間には自身のデータ電圧で充電が行われ、正常に画像の表示動作が行われる。

【 0 0 5 4 】

先に、 i 番目信号生成回路について説明する。

入力信号、つまり、 $(i + 1)$ 番目ゲート線 G_{i+1} に印加されるゲート信号 g_{i+1} がゲートオン電圧 $V o n$ になれば、第 1 ~ 第 3 トランジスタ $T r 1 \sim T r 3$ が導通する。導通したトランジスタ $T r 1$ は第 3 クロック信号 $C K 2$ を出力端 $O P$ に伝達し、第 3 クロック信号 $C K 2$ の低レベル電圧 $V l 2$ によって維持信号 $V s_i$ の電圧レベルは低レベル電圧 ($V -$) となる。一方、導通したトランジスタ $T r 2$ は第 1 クロック信号 $C K 1$ をトランジスタ $T r 4$ の制御端子に伝達し、導通したトランジスタ $T r 3$ は第 2 クロック信号 $C K 1 B$ をトランジスタ $T r 5$ の制御端子に伝達する。

30

【 0 0 5 5 】

第 1 クロック信号 $C K 1$ と第 2 クロック信号 $C K 1 B$ とは互いに反転した信号であるので、トランジスタ $T r 4$ とトランジスタ $T r 5$ とは互いに反対に動作する。つまり、トランジスタ $T r 4$ が導通すればトランジスタ $T r 5$ が遮断され、反対にトランジスタ $T r 4$ が遮断されればトランジスタ $T r 5$ が導通する。トランジスタ $T r 4$ が導通し、トランジスタ $T r 5$ が遮断されれば、低電圧 $A V S S$ が出力端 $O P$ に伝達され、トランジスタ $T r 4$ が遮断され、トランジスタ $T r 5$ が導通すれば、高電圧 $A V D D$ が出力端 $O P$ に伝達される。

40

【 0 0 5 6 】

ゲート信号 g_{i+1} のゲートオン電圧 $V o n$ の状態は、例えば、2 H 間維持され、前半 1 H 間を前半区間 $T 1$ 、後半 1 H 間を後半区間 $T 2$ とする。

前半区間 $T 1$ の間に第 1 クロック信号 $C K 1$ は高レベル電圧 $V h 1$ であり、第 2 及び第 3 クロック信号 $C K 1 B$ 、 $C K 2$ は低レベル電圧 $V l 1$ 、 $V l 2$ であるので、トランジスタ $T r 1$ が伝達する第 3 クロック信号 $C K 2$ の低レベル電圧 $V l 2$ がかかっている出力端 $O P$ には、トランジスタ $T r 4$ が伝達する低電圧 $A V S S$ がかかる。したがって、維持信号 $V s_i$ は低レベル電圧 $V l 2$ 及び低電圧 $A V S S$ と同一の大きさの低レベル電圧 ($V -$)

50

）になる。一方、前半区間 T_1 の間に、キャパシタ C_1 には第 1 クロック信号 CK_1 の高レベル電圧 V_{h1} と低電圧 $AVSS$ との差ほどの電圧が充電され、キャパシタ C_2 には第 2 クロック信号 CK_1B の低レベル電圧 V_{l1} と高電圧 $AVDD$ との差ほどの電圧が充電される。

【0057】

後半区間 T_2 の間に、第 1 クロック信号 CK_1 は低レベル電圧 V_{l1} であり、第 2 及び第 3 クロック信号 CK_1B 、 CK_2 は高レベル電圧 V_{h1} 、 V_{h2} であるので、前半区間 T_1 とは反対にトランジスタ Tr_5 は導通し、トランジスタ Tr_4 は遮断される。

これによって、出力端 OP には、導通したトランジスタ Tr_1 を通じて伝えられる第 3 クロック信号 CK_2 の高レベル電圧 V_{h2} がかかるようになって、維持信号 V_{si} は低レベル電圧 (V_-) から高レベル電圧 V_{h2} と同一のレベルの高レベル電圧 (V_+) に変化する。また、出力端 OP には、導通したトランジスタ Tr_5 を通じて高レベル電圧 (V_+) と同一のレベルの高電圧 $AVDD$ が印加される。

【0058】

一方、キャパシタ C_1 の充電電圧は、第 1 クロック信号 CK_1 の低レベル電圧 V_{l1} と低電圧 $AVSS$ との差と同一であるので、これら二つの電圧が同一であればキャパシタ C_1 は放電される。キャパシタ C_2 の充電電圧は、第 2 クロック信号 CK_1B の高レベル電圧 V_{l1} と高電圧 $AVDD$ との差と同一であるので、これら二つの電圧が互いに異なればキャパシタ C_2 の充電電圧は 0 でない。前述で例に挙げたように、第 2 クロック信号 CK_1B の高レベル電圧 V_{h1} が約 1.5 V であり、高電圧 $AVDD$ が約 5 V であれば、約 1.0 V の電圧がキャパシタ C_2 に充電される。

【0059】

後半区間 T_2 が終了してゲート信号 g_{i+1} がゲートオン電圧 V_{on} からゲートオフ電圧 V_{off} に変われば、トランジスタ $Tr_1 \sim Tr_3$ は遮断状態に変わる。したがって、トランジスタ Tr_1 の出力端子が孤立状態となり、トランジスタ Tr_1 と出力端 OP との電氣的な接続が孤立状態となり、また、トランジスタ Tr_2 、 Tr_3 の出力端子が孤立状態となり、これによってトランジスタ Tr_4 、 Tr_5 の制御端子も孤立状態となる。

【0060】

キャパシタ C_1 には電圧が充電されていないので、トランジスタ Tr_4 は遮断状態を維持する。しかし、キャパシタ C_2 には第 2 クロック信号 CK_1B の高レベル電圧 V_{h1} と高電圧 $AVDD$ との差によって電圧が充電されているので、その電圧がトランジスタ Tr_5 のしきい電圧以上である場合、トランジスタ Tr_5 は導通状態を維持する。したがって、出力端 OP には高電圧 $AVDD$ が伝えられ、維持信号 V_{si} として出力される。これによって維持信号 V_{si} は高レベル電圧 (V_+) を維持する。

【0061】

次に、($i+1$) 番目信号生成回路の動作について説明する。

($i+1$) 番目信号生成回路 (図示せず) に ($i+2$) 番目ゲート信号 g_{i+2} のゲートオン電圧 V_{on} が印加されれば、($i+1$) 番目信号生成回路が動作する。

【0062】

図 4 に示すように、($i+2$) 番目ゲート信号 g_{i+2} がゲートオン電圧 V_{on} になれば、この時の第 1 ~ 第 3 クロック信号 CK_1 、 CK_1B 、 CK_2 の状態は、($i+1$) 番目ゲート信号 g_{i+1} がゲートオン電圧 V_{on} になる時の状態と反対になる。

これによって、($i+2$) 番目ゲート信号 g_{i+2} の前半ゲートオン電圧 V_{on} 区間 T_1 である時の動作は、($i+1$) 番目ゲート信号 g_{i+1} の後半ゲートオン電圧 V_{on} 区間 T_2 である時の動作と同一であるので、トランジスタ Tr_1 、 Tr_3 、 Tr_5 の導通動作によって第 3 クロック信号 CK_2 の高レベル電圧 V_{h2} と高電圧 $AVDD$ が出力端 OP にかかるようになって、維持信号 V_{si+1} は高レベル電圧 (V_+) になる。

【0063】

しかし ($i+2$) 番目ゲート信号 g_{i+2} の後半ゲートオン電圧 V_{on} 区間 T_2 である時の動作は、($i+1$) 番目ゲート信号 g_{i+1} の前半ゲートオン電圧 V_{on} 区間 T_1 で

ある時の動作と同一であるので、トランジスタ $T r 1$ 、 $T r 2$ 、 $T r 4$ の導通動作によって第 3 クロック信号 $C K 2$ の低レベル電圧 $V 1 2$ と低電圧 $A V S S$ が出力端 $O P$ にかかるようになって、維持信号 $V s_{i+1}$ は高レベル電圧 ($V +$) から低レベル電圧 ($V -$) に変わる。

【 0 0 6 4 】

上述したように、トランジスタ $T r 1$ は、入力信号の電圧状態がゲートオン電圧 $V o n$ を維持する間に第 3 クロック信号 $C K 2$ を維持信号として印加するためのトランジスタであり、残りのトランジスタ $T r 2 \sim T r 5$ は、入力信号がゲートオフ電圧 $V o f f$ として出力端 $O P$ がトランジスタ $T r 1$ の出力端子と孤立状態である時、キャパシタ $C 1$ 、 $C 2$ を利用して該当維持電極線に印加される維持信号の電圧状態を次のフレームまで維持するためのトランジスタである。つまり、トランジスタ $T r 1$ は該当維持電極線に維持信号を初期に印加するためのものであり、残りのトランジスタ $T r 2 \sim T r 5$ は出力されている維持信号を一定に維持するためのものであるので、トランジスタ $T r 2 \sim T r 5$ の大きさは第 1 トランジスタ $T r 1$ の大きさよりはるかに小さいことが良い。

10

【 0 0 6 5 】

このような維持信号 $V s$ の電圧変化によって、画素電極電圧 $V p$ が増減する。次に、このような維持信号 $V s$ の電圧変化による画素電極電圧 $V p$ の変化について説明する。以下、キャパシタとこれらキャパシタの静電容量は、同一の図面符号で表示する。

【 0 0 6 6 】

先に、画素電極電圧 $V p$ は下記の数式 1 のように求められる。数式 1 において、 $C 1 c$ と $C s t$ は各々液晶キャパシタ及びストレージキャパシタとこれらの静電容量を示し、($V +$) は維持信号 $V s$ の高レベル電圧であり、($V -$) は維持信号 $V s$ の低レベル電圧である。数式 1 から分かるように、画素電極電圧 $V p$ は、キャパシタの静電容量 $C 1 c$ 、 $C s t$ 及び維持信号 $V s$ の電圧変化によって決められる変化量 Δ がデータ電圧 V_D に加減された値である。

20

【 0 0 6 7 】

【 数 1 】

$$Vp = V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_k} \{(V+) - (V-)\}$$

30

データ電圧 V_D の範囲は約 $0 V \sim 5 V$ であり、 $C s t$ と $C 1 c$ の値が互いに同一となるように画素を設計し、($V +$) - ($V -$) = $5 V$ の場合、数式 1 は $V p = V_D \pm 2.5$ となる。

【 0 0 6 8 】

結局、維持信号 $V s$ の電圧が変化する時、画素電極電圧 $V p$ は、データ電圧 V_D の極性によって、該当データ線 $D 1 \sim D m$ を通じて印加されるデータ電圧 V_D より約 $\pm 2.5 V$ ほど増減される。つまり、($+$) 極性の時に約 $+ 2.5 V$ 増加し、($-$) 極性の時に約 $- 2.5 V$ 減少する。このような画素電極電圧 $V p$ の変化によって、画素電圧の範囲も増加する。例えば、共通電圧 $V c o m$ が約 $2.5 V$ に固定されている時、画素に印加される約 $0 \sim 5 V$ のデータ電圧 V_D による画素電圧の範囲は約 $- 2.5 V \sim + 2.5 V$ であるが、維持信号 $V s$ が高レベル電圧 ($V +$) または低レベル電圧 ($V -$) に変化する時、画素電圧の範囲は約 $- 5 V \sim + 5 V$ に広がる。

40

【 0 0 6 9 】

このように、維持信号 $V s$ の電圧変化 $\{(V+) - (V-)\}$ によって増加した画素電極電圧 $V p$ の変化量 Δ ほど画素電圧の範囲が広がるので、階調表現のための電圧範囲が増加して輝度が向上する。

【 0 0 7 0 】

また、共通電圧が一定の電圧に固定されているので、低い電圧と高い電圧とを交互に印

50

加する時より消費電力が減少する。つまり、データ線と共通電極との間に発生する寄生キャパシタにおいて、共通電極に印加される共通電圧が約 0 または 5 V である場合、この寄生キャパシタに印加される電圧は最大約 ± 5 V である。しかし、共通電圧が約 2.5 V に固定される場合、データ線と共通電極との間に発生する寄生キャパシタに印加される電圧は最大約 ± 2.5 V に減少する。したがって、データ線と共通電極との間で発生する寄生キャパシタで消費される電力が減少し、そのため液晶表示装置の総消費電力が減少する。

【0071】

しかし、液晶の応答速度が遅いため、画素電圧によって液晶分子が速かに反応しない。したがって、液晶キャパシタ C_{1c} の静電容量は、液晶キャパシタ C_{1c} の両端に印加される画素電圧に反応して液晶分子の再整列が完了した安定化状態に到達したか否かによって変わる。これによって、液晶分子が安定化状態に到達したか否かによって画素電極電圧 V_p が変わる。

10

【0072】

次に、画素電圧に反応して液晶分子が安定化状態に到達した場合とそうでない場合に、画素電極電圧 V_p の変化について説明する。

最大値の画素電圧、つまり、最大階調（ノーマリーブラックの場合、ホワイト階調）の画素電圧が液晶キャパシタ C_{1c} に印加された後に液晶分子が安定化状態に到達する時、液晶キャパシタ C_{1c} の静電容量が最小値の画素電圧、最小階調（ノーマリーブラックの場合、ブラック階調）の画素電圧が液晶キャパシタ C_{1c} に印加された後に液晶分子が安定化状態に到達する時、液晶キャパシタ C_{1c} の静電容量の約 3 倍であると仮定する。また、 $(V+) - (V-) = 5$ V であり、 $C_{1c} = C_{st}$ とする。

20

【0073】

したがって、最大階調の画素電圧が液晶キャパシタ C_{1c} に印加された後に液晶分子が安定化状態に到達する時、画素電極電圧 V_p は上記の数式 1 の通りであり、既に記述したように、 $(V+) - (V-) = 5$ V であり、 $C_{1c} = C_{st}$ であるので、画素電極電圧 V_p は $V_p = V_D \pm 2.5$ となる。

しかし、最大階調の画素電圧が液晶キャパシタ C_{1c} に印加された後、液晶分子が安定化状態に到達できない場合には、画素電極電圧 V_p は下記に示す数式 2 の通りである。

【0074】

【数 2】

30

$$\begin{aligned} V_p &= V_D \pm \Delta = V_D \pm \frac{C_{st}}{C_{st} + C_k} \{(V+) - (V-)\} \\ &= V_D \pm \frac{C_{st}}{C_{st} + \frac{1}{3} C_{st}} \{(V+) - (V-)\} = V_D \pm \frac{3}{4} \{(V+) - (V-)\} \end{aligned}$$

この時、 $(V+) - (V-) = 5$ V であるので、 $V_p = V_D \pm 3.75$ である。

【0075】

40

このように、最大階調の画素電圧が液晶キャパシタ C_{1c} に印加された後、液晶分子が安定化状態に到達できない場合、画素電極電圧 V_p は最小階調の画素電圧が液晶キャパシタ C_{1c} に印加された後、液晶分子が安定化状態に到達した時の画素電極電圧を維持する。つまり、直前フレームの状態を維持する。したがって、維持信号の電圧変化 $\{(V+) - (V-)\}$ による画素電極電圧 V_p の変化量 Δ は、 ± 2.5 V から ± 3.75 V に増加する。

【0076】

したがって、最小階調の画素電極電圧から他の階調の画素電極電圧に変化する場合、液晶分子が安定化状態に到達する前までは、数式 2 によって維持信号の電圧変化 $\{(V+) - (V-)\}$ による画素電極電圧 V_p の変化量 Δ はさらに増加し、 $(V+) - (V-) =$

50

5 V の場合、最大 ± 3.75 V まで増加する。

【0077】

図5は本発明の実施形態による維持電極駆動部の動作による画素電極電圧と液晶の応答速度の変化を示すグラフであり、図6は従来の画素電極電圧と液晶の応答速度の変化を示すグラフである。

上述したように、従来の技術においては、図6に示すように、フレーム毎に目標画素電極電圧 V_t に該当する画素電極電圧 V_p を該当画素電極に印加しても、画素電極に充電された画素電極電圧は、充電動作が完了した後、隣接したデータ電圧などの影響によって減少し、結局、1フレーム内に目標画素電極電圧 V_t に到達できず、いくつかのフレームを経て目標画素電極電圧 V_t に到達するが、本実施形態においては、図5に示すように、該当画素電極に印加される画素電極電圧 V_p が目標画素電極電圧 V_t よりはるかに高い電圧が印加されるので、1フレーム内に該当画素電極が目標画素電極電圧 V_t に到達して、従来の技術よりも液晶の応答速度 RC が向上する。

【0078】

したがって、画素電極電圧 V_p は充電されているデータ電圧 V_D に維持信号 V_S の電圧変化量が加減されて、画素 PX が正極性データ電圧で充電されている場合には画素電極電圧 V_p は変化量ほど増加し、反対に画素 PX が負極性データ電圧で充電されている場合には、画素電極電圧 V_p は変化量ほど減少する。これによって、画素電圧の変化は増減された画素電極電圧 V_p によって階調電圧の範囲より広くなり、表現される輝度範囲も広くなる。

また、上述したように、共通電圧 V_{com} が一定の電圧で固定されているので、低い電圧と高い電圧とを交互に印加する時よりも消費電力が減少する。

【0079】

次に、図7乃至図10を参照して本発明の他の実施形態による液晶表示装置について説明する。

図7は本発明の他の実施形態による液晶表示装置のブロック図である。図8は本発明の他の実施形態による信号生成回路の一例に対する回路図であり、図9は図8の信号生成回路を含む液晶表示装置に用いられる信号のタイミング図である。また、図10は本発明の他の実施形態による信号生成回路の他の例に対する回路図である。

【0080】

図7に示すように、本発明の他の実施形態による液晶表示装置は、全ての一般ゲート線 $G_1 \sim G_{2n}$ に連結された一つのゲート駆動部401と、全ての維持電極線 $S_1 \sim S_{2n}$ に連結された一つの維持信号生成部701とを除けば、図1に示す液晶表示装置の構造と同一であるため、同じ図面符号を付けており、これらに対する詳細な説明は省略する。

【0081】

図1に示すように、ゲート駆動部401は、維持信号生成部701に連結された所定個数の付加ゲート線（図示せず）に連結されていることができる。ゲート駆動部401と維持信号生成部701とは、画素 PX のスイッチング素子 Q と同一の工程によって形成され、液晶表示板組立体301に集積されている。しかし、これとは異なって、これらは各々一つの集積回路チップの形態で液晶表示板組立体301上に直接装着したり、可撓性印刷回路フィルム（図示せず）上に装着されて TCP の形態で液晶表示板組立体301に付着されたり、別途の印刷回路基板（図示せず）上に装着することもできる。

【0082】

ゲート駆動部401は、第1一般ゲート線 G_1 から順次にゲートオン電圧 V_{on} を印加して、各一般ゲート線 $G_1 \sim G_{2n}$ に連結された当該画素行の充電動作と維持信号生成部701の動作とを制御する。

【0083】

維持信号生成部701は、各維持電極線 $S_1 \sim S_{2n}$ に連結された複数の信号生成回路を含んでおり、各信号生成回路は入力信号を除けば全て同一の構造からなっている。図8に示すように、信号生成回路、例えば、 i 番目維持電極線 S_i に連結された i 番目信号生

10

20

30

40

50

成回路 ST_i は、図 3 に示す信号生成回路と近似して 5 個のトランジスタ $Tr_1 \sim Tr_5$ と 2 つのキャパシタ $C_1 \sim C_2$ とを含んでおり、信号生成回路は、これに加えて 4 個トランジスタ $Tr_6 \sim Tr_9$ と 2 つのキャパシタ C_3 、 C_4 をさらに含んでいる。

【0084】

図 3 に示したものと同様に、トランジスタ $Tr_1 \sim Tr_3$ の入力端子は第 1 ～ 第 3 クロック信号 CK_1 、 CK_1B 、 CK_2 に各々連結されており、制御端子は入力端 IP に連結されており、出力端子は出力端 OP 及びトランジスタ Tr_4 、 Tr_5 の制御端子に各々連結されており、トランジスタ Tr_4 、 Tr_5 の入力端子は低電圧 $AVSS$ と高電圧 $AVDD$ に各々連結されており、出力端子は出力端 OP に連結されている。

【0085】

また、図 8 に示すように、トランジスタ Tr_6 、 Tr_7 の制御端子はトランジスタ Tr_8 、 Tr_9 の入力端子に各々連結されており、入力端子は高電圧 $AVDD$ と低電圧 $AVSS$ に各々連結されており、出力端子は出力端 OP に連結されている。トランジスタ Tr_8 、 Tr_9 の制御端子は後続の信号生成回路、つまり、 $(i+1)$ 番目信号生成回路 ST_{i+1} の入力端 IP に連結されており、トランジスタ Tr_6 、 Tr_7 の制御端子に入力端子が各々連結されており、出力端子は第 1 及び第 2 クロック信号 CK_1 、 CK_1B に各々連結されている。

【0086】

また、キャパシタ C_1 はトランジスタ Tr_4 の制御端子と第 2 クロック信号 CK_1B との間に連結されており、キャパシタ C_2 はトランジスタ Tr_5 の制御端子と第 1 クロック信号 CK_1 との間に連結されている。

キャパシタ C_3 はトランジスタ Tr_7 の制御端子と第 1 クロック信号 CK_1 との間に連結されており、キャパシタ C_4 はトランジスタ Tr_6 の制御端子と第 2 クロック信号 CK_1B との間に連結されている。

【0087】

トランジスタ $Tr_1 \sim Tr_9$ は、非晶質シリコン (amorphous silicon) または多結晶シリコン (polycrystalline silicon) 薄膜トランジスタからなることができる。

【0088】

このように、 i 番目維持電極線 S_i に連結された信号生成回路 ST_i は、 $(i+1)$ 番目と $(i+2)$ 番目ゲート線 G_{i+1} 、 G_{i+2} に印加されるゲート信号 g_{i+1} 、 g_{i+2} の印加を受けるので、上述したように、所定個数の信号生成回路、例えば、 $(n-1)$ 番目信号生成回路と n 番目信号生成回路にゲート信号を印加するために所定個数の付加ゲート線 (図示せず) が必要である。

【0089】

この付加ゲート線は、液晶表示板組立体 301 上に一般ゲート線 $G_1 \sim G_{2n}$ にほとんど平行に形成されており、ゲート駆動部 401 に連結されてゲートオン電圧 V_{on} とゲートオフ電圧 V_{off} との組み合わせからなるゲート信号をゲート信号 g_{2n} の次に順次に印加を受ける。しかし、これとは異なって、 $(n-1)$ 番目信号生成回路と n 番目信号生成回路は、信号制御部 600 などのようにゲート駆動部 401 ではない他の装置や外部から制御信号の印加を受けることもできる。

【0090】

このような信号生成回路の動作について、図 9 を参照して説明する。

上述したように、液晶表示装置は行反転とフレーム反転を実施する。また、図 9 に示す第 1 ～ 第 3 クロック信号 CK_1 、 CK_1B 、 CK_2 は、図 4 に示すクロック信号 CK_1 、 CK_1B 、 CK_2 と同一である。

【0091】

図 9 に示すように、各一般ゲート線 $G_1 \sim G_{2n}$ に順次に印加されるゲートオン電圧 V_{on} は、隣接したゲートオン電圧 V_{on} と所定時間重畳せず、第 1 一般ゲート線 G_1 から順次に印加される。

10

20

30

40

50

【 0 0 9 2 】

先に、 i 番目信号生成回路 ST_i の動作について説明する。

($i + 1$) 番目ゲート線 G_{i+1} に印加されるゲート信号 g_{i+1} にゲートオン電圧 V_{on} が印加されれば、第 1 ~ 第 3 トランジスタ $Tr_1 \sim Tr_3$ が導通する。

したがって、図 4 に示すように、第 1 トランジスタ Tr_1 が導通する間に、第 3 クロック信号 CK_2 の高レベル電圧 V_{h2} が出力端 OP を通じて維持信号 V_{s_i} として維持電極線 S_i に印加されるので、維持信号 V_{s_i} は低レベル電圧 (V_-) から高レベル電圧 (V_+) に変化する。

【 0 0 9 3 】

ゲート信号 g_{i+1} にゲートオン電圧 V_{on} が印加される間に、第 1 クロック信号 CK_1 は低レベル電圧 V_{l1} を維持し、第 2 クロック信号 CK_1B は高レベル電圧 V_{h1} を維持するので、導通したトランジスタ Tr_2 、 Tr_3 を通じて各々トランジスタ Tr_4 、 Tr_5 の制御端子に低レベル電圧 V_{l1} と高レベル電圧 V_{h1} が印加され、トランジスタ Tr_5 は導通し、トランジスタ Tr_4 は遮断される。これによって、ゲート信号 g_{i+1} にゲートオン電圧 V_{on} が印加される 1 H の間に、導通したトランジスタ Tr_1 の出力端 OP に第 3 クロック信号 CK_2 の高レベル電圧 V_{h2} と、トランジスタ Tr_5 の出力端 OP に高電圧 $AVDD$ が印加され、維持信号 V_{s_i} は高レベル電圧 (V_+) を印加する。

【 0 0 9 4 】

約 1 H が経過すれば、($i + 1$) 番目ゲート信号 g_{i+1} にゲートオフ電圧 V_{off} が印加され、($i + 2$) 番目ゲート信号 g_{i+2} にゲートオン電圧 V_{on} が印加され、トランジスタ $Tr_1 \sim Tr_3$ は導通し、トランジスタ Tr_8 、 Tr_9 は遮断される。この時、第 1 クロック信号 CK_1 は高レベル電圧 V_{h1} となり、第 2 制御信号 CK_1B は低レベル電圧 V_{l1} となる。

これによって、導通したトランジスタ Tr_8 、 Tr_9 を通じて印加される第 1 及び第 2 制御信号 CK_1 、 CK_1B によって、トランジスタ Tr_6 が導通し、トランジスタ Tr_7 は遮断される。

【 0 0 9 5 】

また、キャパシタ C_2 に連結された第 1 制御信号 CK_1 が低レベル電圧 V_{l1} から高レベル電圧 V_{h1} に変化するので、キャパシタ C_2 に連結されたトランジスタ Tr_5 の制御端子は、トランジスタ Tr_3 の導通の際に印加された高レベル電圧 V_{h1} よりもさらに高い電圧状態に変更され、キャパシタ C_1 に連結された第 2 制御信号 CK_1B_2 が高レベル電圧 V_{h1} から低レベル電圧 V_{l1} に変化する所以、キャパシタ C_1 に連結されたトランジスタ Tr_4 の制御端子は、トランジスタ Tr_2 の導通の際に印加された低レベル電圧 V_{l1} よりもさらに低い電圧状態に変更される。

これによって、($i + 2$) 番目ゲート信号 g_{i+2} にゲートオン電圧 V_{on} が印加される間にトランジスタ Tr_5 、 Tr_6 が導通し、高電圧 $AVDD$ が出力端 OP を通じて維持信号 V_{s_i} として出力される。

【 0 0 9 6 】

再び 1 H の経過後、($i + 2$) 番目ゲート信号 g_{i+2} が遮断されれば、トランジスタ Tr_8 、 Tr_9 は遮断され、第 1 クロック信号 CK_1 は高レベル電圧 V_{h1} から低レベル電圧 V_{l1} に変し、第 2 クロック信号 CK_1B は低レベル電圧 V_{l1} から高レベル電圧 V_{h1} に変化する。

これによって、キャパシタ C_3 に連結されたトランジスタ Tr_7 の制御端子は、トランジスタ Tr_9 の導通の際に印加された低レベル電圧 V_{h1} よりもさらに低い電圧に変更され、キャパシタ C_4 に連結されたトランジスタ Tr_6 の制御端子は、トランジスタ Tr_8 の導通の際に印加された高レベル電圧 V_{h1} よりもさらに高い電圧に変更される。

【 0 0 9 7 】

したがって、キャパシタ C_4 の充電電圧によってトランジスタ Tr_6 が導通し、高電圧 $AVDD$ がトランジスタ Tr_6 を通じて出力端 OP に印加され、高レベル電圧 (V_+) の維持信号 V_{s_i} が出力される。

【0098】

再び1Hが経過すれば、第1クロック信号CK1は低レベル電圧V_{l1}から高レベル電圧V_{h1}に変化し、第2クロック信号CK1Bは高レベル電圧V_{h1}から低レベル電圧V_{l1}に変化する。したがって、第1クロック信号CK1に連結されたキャパシタC2の動作によってトランジスタTr5が導通し、高電圧AVDDが導通したトランジスタTr5を通じて出力端OPに印加されて高電圧レベル(V₊)の維持信号V_{s_i}が出力される。

【0099】

したがって、(i+1)番目ゲート信号g_{i+1}にゲートオフ電圧V_{off}が印加される時、第1クロック信号CK1が高レベル電圧V_{h1}を維持する1Hの間に、トランジスタTr5の制御端子に連結されたキャパシタC2の充電電圧によってトランジスタTr5が導通し、高電圧AVDDがトランジスタTr5を通じて出力端OPに印加される。第2クロック信号CK1Bが高レベル電圧V_{h1}を維持する1Hの間に、トランジスタTr6の制御端子に連結されたキャパシタC4の充電電圧によってトランジスタTr6が導通し、高電圧AVDDがトランジスタTr6を通じて出力端OPに印加される。

【0100】

このように、約1Hの単位で第2及び第4キャパシタC2、C4の充電動作によってトランジスタTr4及びトランジスタTr6が交互に導通し、次のフレームゲートオン電圧V_{on}が印加されるまで高電圧AVDDが出力端OPに印加され、高電圧レベル(V₊)の維持信号V_{s_i}が出力される。

【0101】

このように、ゲートオン電圧V_{on}の印加によってi番目ゲート線G_iに連結された画素行の充電動作が完了した後、つまり、(i+1)番目ゲート線G_{i+1}にゲートオン電圧V_{on}が印加されれば、維持信号V_{s_i}が低レベル電圧(V₋)から高レベル電圧(V₊)に変化し、画素電極電圧は数式1または数式2によって決められた変化量ほど増加する。したがって、本発明の一実施形態による液晶表示装置のように、該当画素電極に印加される画素電極電圧が目標画素電極電圧よりはるかに高い電圧が印加されるので、1フレーム内に該当画素電極が目標画素電極電圧に到達し、これによって従来技術よりも液晶の応答速度が向上する。

【0102】

また、トランジスタTr1~Tr3に印加されるゲート信号にゲートオン電圧V_{on}が印加された後、約1H単位でトランジスタTr5、Tr6が交互に導通して、維持信号V_{s_i}の電圧状態が次のフレームまで維持される。これによって、トランジスタTr5、Tr6の動作の信頼性が向上して安定した維持信号V_{s_i}の供給が行われる。

【0103】

つまり、いずれか一つのトランジスタTr5、Tr6のみを利用して次のフレームまで維持信号の電圧状態を維持する場合、次のフレームまで当該トランジスタTr5、Tr6の制御端子に導通電圧が印加されなければならない。この場合、トランジスタの長時間の導通動作によってトランジスタの動作特性が変形されて、しきい電圧の大きさが変更されるなどトランジスタ動作の信頼性が減少するが、1H単位でトランジスタTr5、Tr6が交互に導通するので、トランジスタTr5、Tr6の制御端子に加えられる負担(stress)を減少させ、これによって動作の信頼性が向上し、耐久性が増加する。

【0104】

このようなi番目信号生成回路の動作と同様に、図9に示すように(i+1)番目信号生成回路ST_{i+1}に(i+2)番目ゲート信号g_{i+2}が印加されればトランジスタTr1~Tr3が導通し、トランジスタTr1を通じてゲートオン電圧V_{on}が印加される間に低レベル電圧V_{l1}の第3クロック信号CK2が出力端OPに印加され、高レベル電圧(V₊)の維持信号V_{s_{i+1}}が出力される。

【0105】

(i+2)番目ゲート信号g_{i+2}にゲートオン電圧V_{on}が印加される約1Hの間に、第1制御信号CK1は高レベル電圧V_{h1}を維持し、第2クロック信号CK1Bは低レ

10

20

30

40

50

ベル電圧 V_{L1} を維持するので、トランジスタ T_{r5} は遮断され、トランジスタ T_{r4} は導通して、導通したトランジスタ T_{r1} 、 T_{r4} を通じて低レベル電圧 V_{L1} と低電圧 A_{VSS} が出力端 OP に印加されるので、低レベル電圧 (V_-) の維持信号 $V_{s_{i+1}}$ が出力される。

【0106】

約 $1H$ の経過後に、 $(i+3)$ 番目ゲート信号 g_{i+3} にゲートオン電圧 V_{on} が印加されれば、第1クロック信号 $CK1$ は低レベル電圧 V_{L1} を維持し、第2クロック信号 $CK1B$ は高レベル電圧 V_{h1} を維持するので、トランジスタ T_{r7} が導通し、キャパシタ $C1$ の充電電圧によってトランジスタ T_{r4} も導通する。これによって、 $(i+3)$ 番目ゲート信号 g_{i+3} にゲートオン電圧 V_{on} が印加される間に、トランジスタ T_{r4} 、 T_{r7} が導通して低電圧 A_{VSS} が出力端 OP に印加され、低電圧レベル (V_-) の維持信号 $V_{s_{i+1}}$ が出力される。

10

【0107】

再び約 $1H$ の経過後に、第1クロック信号 $CK1$ は高レベル電圧 V_{h1} を維持し、第2クロック信号 $CK1B$ は低レベル電圧 V_{L1} を維持するので、キャパシタ $C3$ の充電電圧によってトランジスタ T_{r7} が導通し、低電圧 A_{VSS} が出力端 OP に印加されて低電圧レベル (V_-) の維持信号 $V_{s_{i+1}}$ が出力される。

【0108】

このように、約 $1H$ の単位で第1または第3キャパシタ $C1$ 、 $C3$ の充電動作によってトランジスタ T_{r4} またはトランジスタ T_{r7} が導通し、次のフレームゲートオン電圧 V_{on} が印加されるまで低電圧 A_{VSS} が出力端 OP に印加され、低レベル電圧 (V_-) の維持信号 $V_{s_{i+1}}$ が出力される。つまり、第1クロック信号 $CK1$ が高レベル電圧 V_{h1} を維持する場合、キャパシタ $C3$ とトランジスタ T_{r7} の動作によって低電圧 A_{VSS} が出力端 OP に印加され、第2クロック信号 $CK1B$ が高レベル電圧 V_{h1} を維持する場合、キャパシタ $C1$ とトランジスタ T_{r4} の動作によって低電圧 A_{VSS} が出力端 OP に印加され、低レベル電圧 (V_-) の維持信号 $V_{s_{i+1}}$ が出力される。

20

【0109】

このように、ゲートオン電圧 V_{on} の印加によって $(i+1)$ 番目ゲート線 G_{i+1} に連結された画素行の充電動作が完了した後、つまり、 $(i+2)$ 番目ゲート線 G_{i+2} にゲートオン電圧 V_{on} が印加されれば、維持信号 $V_{s_{i+1}}$ が高レベル電圧 (V_+) から低レベル電圧 (V_-) に変化し、画素電極電圧は数式1または数式2によって決められた変化量ほど減少する。

30

【0110】

したがって、本発明の一実施形態による液晶表示装置のように、該当画素電極に印加される画素電極電圧が目標画素電極電圧よりはるかに高い電圧が印加されるので、1フレーム内に当該画素電極が目標画素電極電圧に到達し、これによって従来技術より液晶の応答速度が向上する。トランジスタ T_{r5} 、 T_{r6} の場合と同様に、トランジスタ $T_{r1} \sim T_{r3}$ に印加されるゲート信号にゲートオン電圧 V_{on} が印加された後、 $1H$ 単位でトランジスタ T_{r4} 、 T_{r7} が交互に導通し、維持信号 $V_{s_{i+1}}$ の電圧状態を次のフレームまで維持する。これによって、トランジスタ T_{r4} 、 T_{r7} の動作の信頼性が向上して安定した維持信号 $V_{s_{i+1}}$ の供給が行われ、トランジスタ T_{r4} 、 T_{r7} の耐久性も向上する。

40

このような各信号生成回路の動作によって、第1維持電極線 S_1 から最後の維持電極線 S_{2n} まで順次に維持信号 V_{s_1} 、 V_{s_2} 、 $\dots$ 、 $V_{s_{2n}}$ が印加される。

【0111】

この時、上述したように、トランジスタ T_{r1} は該当維持電極線に維持信号を初期に印加するためのトランジスタであり、その他のトランジスタ $T_{r2} \sim T_{r9}$ は該当維持電極線に印加される維持信号の電圧を次のフレームまで維持するためのトランジスタであるので、これらトランジスタ $T_{r2} \sim T_{r9}$ の大きさは、第1トランジスタ T_{r1} の大きさよりはるかに小さいことが好ましい。本実施形態による液晶表示装置は、一つのゲート駆動

50

部 4 0 1 と維持信号生成部 7 0 1 とを備えているが、これに限定されるわけではなく、図 1 に示す液晶表示装置にも適用できる。

【 0 1 1 2 】

次に、図 1 0 を参照して、本発明の他の実施形態による維持信号生成部の他の例について説明する。

図 1 0 に示すように、本発明の他の実施形態による他の例の維持信号生成部 7 0 1 a の信号生成回路は、キャパシタ C 1 1 ~ C 1 4 をさらに有していることを除けば、図 8 に示す維持信号生成部 7 0 1 の信号生成回路の構造と同一であるため、同じ機能を行う部分には図 8 の図面符号と同一の面符号を付けており、これらに対する詳細な説明は省略する。

【 0 1 1 3 】

キャパシタ C 1 1 はトランジスタ T r 4 と低電圧 A V S S との間に形成されており、キャパシタ C 1 2 はトランジスタ T r 5 と高電圧 A V D D との間に形成されており、キャパシタ C 1 3 はトランジスタ T r 7 と低電圧 A V S S との間に形成されており、キャパシタ C 1 4 はトランジスタ T r 6 と高電圧 A V D D との間に形成されている。

これらキャパシタ C 1 1 ~ C 1 4 は、連結されたトランジスタ T r 4 、 T r 5 、 T r 7 、 T r 6 の制御端子に印加される電圧を安定して維持させる役割を果たす。つまり、各連結されたトランジスタ T r 4 、 T r 5 、 T r 7 、 T r 6 の制御端子に導通電圧が印加される際に充電され、当該トランジスタ T r 4 、 T r 5 、 T r 7 、 T r 6 の制御端子に印加される導通電圧が遮断されても、各キャパシタ C 1 1 ~ C 1 4 に充電された電圧によってトランジスタ T r 4 、 T r 5 、 T r 7 、 T r 6 の制御端子の信号が一定に維持されるようにする。

【 0 1 1 4 】

次に、このような本発明の実施形態による液晶表示装置の薄膜トランジスタ表示板の詳細構造について、詳細に説明する。

先に、図 1 1 ~ 図 1 2 を参照して、本発明の実施形態による液晶表示装置の薄膜トランジスタ表示板の第 1 の例について説明する。

【 0 1 1 5 】

図 1 1 は本発明の実施形態による液晶表示装置の薄膜トランジスタ表示板に対する第 1 の例の配置図であり、図 1 2 (a) 及び (b) は各々図 1 1 の薄膜トランジスタ表示板の X I I A - X I I A 線及び X I I B - X I I B 線に沿った断面図である。

【 0 1 1 6 】

透明なガラスまたはプラスチックなどで作られた絶縁基板 1 1 0 上に、複数のゲート線 (g a t e l i n e) 1 2 1 及び複数の維持電極線 (s t o r a g e e l e c t r o d e l i n e) 1 3 1 が形成されている。

ゲート線 1 2 1 はゲート信号を伝達し、主に横方向に延在している。各ゲート線 1 2 1 は、上に突出した複数のゲート電極 (g a t e e l e c t r o d e) 1 2 4 と、他の層または外部駆動回路との接続のために面積の広い端部 1 2 9 とを含む。

【 0 1 1 7 】

ゲート信号を生成するゲート駆動回路 (図示せず) は、絶縁基板 1 1 0 上に付着される可撓性印刷回路フィルム (図示せず) 上に装着されたり、絶縁基板 1 1 0 上に直接装着されたり、絶縁基板 1 1 0 に直接集積できる。ゲート駆動回路が絶縁基板 1 1 0 上に集積されている場合、ゲート線 1 2 1 が延長されてこれと直接連結され得る。

それぞれの維持電極線 1 3 1 は、主に横方向に延在しており、幅が下に拡張された複数の拡張部 1 3 7 を含む。維持電極線 1 3 1 は、また、他の層または外部駆動回路との接続のために面積の広い端部を含むことができる。しかし、維持電極線 1 3 1 の形状及び配置は多様に変更できる。

【 0 1 1 8 】

各維持電極線 1 3 1 には、約 5 V の高レベル電圧 (V +) と約 0 V の低レベル電圧 (V -) のような所定の電圧が、フレーム単位で交互に印加される。

維持信号を生成する維持信号生成回路 (図示せず) は、絶縁基板 1 1 0 上に付着される

10

20

30

40

50

可撓性印刷回路フィルム（図示せず）上に装着されたり、絶縁基板 110 上に直接装着されたり、絶縁基板 110 に直接集積できる。維持電極線駆動回路が絶縁基板 110 上に集積されている場合、維持電極線 131 が延長されて維持電極線駆動回路と直接連結され得る。

【0119】

ゲート線 121 と維持電極線 131 は、アルミニウム（Al）やアルミニウム合金などアルミニウム系金属、銀（Ag）や銀合金など銀系金属、銅（Cu）や銅合金など銅系金属、モリブデン（Mo）やモリブデン合金などモリブデン系金属、クロム（Cr）、タンタル（Ta）及びチタニウム（Ti）などで作ることができる。しかし、これらは物理的性質が異なる二つの導電膜（図示せず）を含む多重膜構造を有することもできる。このうちの一つの導電膜は、信号遅延や電圧降下を減らすことができるように比抵抗（resistivity）が低い金属、例えば、アルミニウム系金属、銀系金属、銅系金属などで作られる。これとは異なって、他の導電膜は、他の物質、特にITO（indium tin oxide）及びIZO（indium zinc oxide）との物理的、化学的、電氣的接触特性に優れた物質、例えばモリブデン系金属、クロム、タンタル、チタニウムなどで作られる。このような組み合わせの良い例としては、クロム下部膜とアルミニウム（合金）上部膜、及びアルミニウム（合金）下部膜とモリブデン（合金）上部膜がある。しかし、ゲート線 121 及び維持電極線 131 はその他にも多様な金属または導電体で作ることができる。

【0120】

ゲート線 121 及び維持電極線 131 の側面は絶縁基板 110 面に対して傾斜しており、その傾斜角は約 30° ～ 約 80° であることが好ましい。

ゲート線 121 及び維持電極線 131 上には、窒化ケイ素（SiNx）または酸化ケイ素（SiOx）などで作られたゲート絶縁膜（gate insulating layer）140 が形成されている。

【0121】

ゲート絶縁膜 140 上には、水素化非晶質シリコン（hydrogenated amorphous silicon）（非晶質シリコンは、略して a-Si と記す）または多結晶シリコン（polysilicon）などで作られた複数の線状半導体 151 が形成されている。線状半導体 151 は、主に縦方向に延在しており、ゲート電極 124 に向かってのび出た複数の突出部（projection）154 を含む。線状半導体 151 は、ゲート線 121 及び維持電極線 131 の付近で幅が広くなり、これらを幅広く覆っている。

【0122】

線状半導体 151 上には、複数の線状及び島型オーミックコンタクト部材（ohmic contact）161、165 が形成されている。線状及び島型オーミックコンタクト部材 161、165 は、リンなどの n 型不純物が高濃度にドーピングされている n+ 水素化非晶質シリコンなどの物質、またはシリサイド（silicide）で作ることができる。線状オーミックコンタクト部材 161 は複数の突出部 163 を有しており、この突出部 163 と島型オーミックコンタクト部材 165 とは対をなして線状半導体 151 の突出部 154 上に配置されている。

【0123】

線状半導体 151 と線状及び島型オーミックコンタクト部材 161、165 の側面も絶縁基板 110 面に対して傾斜しており、その傾斜角は 30° ～ 80° 程度である。

線状及び島型オーミックコンタクト部材 161、165 及びゲート絶縁膜 140 上には、複数のデータ線（data line）171 と複数のドレイン電極（drain electrode）175 とが形成されている。

【0124】

データ線 171 はデータ信号を伝達し、主に縦方向に延在してゲート線 121 及び維持電極線 131 と交差する。各データ線 171 は、ゲート電極 124 に向かって延在した複

数のソース電極 (source electrode) 173 と、他の層または外部駆動回路との接続のために面積の広い端部 179 とを含む。データ信号を生成するデータ駆動回路 (図示せず) は、絶縁基板 110 上に付着される可撓性印刷回路フィルム (図示せず) 上に装着されたり、絶縁基板 110 上に直接装着したり、絶縁基板 110 に直接集積できる。データ駆動回路が絶縁基板 110 上に集積されている場合、データ線 171 が延長されてこれと直接連結され得る。

【0125】

ドレイン電極 175 は、データ線 171 と分離されていて、ゲート電極 124 を中心にソース電極 173 と対向する。各ドレイン電極 175 は、広い一端部と棒状の他端部とを含む。広い端部は維持電極線 131 の拡張部 137 と重畳し、棒状の端部は曲がったソース電極 173 によって一部取り囲まれている。

10

一つのゲート電極 124、一つのソース電極 173 及び一つのドレイン電極 175 は、線状半導体 151 の突出部 154 と共に一つの薄膜トランジスタ (thin film transistor、TFT) をなし、薄膜トランジスタのチャネルはソース電極 173 とドレイン電極 175 との間の突出部 154 に形成される。

【0126】

データ線 171 及びドレイン電極 175 は、モリブデン、クロム、タンタル及びチタニウムなど耐火性金属 (refractory metal) またはこれらの合金で作られることが好ましく、耐火性金属膜 (図示せず) と低抵抗導電膜 (図示せず) とを含む多重膜構造を有することができる。多重膜構造の例としては、クロムまたはモリブデン (合金) 下部膜とアルミニウム (合金) 上部膜の二重膜、モリブデン (合金) 下部膜とアルミニウム (合金) 中間膜とモリブデン (合金) 上部膜の三重膜がある。しかし、データ線 171 及びドレイン電極 175 は、その他にも多様な金属または導電体で作ることができる。

20

データ線 171 及びドレイン電極 175 も、その側面が絶縁基板 110 面に対して $30^{\circ} \sim 80^{\circ}$ 程度の傾斜角で傾斜していることが好ましい。

【0127】

線状及び島型オーミックコンタクト部材 161、165 は、その下の線状半導体 151 と、その上のデータ線 171 及びドレイン電極 175 との間にだけ存在し、これらの間の接触抵抗を低くする。大部分の所では線状半導体 151 がデータ線 171 より狭いが、上述したように、ゲート線 121 と合う部分で幅が広がって表面のプロファイルがスムーズにすることによって、データ線 171 が断線することを防止する。線状半導体 151 には、ソース電極 173 とドレイン電極 175 との間をはじめとして、データ線 171 及びドレイン電極 175 によって覆われずに露出した部分がある。

30

【0128】

データ線 171 及びドレイン電極 175 と露出した線状半導体 151 の部分上には保護膜 (passivation layer) 180 が形成されている。保護膜 180 は無機絶縁物または有機絶縁物などで作られ、表面が平坦であり得る。無機絶縁物の例としては、窒化ケイ素と酸化ケイ素がある。有機絶縁物は、感光性 (photosensitivity) を有することができ、その誘電率 (dielectric constant) は約 4.0 以下であることが好ましい。しかし、保護膜 180 は、有機膜の優れた絶縁特性を生かしながらも露出した線状半導体 151 の部分に損傷を与えないように、下部無機膜と上部有機膜の二重膜構造を有することもできる。

40

【0129】

保護膜 180 には、データ線 171 の端部 179 とドレイン電極 175 を各々露出する複数のコンタクトホール (contact hole) 182、185 が形成されており、保護膜 180 とゲート絶縁膜 140 にはゲート線 121 の端部 129 を露出する複数のコンタクトホール 181 が形成されている。

保護膜 180 上には、複数の画素電極 (pixel electrode) 191 及び複数のコンタクト補助部材 (contact assistant) 81、82 が形成されている。これらは、ITO または IZO などの透明な導電物質やアルミニウム、銀、ク

50

ロムまたはその合金などの反射性金属で作ることができる。

【0130】

画素電極191は、コンタクトホール185を通じてドレイン電極175と物理的・電氣的に接続されており、ドレイン電極175からデータ電圧の印加を受ける。データ電圧が印加された画素電極191は、共通電圧(common voltage)の印加を受ける他の表示板(図示せず)の共通電極(common electrode)(図示せず)と共に電場を生成することによって、二つの電極間の液晶層(図示せず)の液晶分子の方向を決定する。このように決定された液晶分子の方向によって、液晶層を通過する光の偏光が変化する。画素電極191と共通電極とはキャパシタ[以下、“液晶キャパシタ(liquid crystal capacitor)”と言う]を構成し、薄膜トラ

10

【0131】

画素電極191及びこれと電氣的に接続されたドレイン電極175が、維持電極線131と重畳してなるキャパシタをストレージキャパシタ(storage capacitor)と言い、ストレージキャパシタは液晶キャパシタの電圧維持能力を強化する。維持電極線131の拡張部137によって、重畳面積が増加してストレージキャパシタの静電容量が増加する。

【0132】

コンタクト補助部材81、82は、各々コンタクトホール181、182を通じてゲート線121の端部129及びデータ線171の端部179と連結される。コンタクト補助部材81、82は、ゲート線121の端部129及びデータ線171の端部179と外部装置との接着性を補完し、これらを保護する。

20

【0133】

次に、図13～図14を参照して、本発明の実施形態による薄膜トランジスタ表示板の第2の例について詳細に説明する。

図13は本発明の実施形態による液晶表示装置の薄膜トランジスタ表示板に対する第2の例の配置図であり、図14(a)及び(b)は、各々図13の薄膜トランジスタ表示板のXIV A - XIV A線及びXIV B - XIV B線に沿った断面図である。

本実施形態による薄膜トランジスタ表示板の第2の例に対する構造は、図11～図12に示すものとほとんど同一である。

30

【0134】

絶縁基板110上に、ゲート電極124及び端部129を有する複数のゲート線121及び複数の拡張部137を備えた複数の維持電極線131が形成されており、その上に、ゲート絶縁膜140、突出部154を含む複数の線状半導体151、突出部163を有する複数の線状オーミックコンタクト部材161及び複数の島型オーミックコンタクト部材165が順次に形成されている。線状及び島型オーミックコンタクト部材161、165上には、ソース電極173及び端部179を含む複数のデータ線171、複数のドレイン電極175が形成されており、その上に保護膜180が形成されている。保護膜180及びゲート絶縁膜140には複数のコンタクトホール181、182、185が形成されており、その上には複数の画素電極191、複数のコンタクト補助部材81、82が形成されている。

40

【0135】

しかし、本例による薄膜トランジスタ表示板は、図11～図12に示す薄膜トランジスタ表示板と異なって、線状半導体151が、薄膜トランジスタが位置する突出部154を除けば、データ線171、ドレイン電極175、及びその下部の線状及び島型オーミックコンタクト部材161、165と実質的に同一の平面形態を有している。つまり、線状半導体151は、データ線171及びドレイン電極175と、その下部の線状及び島型オーミックコンタクト部材161、165の下に露出していない部分と、ソース電極173とドレイン電極175との間にこれらによって覆われずに露出した部分を有している。

【0136】

50

尚、本発明は、上述の実施例に限られるものではない。本発明の技術的範囲から逸脱しない範囲内で多様に変更実施することが可能である。

【図面の簡単な説明】

【0137】

【図1】本発明の一実施形態による液晶表示装置のブロック図である。

【図2】本発明の一実施形態による液晶表示装置の一つの画素に対する等価回路図である。

【図3】本発明の一実施形態による信号生成回路の回路図である。

【図4】図3に示す信号生成回路を含む液晶表示装置に用いられる信号のタイミング図面である。

10

【図5】本発明の実施形態による維持電極駆動部の動作による画素電極電圧と液晶の応答速度の変化を示すグラフである。

【図6】従来の画素電極電圧と液晶の応答速度の変化を示すグラフである。

【図7】本発明の他の実施形態による液晶表示装置のブロック図である。

【図8】本発明の他の実施形態による維持電極駆動部の一例に対する回路図である。

【図9】図8の維持電極駆動部を駆動するための動作タイミング図である。

【図10】本発明の他の実施形態による維持電極駆動部の他の例に対する回路図である。

【図11】本発明の実施形態による液晶表示装置の薄膜トランジスタ表示板に対する第1の例の配置図である。

【図12】(a)は図11の薄膜トランジスタ表示板のX11A-X11A線に沿った断面図であり、(b)はX11B-X11B線に沿った断面図である。

20

【図13】本発明の実施形態による液晶表示装置の薄膜トランジスタ表示板に対する第2の例の配置図である。

【図14】(a)は図13の薄膜トランジスタ表示板のX14A-X14A線に沿った断面図であり、(b)はX14B-X14B線に沿った断面図である。

【符号の説明】

【0138】

3 液晶層

151 線状半導体

161、165 (線状及び島型)オーミックコンタクト部材

30

180 保護膜

181、182、185 コンタクトホール

191 画素電極

100、200 (下部及び上部)表示板

230 カラーフィルタ

270 共通電極

300、301 液晶表示板組立体

400、401 ゲート駆動部

400a、400b (第1及び第2)ゲート駆動回路

500 データ駆動部

40

600 信号制御部

700、701 維持信号生成部

700a、700b (第1及び第2)維持信号生成回路

800 階調電圧生成部

G₁~G_{2n}、G_d、D₁~D_m、S₁~S_{2n} 信号線

Tr1~Tr9 トランジスタ

C1~C4 第1~第4キャパシタ

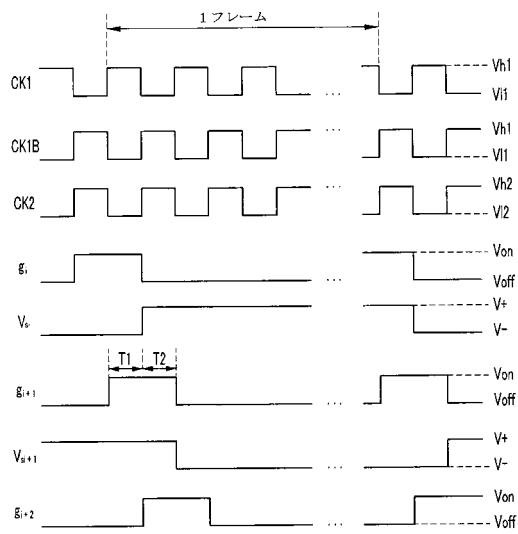
CK1、CK1B、CK2 第1~第3クロック信号

C1c 液晶キャパシタ

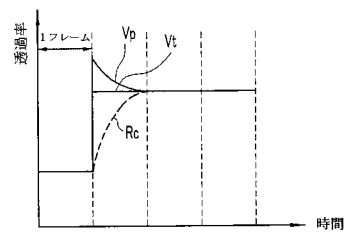
Cst ストレージキャパシタ

50

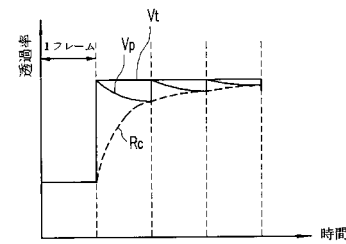
【図 4】



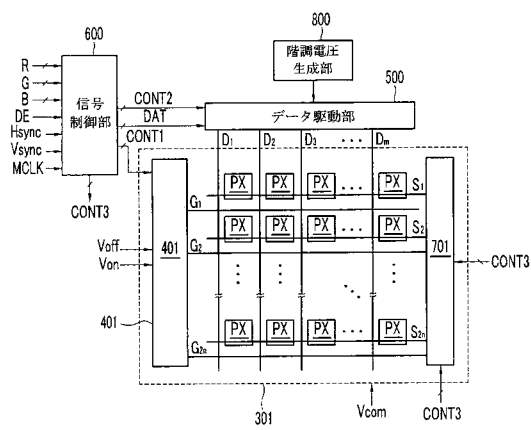
【図 5】



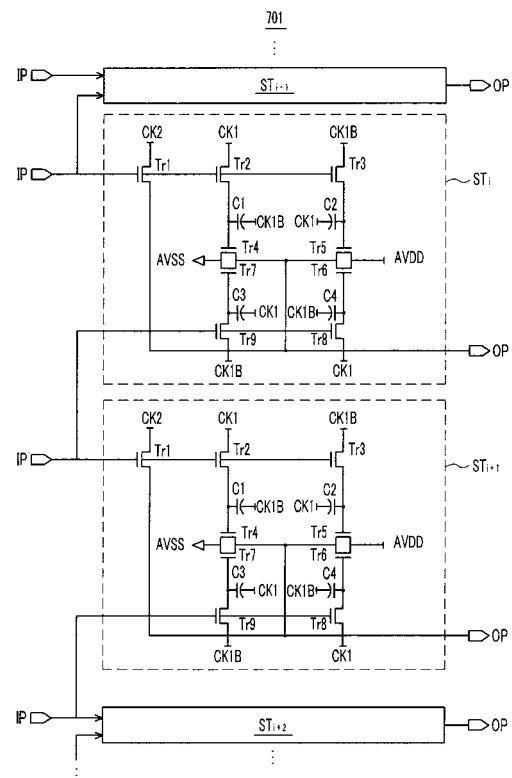
【図 6】



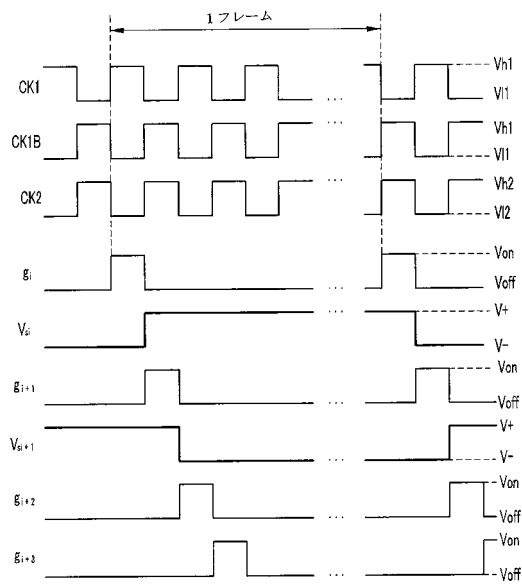
【図 7】



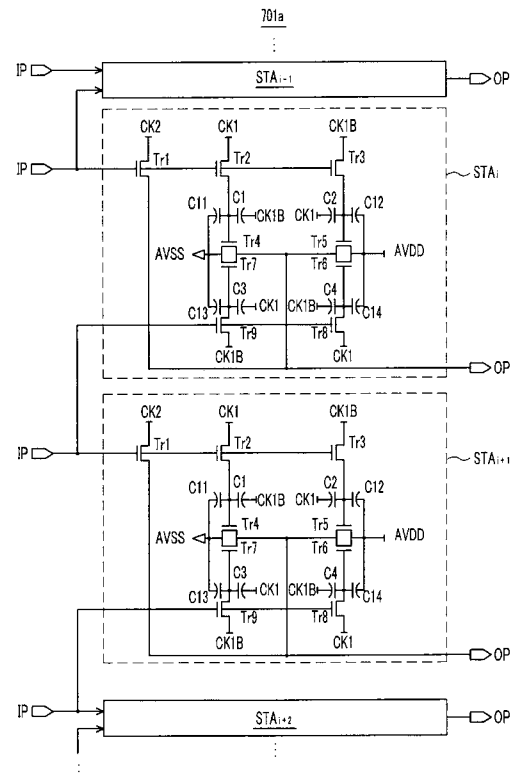
【図 8】



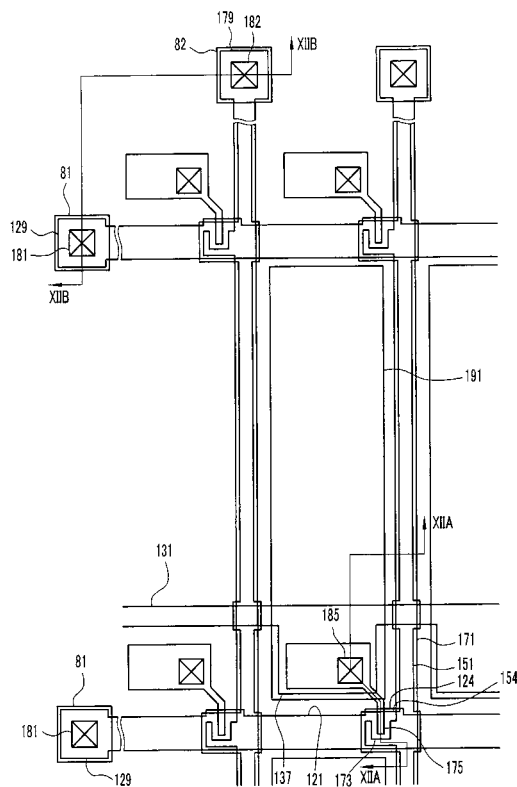
【図 9】



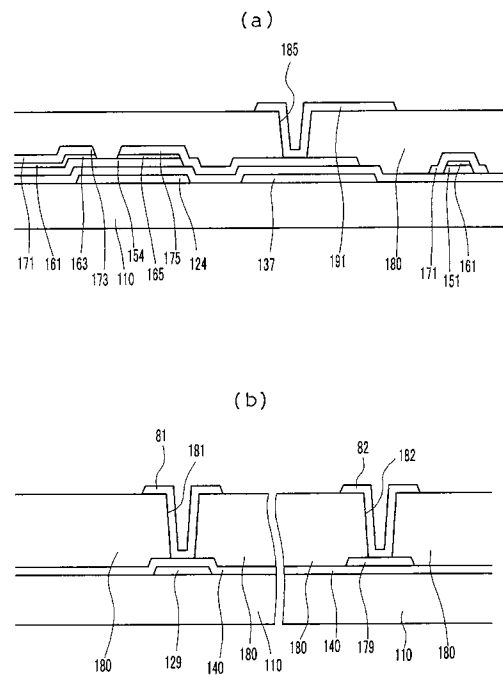
【図 10】



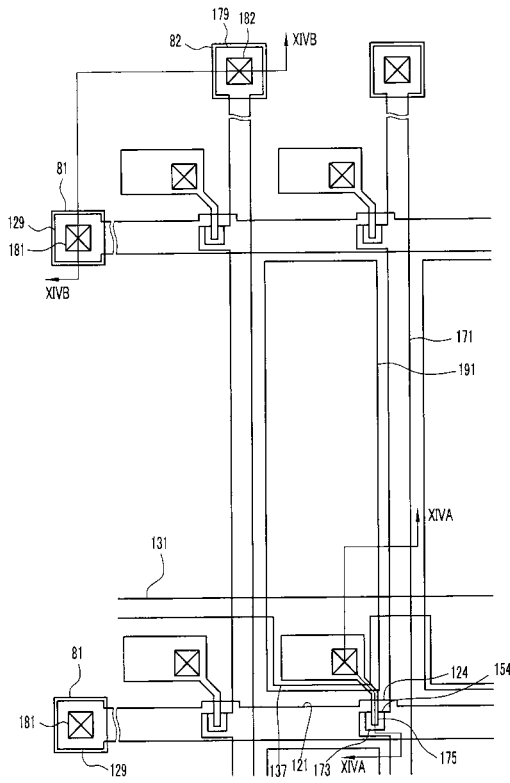
【図 11】



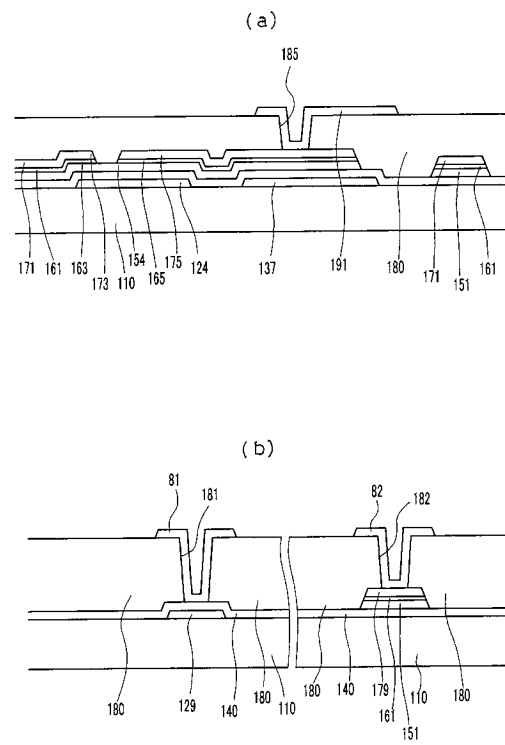
【図 12】



【図 13】



【図 14】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/20	6 1 2 L
G 0 9 G	3/20	6 2 2 C
G 0 9 G	3/20	6 2 4 M
G 0 9 G	3/20	6 2 4 C
G 0 9 G	3/20	6 2 1 B

(72)発明者 全 珍

大韓民国 京畿道 水原市 長安区 泉川洞 三星レミアンアパート 107棟 204号

審査官 佐野 潤一

(56)参考文献 特開2001-174784(JP,A)

特開2002-072989(JP,A)

特開2002-358051(JP,A)

特開2003-295157(JP,A)

特開2005-128101(JP,A)

特開2005-156764(JP,A)

(58)調査した分野(Int.Cl., DB名)

G 0 9 G 3 / 3 6

G 0 2 F 1 / 1 3 3

G 0 9 G 3 / 2 0

专利名称(译)	表示装置		
公开(公告)号	JP5470609B2	公开(公告)日	2014-04-16
申请号	JP2007039173	申请日	2007-02-20
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子株式会社		
当前申请(专利权)人(译)	三星显示器的股票会社		
[标]发明人	崔晋榮 全珍		
发明人	崔 晋 榮 全 珍		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
CPC分类号	G09G3/3655 G09G3/3614 G09G2300/0876 G09G2310/0281 G09G2310/08 G09G2320/0252 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.611.A G09G3/20.621.F G09G3/20.624.L G09G3/20.612.L G09G3/20.622.C G09G3/20.624.M G09G3/20.624.C G09G3/20.621.B		
F-TERM分类号	2H093/NA16 2H093/NC13 2H093/NC16 2H093/NC34 2H093/NC35 2H093/ND32 2H093/ND39 2H093/NH06 2H193/ZA04 5C006/AA11 5C006/AC22 5C006/AF42 5C006/BB16 5C006/BC02 5C006/BC03 5C006/BC06 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD01 5C080/DD26 5C080/EE29 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ05 5C080/JJ06 5C080/KK07		
审查员(译)	佐野纯一		
优先权	1020060016270 2006-02-20 KR		
其他公开文献	JP2007226233A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种可以降低功耗并提高液晶响应速度的显示设备。ŽSOLUTION：显示装置包括栅极线，数据线，维持电极线，开关元件，像素和信号发生电路。每个像素包括开关元件，液晶电容器和存储电容器。信号产生电路基于栅极信号产生维持信号。第（k）维持电极线的信号产生电路包括维持信号施加部分，该维持信号施加部分被施加第一控制信号并且用第（k+1）栅极信号改变操作状态以施加第一控制信号。电平作为第（k）维持电极线的维持信号，第一控制部分被施加第二和第三控制信号并且操作状态随第（k+1）行的变化而变化栅极信号，第二控制部分，其被施加第二和第三控制信号并且在操作状态中改变第（k+2）栅极信号，第一和第二维持部分被施加第二和第三控制信号，通过第二控制部分操作以及用第二和第三控制信号以预定周期交替地操作以维持施加到第（k）维持电极线的维持信号的状态达预定时间，使得施加的存储信号在完成向液晶电容器和存储电容器充电的数据电压之后，每个像素都具有改变的电压电平。这使得像素电极能够在单个帧中达到目标电压，降低了显示器的功耗，并且改善了其响应时间，可靠性和耐用性。Ž

$$V_0 = V_0 \pm \Delta = V_0 \pm \frac{C_{st}}{C_{st} + C_d} \{(V_+) - (V_-)\}$$