

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4404072号
(P4404072)

(45) 発行日 平成22年1月27日(2010.1.27)

(24) 登録日 平成21年11月13日(2009.11.13)

(51) Int.Cl.

F I

G O 2 F 1/1343 (2006.01)

G O 2 F 1/1343

G O 2 F 1/1335 (2006.01)

G O 2 F 1/1335 5 O 5

請求項の数 9 (全 17 頁)

(21) 出願番号 特願2006-170891 (P2006-170891)
 (22) 出願日 平成18年6月21日(2006.6.21)
 (65) 公開番号 特開2008-3185 (P2008-3185A)
 (43) 公開日 平成20年1月10日(2008.1.10)
 審査請求日 平成20年2月27日(2008.2.27)

(73) 特許権者 304053854
 エプソンイメージングデバイス株式会社
 長野県安曇野市豊科田沢6925
 (74) 代理人 100075258
 弁理士 吉田 研二
 (74) 代理人 100096976
 弁理士 石田 純
 (72) 発明者 小野木 智英
 東京都港区浜松町二丁目4番1号 三洋エ
 プソンイメージングデバイス株式会社内
 (72) 発明者 瀬川 泰生
 東京都港区浜松町二丁目4番1号 三洋エ
 プソンイメージングデバイス株式会社内
 審査官 奥田 雄介

最終頁に続く

(54) 【発明の名称】 液晶パネル

(57) 【特許請求の範囲】

【請求項 1】

隣接する第1の表示色を表示する第1画素と前記第1の表示色とは異なる第2の表示色
 を表示する第2画素との間に延在するドレイン配線と、

前記ドレイン配線に対して前記第1画素の側に設けられた前記第1画素用の第1トラン
 ジスタと、

前記第2画素用の第2トランジスタと、

前記第1画素用の第1画素電極と、

前記第2画素用の第2画素電極と、

を備え、

前記第2画素用の第2トランジスタは前記第1トランジスタとともに前記ドレイン配線
 に対して前記第1画素の側に設けられ、

前記第1画素電極は前記ドレイン配線に対して前記第1画素の側において前記第1トラ
 ンジスタに接続され、前記第2画素電極は前記ドレイン配線を跨いで前記第1画素の側に
 広がり、前記ドレイン配線に対して前記第1画素の側において前記第2トランジスタに接
 続されていることを特徴とする液晶パネル。

【請求項 2】

請求項1に記載の液晶パネルであって、

前記ドレイン配線と交差する方向に延在するゲート配線をさらに備え、

前記第1トランジスタおよび前記第2トランジスタのそれぞれのソースおよびドレイン

10

20

は前記ゲート配線に対し一方側に設けられていることを特徴とする液晶パネル。

【請求項 3】

請求項 1 に記載の液晶パネルであって、

前記ドレイン配線と交差する方向に延在するゲート配線をさらに備え、

前記第 1 トランジスタのソースおよびドレインは前記ゲート配線に対し一方側に設けられ、前記第 2 トランジスタのソースおよびドレインは前記ゲート配線に対し他方側に設けられていることを特徴とする液晶パネル。

【請求項 4】

請求項 2 に記載の液晶パネルであって、

前記ドレイン配線に対して前記第 1 画素の側に設けられた前記第 1 画素用の第 1 保持容量と、 10

前記第 1 保持容量とともに前記ドレイン配線に対して前記第 1 画素の側に設けられた前記第 2 画素用の第 2 保持容量と、

をさらに備え、

前記第 1 保持容量および前記第 2 保持容量は前記ゲート配線に対し一方側に設けられていることを特徴とする液晶パネル。

【請求項 5】

請求項 1 から請求項 3 のいずれかに記載の液晶パネルであって、

前記第 1 画素用の第 1 共通電極と、

前記第 2 画素用の第 2 共通電極と、 20

をさらに備え、

前記第 1 画素電極および前記第 1 共通電極は絶縁膜を介して第 1 保持容量を形成し、前記第 2 画素電極および前記第 2 共通電極は絶縁膜を介して第 2 保持容量を形成していることを特徴とする液晶パネル。

【請求項 6】

請求項 1 から請求項 5 のいずれかに記載の液晶パネルであって、

前記第 1 画素は前記第 2 画素よりも強度の強い波長を含む表示色を表示する画素であることを特徴とする液晶パネル。

【請求項 7】

請求項 1 から請求項 5 のいずれかに記載の液晶パネルであって、 30

前記第 1 画素はシアンまたは緑の表示色を表示する画素であることを特徴とする液晶パネル。

【請求項 8】

請求項 7 に記載の液晶パネルであって、

前記第 2 画素は赤または青の表示色を表示する画素であることを特徴とする液晶パネル。

【請求項 9】

請求項 1 に記載の液晶パネルであって、

前記第 1 トランジスタと前記第 1 画素電極との間および前記第 2 トランジスタと前記第 2 画素電極との間には平坦化膜が設けられ、 40

前記第 1 画素電極は前記ドレイン配線に対して前記第 1 画素の側に配置された前記平坦化膜のコンタクトホールを介して前記第 1 トランジスタに接続され、

前記第 2 画素電極は前記ドレイン配線に対して前記第 1 画素の側に配置された前記平坦化膜のコンタクトホールを介して前記第 2 トランジスタに接続されていることを特徴とする液晶パネル。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶パネルに係り、色度調整等のために画素の開口面積を調整する場合に適用可能な液晶パネルに関する。

【背景技術】

【0002】

図11～図13に、従来のTN(Twisted Nematic)モード液晶パネル130Tの表示領域の4画素分の平面視構造(レイアウト)を示す。なお、わかりやすくするために、図11には図12から画素電極152を取り除いた状態を図示し、図12には図13からブラックマトリクス(BM)162を取り除いた状態を図示している。

【0003】

液晶パネル130Tにおいて、画素Pは、ブラックマトリクス162の開口部に対応し、当該開口部の形状によって輪郭が形成されている。画素Pは隣接するドレイン配線146間に設けられている。液晶パネル130Tの各画素Pは同じ大きさである。隣接するドレイン配線146間の領域146Bそれぞれに、画素P用の画素TF T(Thin Film Transistor)170、保持容量172および画素電極152が配置されている。

10

【0004】

図14～図17に、従来のFFS(Fringe Field Switching)モード液晶パネル130Fの表示領域の4画素分の平面視構造(レイアウト)を示す。なお、わかりやすくするために、図14には図15から画素電極152を取り除いた状態を図示し、図15は図16から共通電極160を取り除いた状態を図示し、図16には図17からブラックマトリクス162を取り除いた状態を図示している。

【0005】

液晶パネル130Fでは、共通電極160がアレイ基板に設けられ画素電極152に重ねて配置されており、共通電極160と画素電極152との間に共通電極160のスリットを介して生じる電界によって液晶の配向状態が制御される。液晶パネル130Fにおいても、画素Pは、ブラックマトリクス162の開口部によって形成され、隣接するドレイン配線146間に設けられている。液晶パネル130Fの各画素Pは同じ大きさである。隣接するドレイン配線146間の領域146Bそれぞれに、画素P用の画素TF T170、画素電極152および共通電極160が配置されている。また、ブラックマトリクス162の開口部には、カラーフィルタが形成されている。

20

【0006】

例えば赤(R)、緑(G)、青(B)およびシアン(C)の4色によって色再現領域を拡大する広色域化技術が知られている。広色域化技術では色度を調整するために特定の色の画素の開口面積を低減する必要があることがあり、例えば対向基板のブラックマトリクスやTF T基板のメタル配線を利用して画素Pの一部を遮光して画素開口面積を減少させている。

30

【0007】

この従来の色度調整方法について、図18(a)に色度調整前の状態を示し、図18(b)に色度調整後の状態を示す。図18には各画素の開口率が色度調整前は全て60%であり、色度調整のために所定表示色の画素Qの画素開口面積を隣接する画素Pの半分にする場合を例示しており、この場合、ブラックマトリクス等を利用して画素Qの開口率は30%に設定される。

【0008】

40

【特許文献1】特開昭61-281202号公報

【特許文献2】特開2005-258094号公報

【特許文献3】特開2006-53402号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

ところで、色度調整等のために画素を遮光すると、液晶パネルの全体の輝度も低下する場合がある。図18の例では、色度調整後においてパネル開口率は45%に低下し、結果として液晶パネル全体の輝度が低下する。

【0010】

50

本発明の目的は、色度調整等のために画素の開口面積を低減する場合に液晶パネル全体の輝度低下を回避可能な液晶パネルを提供することである。

【課題を解決するための手段】

【0011】

本発明に係る液晶パネルは、隣接する第1の表示色を表示する第1画素と前記第1の表示色とは異なる第2の表示色を表示する第2画素との間に延在するドレイン配線と、前記ドレイン配線に対して前記第1画素の側に設けられた前記第1画素用の第1トランジスタと、前記第2画素用の第2トランジスタと、前記第1画素用の第1画素電極と、前記第2画素用の第2画素電極と、を備え、前記第2画素用の第2トランジスタは前記第1トランジスタとともに前記ドレイン配線に対して前記第1画素の側に設けられ、前記第1画素電極は前記ドレイン配線に対して前記第1画素の側において前記第1トランジスタに接続され、前記第2画素電極は前記ドレイン配線を跨いで前記第1画素の側に広がり、前記ドレイン配線に対して前記第1画素の側において前記第2トランジスタに接続されていることを特徴とする。ここで、請求項1に記載の液晶パネルであって、前記ドレイン配線と交差する方向に延在するゲート配線をさらに備え、前記第1トランジスタおよび前記第2トランジスタのそれぞれのソースおよびドレインは前記ゲート配線に対し一方側に設けられていることが好ましい。また、前記第1トランジスタのソースおよびドレインは前記ゲート配線に対し一方側に設けられ、前記第2トランジスタのソースおよびドレインは前記ゲート配線に対し他方側に設けられていることが好ましい。また、前記ドレイン配線に対して前記第1画素の側に設けられた前記第1画素用の第1保持容量と、前記第1保持容量とともに前記ドレイン配線に対して前記第1画素の側に設けられた前記第2画素用の第2保持容量と、をさらに備え、前記第1保持容量および前記第2保持容量は前記ゲート配線に対し一方側に設けられていることが好ましい。また、前記第1画素用の第1画素電極および第1共通電極と、前記第2画素用の第2画素電極および第2共通電極と、をさらに備え、前記第1画素電極および前記第1共通電極は絶縁膜を介して第1保持容量を形成し、前記第2画素電極および前記第2共通電極は絶縁膜を介して第2保持容量を形成していることが好ましい。また、前記第1画素電極および前記第2画素電極は前記ドレイン配線に対して前記第1画素の側においてそれぞれ前記第1トランジスタおよび前記第2トランジスタに接続されていることが好ましい。

【0012】

また、前記第1画素は前記第2画素よりも強度の強い波長を含む表示色を表示する画素であることが好ましい。

【0013】

また、前記第1画素はシアンまたは緑の表示色を表示する画素であることが好ましい。また、前記第2画素は赤または青の表示色を表示する画素であることが好ましい。また、前記第1トランジスタと前記第1画素電極との間および前記第2トランジスタと前記第2画素電極との間には平坦化膜が設けられ、前記第1画素電極は前記ドレイン配線に対して前記第1画素の側に配置された前記平坦化膜のコンタクトホールを介して前記第1トランジスタに接続され、前記第2画素電極は前記ドレイン配線に対して前記第1画素の側に配置された前記平坦化膜のコンタクトホールを介して前記第2トランジスタに接続されていることが好ましい。

【発明の効果】

【0014】

上記構成により、色度調整等のために画素の開口面積を低減する場合に液晶パネル全体の輝度低下を回避可能な液晶パネルを提供することができる。

【発明を実施するための最良の形態】

【0015】

以下に図面を用いて本発明に係る実施の形態について詳細に説明する。

【0016】

図 1 に本発明に係る液晶パネルの画素を説明する模式図を示す。図 1 (b) が本発明に係る液晶パネルの模式図であり、色度調整等のために画素 P 1 , P 2 の画素開口面積を異ならせている。なお、図 1 (a) は色度調整をしていない比較用の液晶パネルの模式図であり、全ての画素 P の開口面積が等しい。

【 0 0 1 7 】

ここで、画素は、一般的に、液晶パネルの表示面の平面視において明るさを調整可能な最小単位の領域として視認される。各画素は例えばカラーフィルタ (C F) によって着色領域が設定され、それぞれ所定の表示色、例えば赤 (R) 、緑 (G) 、青 (B) およびシアン (C) のいずれかの表示色を表示する。なお、近接した各色の上記画素の集合体によってカラー表示のための 1 単位が構成され当該集合体が画素 (ピクセル) と呼ばれる場合もあるが、この場合には明るさが変化する最小単位としての上記画素はサブピクセルと呼ばれることもある。

10

【 0 0 1 8 】

具体的な構造は後述するが、各画素の開口部は、ブラックマトリクス等によって輪郭、大きさ等が規定可能である。後述のアレイ基板に設けられた複数のドレイン配線の中心線間の領域 (配線間領域と呼ぶことにする) 内に複数の画素がドレイン配線の延在方向に並んでいる。配線間領域内に並んだ複数の画素はブラックマトリクス等によって区切られている。すなわち、各配線間領域はドレイン配線の延在方向において複数の領域に区画され、その各区画に画素が設けられている。ここでは、当該区画を画素配置領域と呼ぶことにする。画素配置領域は液晶パネルの表示領域において、例えばマトリクス状に規定され、この場合、マトリクス状に画素が配置される。

20

【 0 0 1 9 】

この画素配置領域のうちでブラックマトリクスの配置部分と画素内に存在する遮光性の要素、例えば T F T 、保持容量、配線等の配置部分とを除いた部分が画素の開口部になり、その面積が画素開口面積になる。

【 0 0 2 0 】

図 1 (a) に示すように比較用の液晶パネルでは各画素 P は同じ構成をしており、画素 P の開口部の画素配置領域に対する面積比、すなわち画素開口率が 6 0 % の場合を例示している。このとき、液晶パネル全体での開口率 (パネル開口率) もほぼ 6 0 % になる。

【 0 0 2 1 】

30

これに対して、図 1 (b) に示すように、本発明に係る液晶パネルにおける画素 P 2 は、上記画素 P 内に存在していた遮光性要素の一部を隣接する画素 P 1 に移動させた構成を有している。これにより、画素 P 2 は画素 P よりも画素開口面積、換言すれば画素開口率を増加させることができる。他方、画素 P 1 は、色度調整等のために画素 P 2 よりも画素開口面積、換言すれば画素開口率が低く設定される所定表示色の画素に設定され、画素開口面積の低減に、追加された上記遮光性要素の一部を利用している。

【 0 0 2 2 】

ここで、上記で設定された画素 P 1 は画素 P 2 よりも強度の強い波長を含む表示色を表示する画素であり、例えば赤 (R) 、緑 (G) 、青 (B) およびシアン (C) の 4 色によりカラー表示を行う液晶パネルの場合、画素 P 1 の表示色は緑またはシアンであり、画素 P 2 の表示色は青または赤である。これにより色度が調整される。

40

【 0 0 2 3 】

例えば色度調整のために画素 P 1 の画素開口面積を画素 P 2 の画素開口面積の半分にする場合、画素 P 内に存在する遮光性要素の 2 0 % を画素 P 1 に設けることによって、画素 P 2 および画素 P 1 の画素開口率を 8 0 % および 4 0 % に設定することができる。この例によれば、従来の色度調整方法 (図 1 8 (b) 参照) と比較して、画素 P 2 の開口面積が増加し、かつ、画素 P 2 の開口面積の増加に伴って画素 P 1 の開口面積の低減量が小さくて済むことが分かる。

【 0 0 2 4 】

また、上記の例によればパネル開口率は 6 0 % であり、色度調整をしない液晶パネル (

50

図 1 (a) 参照) と同じである。つまり、本発明に係る液晶パネルによれば、液晶パネル全体での輝度を低下させることなく、色度調整をすることができる。あるいは、従来の色度調整方法と比較して、液晶パネル全体での輝度を向上させることも可能である。

【 0 0 2 5 】

図 2 に本発明に係る液晶パネルの一例である T N モード液晶パネル 3 0 T についてアレイ基板 3 2 T を説明する断面図を示し、図 3 ~ 図 5 に液晶パネル 3 0 T の表示領域の 4 画素分を説明する平面図 (レイアウト図) を示す。なお、図 2 は図 3 中の 2 - 2 線における断面図にあたる。

【 0 0 2 6 】

液晶パネル 3 0 T は、対向配置されたアレイ基板 3 2 T と不図示の対向基板と間に不図示の液晶が封入された構成を有している。液晶パネル 3 0 T では、アレイ基板 3 2 T の画素電極 5 2 と対向基板の不図示の共通電極との間の電界によって液晶の配向状態が制御されて、画素の明るさが調整される。液晶パネル 3 0 T は、T N モードだけでなく、V A (Vertical Alignment) モードや E C B (Electrically Controlled Birefringence) モード等にも適用可能である。

【 0 0 2 7 】

まず、図 2 を参照しつつ、アレイ基板 3 2 T の断面構造を説明する。

【 0 0 2 8 】

アレイ基板 3 2 T は、透光性基板 3 4 と、半導体層 3 6 と、ゲート絶縁膜 3 8 と、ゲート配線 4 0 と、保持容量配線 4 2 と、層間絶縁膜 4 4 と、ドレイン配線 4 6 と、ソース電極 4 8 と、平坦化膜 5 0 と、画素電極 5 2 とを含んで構成されている。

【 0 0 2 9 】

透光性基板 3 4 は例えばガラスによって構成される。半導体層 3 6 は例えばポリシリコンによって構成され、透光性基板 3 4 上に配置されている。ゲート絶縁膜 3 8 は、例えば酸化シリコン、窒化シリコン等で構成され、半導体層 3 6 を覆って基板 3 4 上に配置されている。ゲート配線 4 0 は、例えば M o 、 A l 等の金属で構成され、半導体層 3 6 に対向してゲート絶縁膜 3 8 上に配置され、ゲート絶縁膜 3 8 および半導体層 3 6 とともに画素 T F T 7 0 を構成している。なお、ゲート配線は走査線とも呼ばれる。保持容量配線 4 2 は、例えばゲート配線 4 0 と同じ材料で構成され、半導体層 3 6 に対向してゲート絶縁膜 3 8 上に配置され、ゲート絶縁膜 3 8 および半導体層 3 6 とともに保持容量 7 2 を構成している。

【 0 0 3 0 】

層間絶縁膜 4 4 は、例えば酸化シリコン、窒化シリコン等で構成され、ゲート配線 4 0 および保持容量配線 4 2 を覆ってゲート絶縁膜 3 8 上に配置されている。層間絶縁膜 4 4 およびゲート絶縁膜 3 8 を貫いてコンタクトホールが設けられており、当該コンタクトホールは半導体層 3 6 のうちで画素 T F T 7 0 のソースおよびドレインにあたる位置に設けられている。ドレイン配線 4 6 は、例えば M o 、 A l 、 T i 等の金属で構成され、層間絶縁膜 4 4 上に配置されているとともに一方の上記コンタクトホールを介して半導体層 3 6 に接続している。なお、ドレイン配線は信号線とも呼ばれる。ソース電極 4 8 は、例えばドレイン配線 4 6 と同じ材料で構成され、層間絶縁膜 4 4 上に配置されているとともに他方の上記コンタクトホールを介して半導体層 3 6 に接続している。

【 0 0 3 1 】

ここでは、半導体層 3 6 において、ドレイン配線 4 6 が接続する部分を画素 T F T 7 0 のドレインとし、ソース電極 4 8 を介して画素電極 5 2 が接続する部分を画素 T F T 7 0 のソースとするが、ドレインとソースとを上記とは逆に呼ぶことも可能である。また、保持容量 7 2 が画素 T F T 7 0 のソースと接続されるように、半導体層 3 6 のソース側において保持容量配線 4 2 が半導体層 3 6 に対向している。

【 0 0 3 2 】

平坦化膜 5 0 は、例えばアクリル等の絶縁性透明樹脂等で構成され、ドレイン配線 4 6 およびソース電極 4 8 を覆って層間絶縁膜 4 4 上に配置されている。平坦化膜 5 0 を貫い

10

20

30

40

50

てソース電極 4 8 上にコンタクトホールが設けられている。画素電極 5 2 は、例えば I T O (Indium Tin Oxide) 等の透明導電材料で構成され、平坦化膜 5 0 上に配置されているとともに上記コンタクトホールを介してソース電極 4 8 に接触している。

【 0 0 3 3 】

上記構成により、液晶パネル 3 0 T では、ドレイン配線 4 6 と画素電極 5 2 および保持容量 7 2 とが画素 T F T 7 0 およびソース電極 4 8 を介して電氣的に（回路的に）接続されている。したがって、ドレイン配線 4 6 に印加された電位が画素 T F T 7 0 およびソース電極 4 8 を介して画素電極 5 2 および保持容量 7 2 に印加される。

【 0 0 3 4 】

次に、図 3 ~ 図 5 を参照しつつ、液晶パネル 3 0 T の表示領域の 4 画素分の平面視構造（レイアウト）を説明する。なお、わかりやすくするために、図 3 には図 4 から画素電極 5 2 を取り除いた状態を図示し、図 4 には図 5 からブラックマトリクス 6 2 を取り除いた状態を図示し、図 3 ~ 図 5 では基板 3 4 等を省略し、図 4 では画素電極 5 2 を太い一点鎖線で図示している。

【 0 0 3 5 】

液晶パネル 3 0 T において、複数のドレイン配線 4 6 は、それぞれが直線状に延在し（図示の例では縦方向に延在）、延在方向に交差する方向（ここでは直交する方向であり、図示の例では横方向）に配列され互いに並行に配列されている。ここでは、各ドレイン配線 4 6 の配列ピッチは複数のドレイン配線 4 6 全体において同じ場合を例示する。また、各ドレイン配線 4 6 の幅（当該配線 4 8 の配列方向における寸法）も同じとする。また、図面ではドレイン配線 4 6 が直線状の場合を図示しているが、例えば局所的に蛇行部を有し全体として上記延在方向に延在していてもよい。また、画素配列としては、ストライプ配列、デルタ配列、モザイク配列等を形成してもよい。

【 0 0 3 6 】

複数のドレイン配線 4 6 によりドレイン配線 4 6 の配列方向に複数の画素配置領域 4 6 B が規定される。これら複数の画素配置領域 4 6 B に対して 1 つおきに画素 T F T 7 0 が 2 個配置されている。すなわち、画素 T F T 7 0 が配置された画素配置領域 4 6 B と画素 T F T 7 0 が配置されていない画素配置領域 4 6 B とがドレイン配線 4 6 の配列方向に交互に並んでおり、画素 T F T 7 0 が配置された画素配置領域 4 6 B 内には画素 T F T 7 0 が 2 個配置されている。なお、ドレイン配線 4 6 の延在方向に並んだ画素配置領域 4 6 B の全てが、画素 T F T 7 0 が配置されていない画素配置領域 4 6 B である必要はなく、例えば画素 T F T 7 0 が配置された画素配置領域 4 6 B と画素 T F T 7 0 が配置されていない画素配置領域 4 6 B とがドレイン配線 4 6 の延在方向に交互に並んでいてもよい。

【 0 0 3 7 】

図示の例では、各画素 T F T 7 0 について、半導体層 3 6 は略 U 字型に延在しており（図面では当該略 U 字型が上下反転している）、当該略 U 字型の 2 本の腕部を横切ってゲート配線 4 0 がドレイン配線 4 6 の配列方向に延在している。この構成では画素 T F T 7 0 のソースおよびドレインはゲート配線 4 0 に対して同じ側に位置している。これにより、画素 T F T 7 0 では、ゲート配線 4 0 がソースとドレインとの間で半導体層 3 6 に 2 回交差する構成、換言すれば半導体層 3 6 のソースとドレインとの間にゲート電極が 2 個設けられた構成を有している。なお、ゲート配線 4 0 は上記 2 個の画素 T F T 7 0 に共通に設けられている。

【 0 0 3 8 】

なお、図面では、上記 2 個の画素 T F T 7 0 について、一方の（図中では左側の）画素 T F T 7 0 の半導体層 3 6 はその一部をドレイン配線 4 6 に重ねて配置され、他方の（図中では右側の）画素 T F T 7 0 の半導体層 3 6 はドレイン配線 4 6 に重ねずに配置された場合を例示しているが、両方の半導体層 3 6 をドレイン配線 4 6 に重ねてまたは重ねずに配置してもよい。

【 0 0 3 9 】

上記 2 個の画素 T F T 7 0 は、画素配置領域 4 6 B においてドレイン配線 4 6 の配列方

10

20

30

40

50

向に並んでいる。上記２個の画素ＴＦＴ７０それぞれについて、ソースは画素配置領域４６Ｂの中央寄りに設けられ、ドレインはドレイン配線４６の側に設けられている。ドレインは直近のドレイン配線４６に接続され、ソースはソース電極４８を介して画素電極５２に接続されているとともに保持容量７２に接続されている。各画素ＴＦＴ７０のそれぞれに接続された画素電極５２および保持容量７２は互いに接触していない。

【００４０】

一方の（図中では左側の）画素ＴＦＴ７０に接続された画素電極５２はその全体が上記２個の画素ＴＦＴ７０が配置された画素配置領域４６Ｂ内に設けられている。なお、図面では、当該画素電極５２のエッジがドレイン配線４６に重なっていない場合を例示しているが、ドレイン配線４６に重なる大きさにしてもよい。

10

【００４１】

他方の（図中では右側の）画素ＴＦＴ７０に接続された画素電極５２は、上記２個の画素ＴＦＴ７０が配置された画素配置領域４６Ｂにおいて当該他方の画素ＴＦＴ７０に接続され、当該画素ＴＦＴ７０が接続されたドレイン配線４６を跨いで、隣接する上記画素ＴＦＴ７０が配置されていない画素配置領域４６Ｂへ至り、当該隣接する画素配置領域４６Ｂ内に広がっている。すなわち、当該画素電極５２は略Ｌ字型をしている（図では、上下反転したＬ字型）。また、Ｌ字型の画素電極５２において、画素ＴＦＴ７０が配置されていない画素配置領域４６Ｂ内の部分は、２個の画素ＴＦＴ７０が配置された画素配置領域４６Ｂ内に配置された上記画素電極５２よりも、ドレイン配線４６の延在方向に長く、このため広い。なお、図面では、略Ｌ字型の画素電極５２のエッジが、ドレイン配線４６を跨ぐ部分を除いて、ドレイン配線４６に重なっていない場合を例示しているが、ドレイン配線４６に重なる大きさにしてもよい。

20

【００４２】

２個の画素ＴＦＴ７０が配置された画素配置領域４６Ｂには、２個の保持容量７２がドレイン配線４６の配列方向に並んで配置されている。保持容量７２は画素ＴＦＴ７０とドレイン配線４６の延在方向に並んで配置されている。

【００４３】

ブラックマトリクス６２は、例えばクロムと酸化クロムとの積層膜で構成され、対向基板に設けられている。ブラックマトリクス６２は、隣接する画素電極５２間に設けられ、各画素配置領域４６Ｂに対応して、開口部６２Ｐ１または開口部６２Ｐ２を有して設けられている。この場合、ブラックマトリクス６２は各ドレイン配線４６に重ねてかつ沿って設けられている。一方の開口部６２Ｐ１は、上記２個の画素ＴＦＴ７０が配置された画素配置領域４６Ｂに画素電極５２に対応して設けられ、画素Ｐ１の輪郭を規定している。他方の開口部６２Ｐ２は、画素ＴＦＴ７０が配置されていない画素配置領域４６Ｂに画素電極５２に対応して設けられ、画素Ｐ２の輪郭を規定している。液晶パネル３０Ｔでは、ブラックマトリクス６２は、上記２個の画素ＴＦＴ７０および略Ｌ字型の画素電極５２のうちで上記２個の画素ＴＦＴ７０が配置された画素配置領域４６Ｂ内の部分にも設けられており、このため、開口部Ｐ２の方が、すなわち画素Ｐ２の方が大きい。

30

【００４４】

ドレイン配線４６、ゲート配線４０、保持容量配線４２、およびソース電極４８は、ブラックマトリクスと同等に遮光性があり、ブラックマトリクスとともに画素の開口部を規定することもできる。

40

【００４５】

液晶パネル３０Ｔについて画素ＴＦＴ７０および保持容量７２を総称して画素素子部と呼ぶとき、画素Ｐ２用の画素素子部は、画素Ｐ１用の画素素子部とともに、画素Ｐ１が配置された画素配置領域４６Ｂに設けられている。すなわち、画素Ｐ２用の画素素子部はドレイン配線４６に対して（当該配線４６を基準にして）画素Ｐ１の側に配置され、画素Ｐ２の側には配置されていない。このため、画素Ｐ２用の画素素子部が画素Ｐ２を遮光することがない。画素Ｐ２（すなわち開口部６２Ｐ２）を遮光するのは図示の例では当該画素Ｐ２に重なっているゲート配線４０および保持容量配線４２だけであり、画素Ｐ２の開口

50

面積は、画素 P 1 よりも広く、また、従来の液晶パネル 1 3 0 T と比較して増加する。

【 0 0 4 6 】

色度調整等のために画素 P 1 の開口面積を所定比率で画素 P 2 の開口面積よりも低減する場合、液晶パネル 3 0 T によれば上記のように画素 P 2 の開口面積が増加するので、従来の色度調整方法（図 1 8 (b) 参照）と比較して、画素 P 1 の開口面積の低減量が少なく済む。したがって、液晶パネル全体での輝度を低下させることなく、色度調整等を行うことができる。あるいは、従来の色度調整方法と比較して、液晶パネル全体での輝度を向上させることが可能になる。

【 0 0 4 7 】

図 6 に本発明に係る液晶パネルの他の一例である F F S モード液晶パネル 3 0 F についてアレイ基板 3 2 F を説明する断面図を示し、図 7 ~ 図 1 0 に液晶パネル 3 0 F の表示領域の 4 画素分を説明する平面図（レイアウト図）を示す。なお、図 6 は図 7 中の 6 - 6 線における断面図にあたる。

10

【 0 0 4 8 】

液晶パネル 3 0 F は、対向配置されたアレイ基板 3 2 F と不図示の対向基板と間に不図示の液晶が封入された構成を有している。液晶パネル 3 0 F では、アレイ基板 3 2 F の画素電極 5 2 と共通電極 6 0 との間の電界によって液晶の配向状態が制御されて、画素の明るさが調整される。

【 0 0 4 9 】

まず、図 6 を参照しつつ、アレイ基板 3 2 F の断面構造を説明する。

20

【 0 0 5 0 】

アレイ基板 3 2 F は、上記アレイ基板 3 2 T（図 2 参照）から保持容量配線 4 2 すなわち保持容量 7 2 を取り除き、上記アレイ基板 3 2 T に対して共通電極配線 5 4 と、共通電極用中継電極 5 6 と、F F S 絶縁膜 5 8 と、共通電極 6 0 とを追加した構成を有している。

【 0 0 5 1 】

共通電極配線 5 4 は、例えばゲート配線 4 0 と同じ材料で構成され、ゲート絶縁膜 3 8 上に配置され層間絶縁膜 4 4 に覆われている。層間絶縁膜 4 4 には共通電極配線 5 4 へ至るコンタクトホールが設けられている。共通電極用中継電極 5 6 は、例えばドレイン配線 4 6 と同じ材料で構成され、層間絶縁膜 4 4 上に配置されているとともに上記コンタクトホールを介して共通電極配線 5 4 に接触している。

30

【 0 0 5 2 】

F F S 絶縁膜 5 8 は、例えば窒素シリコンで構成され、画素電極 5 2 を覆って平坦化膜 5 0 上に配置されている。平坦化膜 5 0 には共通電極用中継電極 5 6 へ至るコンタクトホールが設けられており、当該コンタクトホールの側壁上にも F F S 絶縁膜 5 8 が設けられている。共通電極 6 0 は、例えば I T O 等の透明導電材料で構成され、F F S 絶縁膜 5 8 上に配置されているとともに上記コンタクトホールを介して共通電極用中継電極 5 6 に接触している。共通電極 6 0 は、F F S 絶縁膜 5 8 を介して画素電極 5 2 に対向して設けられ、画素電極 5 2 に対向する部分に複数のスリットを有している。当該スリットを介した画素電極 5 2 と共通電極 6 0 との間の電界によって液晶の配向状態が制御される。

40

【 0 0 5 3 】

次に、図 7 ~ 図 1 0 を参照しつつ、液晶パネル 3 0 F の表示領域の 4 画素分の平面視構造（レイアウト）を説明する。なお、わかりやすくするために、図 7 には図 8 から画素電極 5 2 を取り除いた状態を図示し、図 8 には図 9 から共通電極 6 0 を取り除いた状態を図示し、図 9 には図 1 0 からブラックマトリクス 6 2 を取り除いた状態を図示し、図 7 ~ 図 1 0 では基板 3 4 等を省略し、図 8 等では画素電極 5 2 を太い一点鎖線で図示し、図 9 等では共通電極 6 0 を太い実線で図示している。

【 0 0 5 4 】

液晶パネル 3 0 F では、上記液晶パネル 3 0 T と同様に、2 個の画素 T F T 7 0 が配置された画素配置領域 4 6 B と画素 T F T 7 0 が配置されていない画素配置領域 4 6 B とが

50

交互に並んでおり、一方の（図中では左側の）画素 T F T 7 0 に接続された画素電極 5 2 はその全体が上記 2 個の画素 T F T 7 0 が配置された画素配置領域 4 6 B 内に設けられ、他方の（図中では右側の）画素 T F T 7 0 に接続された画素電極 5 2 は、当該画素 T F T 7 0 が接続されたドレイン配線 4 6 を跨いで、隣接する両画素配置領域 4 6 B に渡って設けられている。共通電極 6 0 は、各画素配置領域 4 6 B に画素電極 5 2 に重ねて設けられている。図示では共通電極 6 0 を各画素配置領域 4 6 B に設けた場合を例示しているが、隣接する複数の画素 P 1 , P 2 、さらには全ての画素 P 1 , P 2 に共通に共通電極を設けてもよく、この場合には各画素 P 1 , P 2 に共通電極配線 5 4 および共通電極用中継電極 5 6 を設けなくてもよい。ブラックマトリクス 6 2 は、上記液晶パネル 3 0 T の場合と同様に設けられているが、図示では画素配置領域 4 6 B 内に設けられた 2 個の画素 T F T 7 0 には重なっておらず 2 つの開口部 6 2 P 1 , 6 2 P 1 が同じ形状および大きさの場合を例示している。

10

【 0 0 5 5 】

液晶パネル 3 0 F について画素 T F T 7 0 を画素素子部と呼ぶとき、画素 P 2 用の画素素子部は、画素 P 1 用の画素素子部とともに、画素 P 1 が配置された画素配置領域 4 6 B に設けられている。このため、上記液晶パネル 3 0 T と同様に、液晶パネル全体での輝度を低下させることなく、色度調整等を行うことができる。あるいは、従来の色度調整方法と比較して、液晶パネル全体での輝度を向上させることが可能になる。

【 0 0 5 6 】

なお、上記では画素素子部が画素 T F T 7 0 を含んで構成される場合および保持容量 7 2 をさらに含んで構成される場合を例示したが、画素に対して他の素子が設けられる場合には当該他の素子も、隣接する画素配置領域 4 6 B へ移動させる画素素子部に含めることもできる。

20

【 0 0 5 7 】

また、上記では画素 T F T 7 0 が半導体層 3 6 のソースとドレインとの間にゲート電極を 2 個設けた場合に相当する構造を例示したが、画素 T F T 7 0 として一般的な T F T 、すなわちゲート配線 4 2 がソースとドレインとの間で半導体層 3 6 に 1 回交差する構成の T F T を用いることもできる。また、画素 T F T 7 0 に代えて、他のスイッチング素子、例えば M I M (Metal Insulator Metal) 素子を用いてもよい。なお、上記スイッチング素子として T F T を用いたアレイ基板は、T F T 基板とも呼ばれる。

30

【 0 0 5 8 】

また、上記では液晶パネル 3 0 T , 3 0 F が赤 (R)、緑 (G)、青 (B) およびシアン (C) の 4 色によるカラー表示を行う場合を例示したが、これらの色に限定されるものではなく、また、表示色の数は 4 色に限定されない。

【 0 0 5 9 】

また、4 色の着色領域で 1 画素を構成する場合、4 色の着色領域は、波長に応じて色相が変化する可視光領域 (3 8 0 ~ 7 8 0 n m) のうち、青系の色相の着色領域、赤系の色相の着色領域と、青から黄までの色相の中で選択された 2 種の色相の着色領域からなる。ここで系と用いているが、例えば青系であれば純粹の青の色相に限定されるものでなく、青紫や青緑等を含むものである。赤系の色相であれば、赤に限定されるものでなく橙を含む。また、これら着色領域は単一の着色層で構成されてもよいし、複数の異なる色相の着色層を重ねて構成されてもよい。また、これら着色領域は色相で述べているが、当該色相は、彩度、明度を適宜変更し、色を設定し得るものである。

40

【 0 0 6 0 】

具体的な色相の範囲は、青系の色相の着色領域は、青紫から青緑であり、より好ましくは藍から青である。赤系の色相の着色領域は、橙から赤である。青から黄までの色相で選択される一方の着色領域は、青から緑であり、より好ましくは青緑から緑である。青から黄までの色相で選択される他方の着色領域は、緑から橙であり、より好ましくは緑から黄である。または、緑から黄緑である。

【 0 0 6 1 】

50

ここで、各着色領域は、同じ色相を用いることはない。例えば、青から黄までの色相で選択される2つの着色領域で緑系の色相を用いる場合は、他方は一方の緑に対して青系または黄緑系の色相を用いる。

【0062】

これにより、従来のRGBの着色領域よりも広範囲の色再現性を実現することができる。

【0063】

広範囲の色再現性を色相で述べたが、以下に、着色領域を透過する波長で表現する。

【0064】

青系の着色領域は、波長のピークが415～500nmにある着色領域、好ましくは、435～485nmにある着色領域である。赤系の着色領域は、波長のピークが600nm以上にある着色領域で、好ましくは、605nm以上にある着色領域である。青から黄までの色相で選択される一方の着色領域は、波長のピークが485～535nmにある着色領域で、好ましくは、495～520nmにある着色領域である。青から黄までの色相で選択される他方の着色領域は、波長のピークが500～590nmにある着色領域、好ましくは510～585nmにある着色領域、または530～565nmにある着色領域である。

【0065】

次に、x、y色度図で表現する。青系の着色領域は、 $x = 0.151$ 、 $y = 0.056$ にある着色領域であり、好ましくは、 $x = 0.134$ 、 $x = 0.151$ 、 $y = 0.034$ 、 $y = 0.056$ にある着色領域である。赤系の着色領域は、 $x = 0.643$ 、 $x = 0.690$ 、 $y = 0.333$ にある着色領域であり、好ましくは、 $x = 0.643$ 、 $x = 0.690$ 、 $y = 0.299$ 、 $y = 0.333$ にある着色領域である。青から黄までの色相で選択される一方の着色領域は、 $x = 0.164$ 、 $x = 0.453$ 、 $y = 0.759$ にある着色領域であり、好ましくは、 $x = 0.098$ 、 $x = 0.164$ 、 $y = 0.453$ 、 $y = 0.759$ にある着色領域である。青から黄までの色相で選択される他方の着色領域は、 $x = 0.257$ 、 $x = 0.606$ 、 $y = 0.670$ にある着色領域であり、好ましくは、 $x = 0.257$ 、 $x = 0.357$ 、 $y = 0.606$ 、 $y = 0.670$ にある着色領域である。

【0066】

液晶パネル30T、30Fに対してバックライト光を照射するバックライトとして、RGBの光源としてのLED (Light Emitting Diode)、蛍光管、有機EL (Electro Luminescence) を用いてもよい。または白色光源を用いてもよい。なお、白色光源は青の発光体とYAG蛍光体 (イットリウム・アルミニウム・ガーネット系蛍光体) により生成される白色光源でもよい。

【0067】

RGB光源としては、以下のものが好ましい。すなわち、Bの光源は波長のピークが435nm～485nmにあるものが好ましい。Gの光源は波長のピークが520nm～545nmにあるものが好ましい。Rの光源は波長のピークが610nm～650nmにあるものが好ましい。

【0068】

そして、RGB光源の波長によって、上記カラーフィルタを適切に選定すれば、より広範囲の色再現性を得ることができる。

【0069】

また、波長が例えば、450nmと565nmにピークがあるような、複数のピークを持つ光源を用いてもよい。

【0070】

また、上記4色の着色領域の構成の例として、以下のものが挙げられる。すなわち、色相が、赤、青、緑、シアン (青緑) の着色領域、色相が、赤、青、緑、黄の着色領域、色相が、赤、青、深緑、黄の着色領域、色相が、赤、青、エメラルド、黄の着色領域、色相が、赤、青、深緑、黄緑の着色領域、または、色相が、赤、青緑、深緑、黄緑の着色領域

10

20

30

40

50

が挙げられる。

【図面の簡単な説明】

【 0 0 7 1 】

【図 1】本発明に係る液晶パネルの画素を説明する模式図である。

【図 2】本発明の実施形態に係る T N モード液晶パネルを説明する断面図である。

【図 3】本発明の実施形態に係る T N モード液晶パネルを説明する平面図である。

【図 4】本発明の実施形態に係る T N モード液晶パネルを説明する平面図である。

【図 5】本発明の実施形態に係る T N モード液晶パネルを説明する平面図である。

【図 6】本発明の実施形態に係る F F S モード液晶パネルを説明する断面図である。

【図 7】本発明の実施形態に係る F F S モード液晶パネルを説明する平面図である。

【図 8】本発明の実施形態に係る F F S モード液晶パネルを説明する平面図である。

【図 9】本発明の実施形態に係る F F S モード液晶パネルを説明する平面図である。

【図 10】本発明の実施形態に係る F F S モード液晶パネルを説明する平面図である。

【図 11】従来の T N モード液晶パネルを説明する平面図である。

【図 12】従来の T N モード液晶パネルを説明する平面図である。

【図 13】従来の T N モード液晶パネルを説明する平面図である。

【図 14】従来の F F S モード液晶パネルを説明する平面図である。

【図 15】従来の F F S モード液晶パネルを説明する平面図である。

【図 16】従来の F F S モード液晶パネルを説明する平面図である。

【図 17】従来の F F S モード液晶パネルを説明する平面図である。

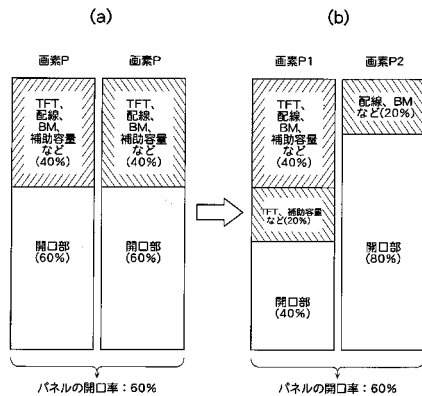
【図 18】従来の色度調整方法を説明する模式図である。

【符号の説明】

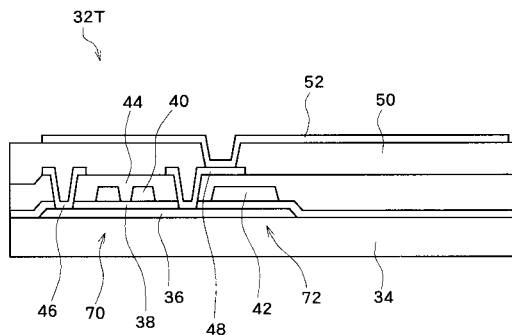
【 0 0 7 2 】

30T, 30F 液晶パネル、46 ドレイン配線、70 画素 TFT、72 保持容量、P1, P2 画素。

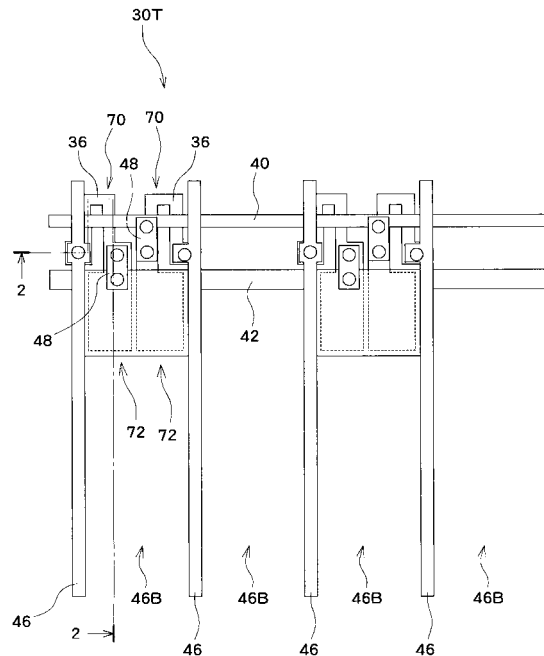
【図 1】



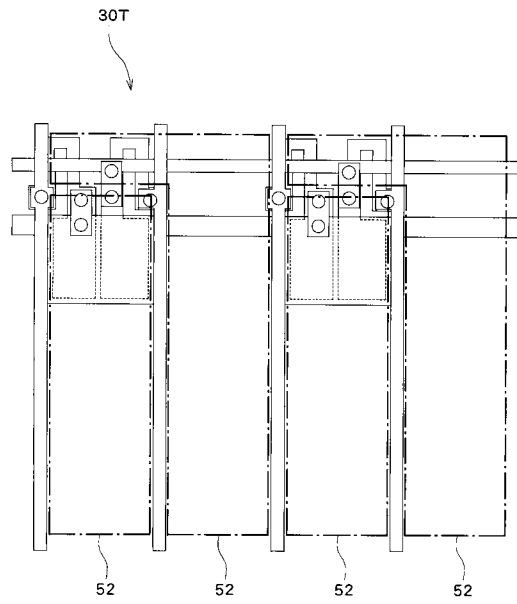
【図 2】



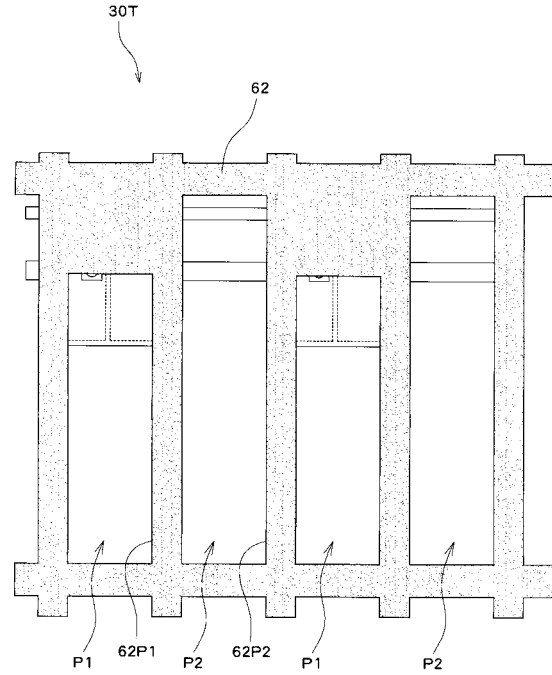
【図 3】



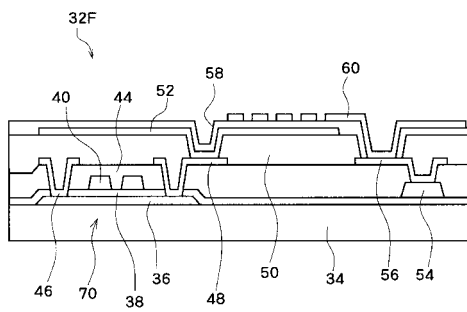
【図 4】



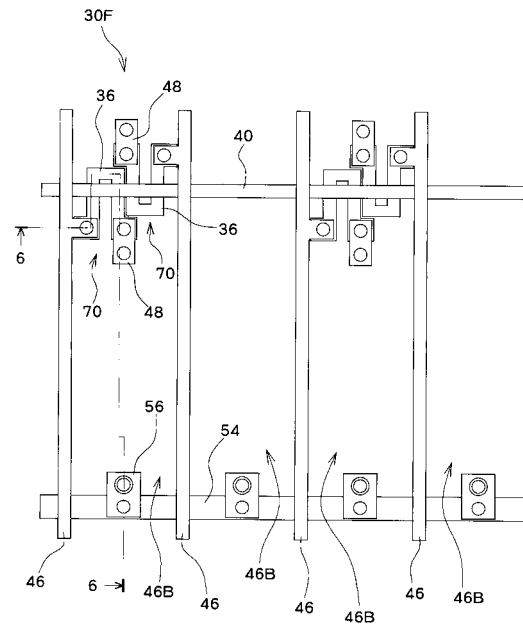
【図 5】



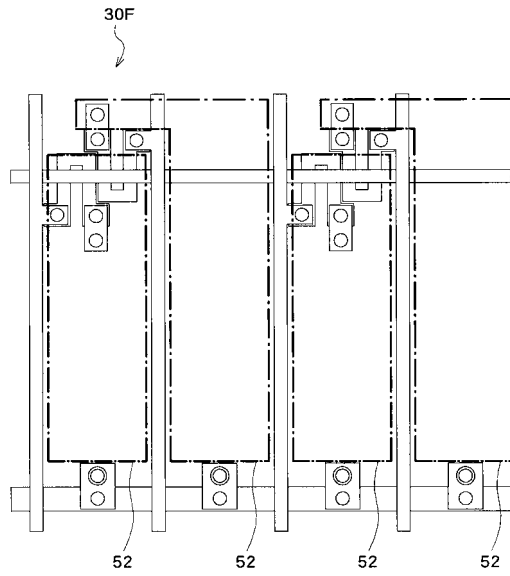
【図 6】



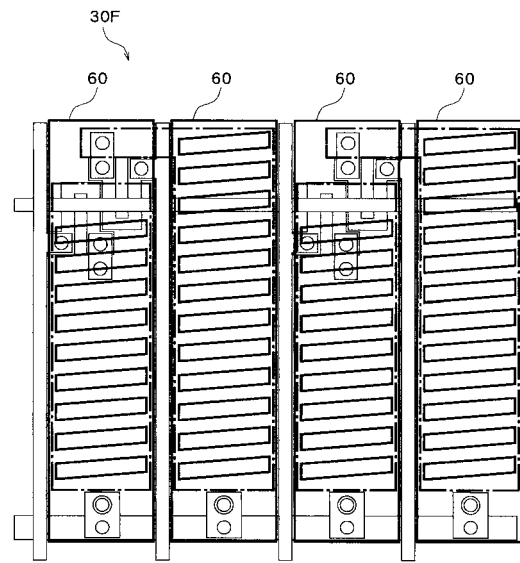
【図 7】



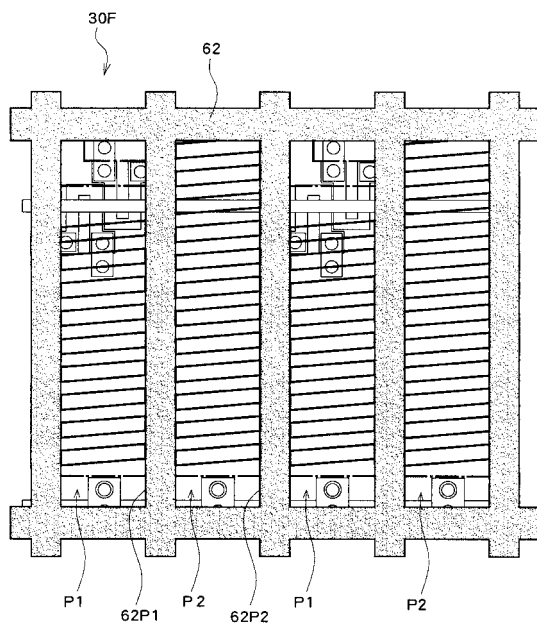
【図 8】



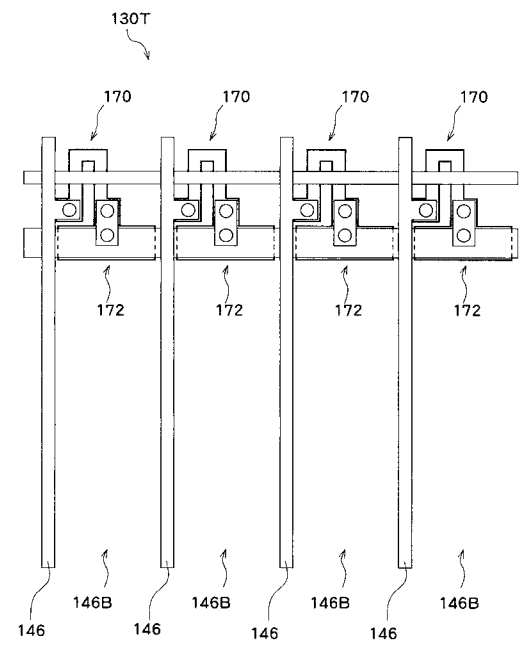
【図 9】



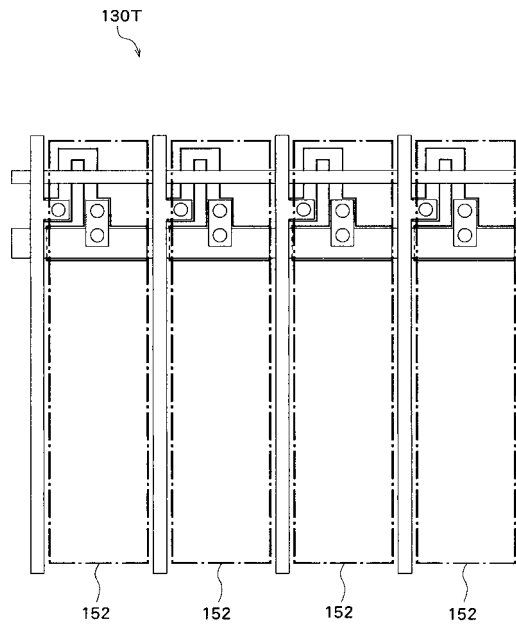
【図 10】



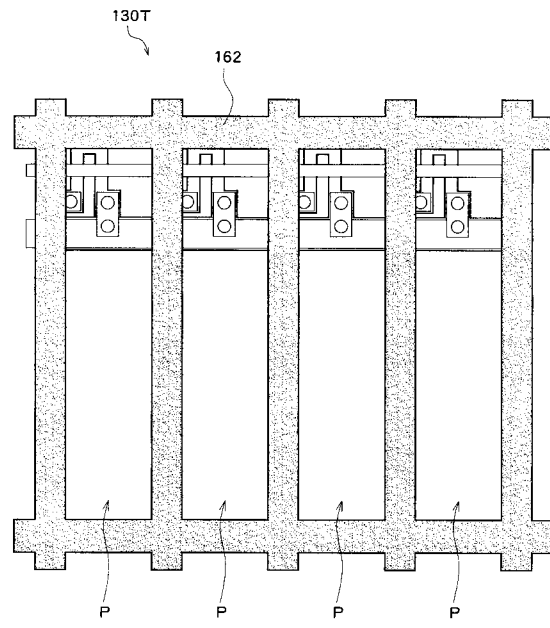
【図 11】



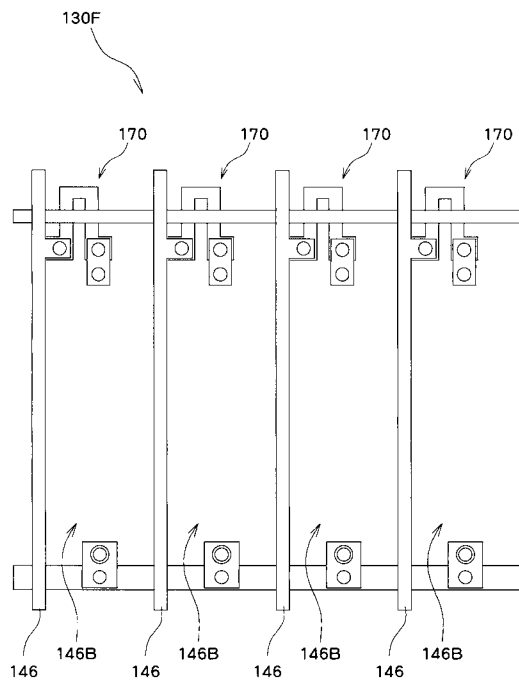
【図 1 2】



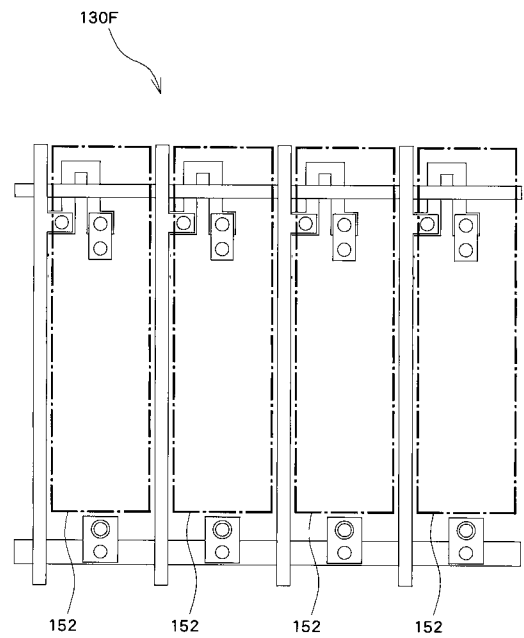
【図 1 3】



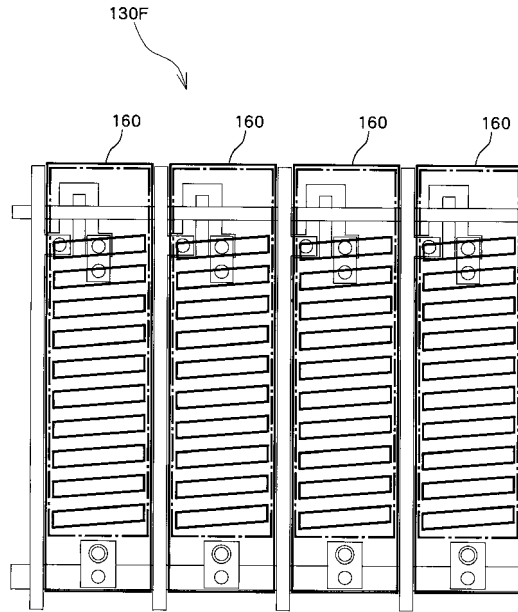
【図 1 4】



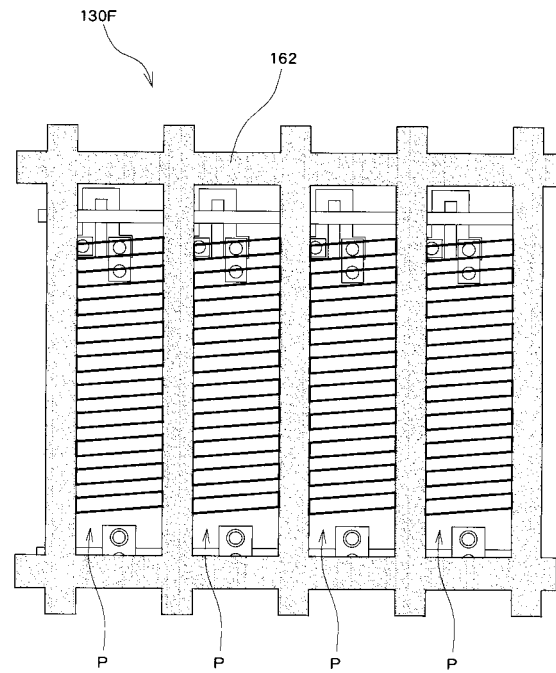
【図 1 5】



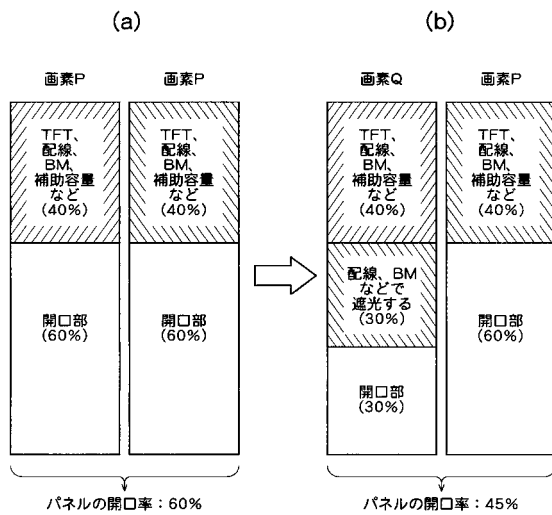
【図 16】



【図 17】



【図 18】



フロントページの続き

(56)参考文献 特開 2 0 0 6 - 1 3 9 0 5 8 (J P , A)
特開 2 0 0 3 - 0 8 4 7 1 8 (J P , A)
特開 2 0 0 5 - 0 9 9 7 3 3 (J P , A)
特開 2 0 0 3 - 2 2 8 3 0 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 3 5

专利名称(译)	液晶面板		
公开(公告)号	JP4404072B2	公开(公告)日	2010-01-27
申请号	JP2006170891	申请日	2006-06-21
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
当前申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	小野木智英 瀬川泰生		
发明人	小野木 智英 瀬川 泰生		
IPC分类号	G02F1/1343 G02F1/1335		
CPC分类号	G02F1/134336 G02F1/133512		
FI分类号	G02F1/1343 G02F1/1335.505		
F-TERM分类号	2H091/FA02Y 2H091/FA35Y 2H091/FD04 2H091/FD22 2H091/FD24 2H091/GA02 2H091/GA13 2H091/LA15 2H091/LA16 2H092/GA13 2H092/GA15 2H092/JA24 2H092/JB05 2H092/JB06 2H092/JB41 2H092/JB54 2H092/JB64 2H092/NA07 2H092/PA08 2H092/PA09 2H191/FA02Y 2H191/FA14Y 2H191/FD04 2H191/FD42 2H191/FD44 2H191/GA04 2H191/GA19 2H191/LA19 2H191/LA21 2H291/FA02Y 2H291/FA14Y 2H291/FD04 2H291/FD42 2H291/FD44 2H291/GA04 2H291/GA19 2H291/LA19 2H291/LA21		
代理人(译)	吉田健治 石田 纯		
其他公开文献	JP2008003185A JP2008003185A5		
外部链接	Espacenet		

摘要(译)

液晶面板包括在彼此相邻的第一像素和第二像素之间延伸的线;用于第一像素的第一像素元件部分;和用于第二像素的第二像素元件部分。第一像素元件部分设置在相对于设置第一像素的线的一侧。第二像素元件部分与第一像素元件部分一起相对于设置第一像素的线设置在一侧。

