

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4065645号  
(P4065645)

(45) 発行日 平成20年3月26日 (2008. 3. 26)

(24) 登録日 平成20年1月11日 (2008. 1. 11)

(51) Int. Cl.

F I

G O 2 F 1/1368 (2006. 01)

G O 2 F 1/1368

G O 2 F 1/1343 (2006. 01)

G O 2 F 1/1343

G O 9 F 9/30 (2006. 01)

G O 9 F 9/30 3 3 8

H O 1 L 29/786 (2006. 01)

G O 9 F 9/30 3 3 9 Z

H O 1 L 29/78 6 1 2 C

請求項の数 4 (全 18 頁)

(21) 出願番号 特願2000-94330 (P2000-94330)  
 (22) 出願日 平成12年3月30日 (2000. 3. 30)  
 (65) 公開番号 特開2001-281696 (P2001-281696A)  
 (43) 公開日 平成13年10月10日 (2001. 10. 10)  
 審査請求日 平成16年9月16日 (2004. 9. 16)

(73) 特許権者 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号  
 (74) 代理人 100062144  
 弁理士 青山 稔  
 (74) 代理人 100084146  
 弁理士 山崎 宏  
 (72) 発明者 岡田 美広  
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号  
 シャープ株式会社内  
 (72) 発明者 伴 厚志  
 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号  
 シャープ株式会社内

審査官 金高 敏康

最終頁に続く

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

(57) 【特許請求の範囲】

【請求項 1】

絶縁基板上に形成された複数の走査配線と、上記走査配線と平行に配置された補助容量配線と、上記走査配線と交差する複数の信号配線と、上記走査配線と信号配線との各交差位置近傍にマトリクス状に配置された複数のスイッチング素子と、各スイッチング素子の出力端子に接続されてマトリクス状に配置された画素電極を有するアクティブマトリクス型液晶表示装置において、

上記信号配線は、互いに隣接する第 1, 第 2 画素電極の近傍で屈曲し、上記屈曲部を境界にして一方は上記第 1 画素電極によって幅方向に被覆され、上記屈曲を境界にして他方は上記第 2 画素電極によって幅方向に被覆されており、

上記補助容量配線は、上記信号配線の屈曲部に重なって配置されていることを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 2】

絶縁基板上に形成された複数の走査配線と、上記走査配線と平行に配置された補助容量配線と、上記走査配線と交差する複数の信号配線と、上記走査配線と信号配線との各交差位置近傍にマトリクス状に配置された複数のスイッチング素子と、各スイッチング素子の出力端子に接続されてマトリクス状に配置された画素電極を有するアクティブマトリクス型液晶表示装置において、

上記信号配線は、互いに隣接する第 1, 第 2 画素電極の近傍で屈曲し、上記屈曲部を境界にして一方は上記第 1 画素電極によって幅方向に被覆され、上記屈曲を境界にして他方

10

20

は上記第 2 画素電極によって幅方向に被覆されており、

上記補助容量配線は、上記信号配線の屈曲部に重なる位置まで延在した電極部を有することを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 3】

請求項 1 あるいは請求項 2 に記載のアクティブマトリクス型液晶表示装置において、

上記絶縁基板上における互いに隣接する画素電極間の位置に配置された遮光膜を備えたことを特徴とするアクティブマトリクス型液晶表示装置。

【請求項 4】

請求項 3 に記載のアクティブマトリクス型液晶表示装置において、

上記遮光膜は、上記補助容量配線あるいは走査配線に電氣的に接続されていることを特徴とするアクティブマトリクス型液晶表示装置。

10

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、液晶テレビやノートパソコン等に使用されるアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】

図 1 3 および図 1 4 は、一般的なアクティブマトリクス型液晶表示装置の平面図および断面図を示す。アクティブマトリクス型液晶表示装置は、液晶パネル 1、ゲートドライブ回路 2、ソースドライブ回路 3 およびバックライト 4 によって概略構成される。

20

【0003】

さらに、上記液晶パネル 1 は、アクティブマトリクス基板 5、対向基板 6、両基板 5、6 間に挟まれた液晶層 7 および両基板 5、6 の外側に密着された偏向板(図示せず)から概略構成される。

【0004】

上記アクティブマトリクス基板 5 には、平行に配設された複数の走査配線(図示せず)、絶縁膜 8 を介して上記走査配線と直交して平行に配設された複数の信号配線 9、上記走査配線と信号配線 9 との各交差位置近傍に配置された薄膜トランジスタ(TFT) 10、上記走査配線と信号配線 9 とによって囲まれた領域に配置された複数の画素電極 11 等が形成されている。

30

【0005】

図 1 5 は、上記アクティブマトリクス基板 5 における 1 画素部分の平面図を示す。画素電極 11 は、信号配線 9 と同じレイヤに形成されているために、信号配線 9 と所定の距離を保って接触しないように形成されている。TFT 10 は、3 端子素子であり、ゲート電極 12 に印加される電圧によってドレイン電極 13 とソース電極 14 との間の電流の導通が制御される。そして、ゲート電極 12 は隣接する走査配線 15 に接続され、ソース電極 14 は隣接する信号配線 9 に接続され、ドレイン電極 13 は画素電極 11 に接続されている。

【0006】

40

一方、上記対向基板 6 には、各画素電極 11 に対応する位置に赤、緑、青の配列順にカラーフィルタ 16 が形成されている。そして、上記各カラーフィルタ 16、16 の間には、走査配線 15 および信号配線 9 と画素電極 11 との間からの光漏れを防ぐ遮光膜であるブラックマトリクス 17 が形成されている。さらにこの上層に、透明導電材料からなる対向電極 18 が形成されている。尚、ゲートドライブ回路 2 およびソースドライブ回路 3 は、夫々液晶パネル 1 の周囲部に配置された走査配線 15 の端子および信号配線 9 の端子に接続されている。

【0007】

次に、上記構成を有するアクティブマトリクス型液晶表示装置の駆動方法について説明する。

50

## 【 0 0 0 8 】

上記アクティブマトリクス型液晶表示装置の駆動方法においては、 $n$ 行目の画素配列書き込みを行う場合、ゲートドライブ回路 2 から  $n$  行目の走査配線 15 $n$  にオン信号 (T F T 1 0 がオンになる電位:  $V_{gh}$ ) が入力される。このとき、走査配線 15 $n$  以外の走査配線にはオフ信号 (T F T 1 0 がオフになる電位:  $V_{gl}$ ) が入力される。したがって、 $n$  行目の T F T 1 0 のみがオンになる。この場合、ソースドライブ回路 3 から各信号配線 9 に、 $n$  行目の画素 (画素電極 1 1 および液晶層 7) に充電すべき電圧のソース信号が供給される。

## 【 0 0 0 9 】

こうして、上記  $n$  行目の画素の配列に対する書き込みが終了すると、走査配線 15 $n$  にはオフ信号が入力される一方、走査配線 15 ( $n+1$ ) にはオン信号が入力される。以上の動作を繰り返すことによって、全ての画素に任意の電圧値が充電される。画素電極 1 1 と対向電極 1 8 との間の液晶層 7 は、両電極 1 1, 1 8 間に印加される電圧によって透過率が変化するため、バックライト 4 からの光が調整されて任意の画像が表示される。

## 【 0 0 1 0 】

ところで、層間絶縁膜上に画素電極を設けて、この画素電極と信号配線とを別レイヤーに形成し、画素電極を信号配線上に重ねる構造も提案されている (特開平 4 - 1 2 1 7 1 2 号公報等)。図 1 6 に、上記画素電極を信号配線上に重ねる構造を有するアクティブマトリクス型液晶表示装置における 1 画素分の断面図を示す。また、図 1 7 には、図 1 6 に示すアクティブマトリクス基板の平面図を示す。このような構成においては、画素電極 2 1 と信号配線 2 2 とが別レイヤーで形成され、画素電極 2 1 と信号配線 2 2 とに層間絶縁膜 2 3 を介して重なりを持たせて、画素電極 2 1 と信号配線 2 2 との隙間を無くすることができる。そのために、画素電極 2 1 の面積 (開口率) を拡大することができ、アクティブマトリクス型液晶表示装置の消費電力を抑えることができるのである。尚、2 4 はアクティブマトリクス基板、2 5 は T F T、2 6 は液晶層、2 7 は対向電極、2 8 は対向基板、2 9 は走査配線、3 0 はコンタクトホール、3 1 は補助容量電極、3 2 は補助容量配線である。

## 【 0 0 1 1 】

しかしながら、上述のように画素電極 2 1 を信号配線 2 2 に重ねた構造を採用した場合には、図 1 5 に示すように、画素電極 1 1 が信号配線 9 と所定の間隔をとる従来の構造に比べて、画素電極 2 1 と信号配線 2 2 との間の静電容量  $C_{sd}$  が増大する。その場合には、静電容量  $C_{sd}$  の増加に伴って画素の電位がソース信号によって変化し易くなり、シャドーイングと呼ばれる表示特性の劣化が生じる。

## 【 0 0 1 2 】

以下、このメカニズムを、図 1 8 に示すアクティブマトリクス基板 2 4 の等価回路を用いて説明する。すなわち、走査配線  $G_n$  にオン信号  $V_{gh}$  が入力されて T F T 2 3 がオン状態になると、画素電極 P 1 には信号配線 S 1 の電圧  $V_{s1}$  が充電される。

## 【 0 0 1 3 】

次に、上記走査配線  $G_n$  にオフ信号  $V_{gl}$  が入力され T F T 2 3 がオフ状態になると、信号配線 S 1 には、次の段の画素電極 P 2 へ書き込む電圧  $V_{s1}'$  が供給される。その場合、画素電極 P 1 の電圧は、静電容量  $C_{sd1}$  を介して信号配線 S 1 の電圧  $V_{s1}'$  の影響を受けて変化する。その際における画素電極 P 1 の電圧を  $V_{p1}$  とすると、

$$V_{p1} = V_{s1} - (C_{sd1}(V_{s1} - V_{s1}') + C_{sd2}(V_{s2} - V_{s2}')) / (C_p + C_{sd1} + C_{sd2}) \quad \dots (1)$$

となる。ここで、 $C_p$  は画素電極の容量 ( $C_p =$  液晶容量  $C_{lc}$  + 補助電極容量  $C_{cs}$ ) であり、 $C_{sd1}$  は信号配線 S 1 と画素電極 P 1 との間の静電容量であり、 $C_{sd2}$  は信号配線 S 2 と画素電極 P 2 との間の静電容量であり、 $V_{s1}$ ,  $V_{s2}$  は  $n$  列目の走査配線  $G_n$  がオン状態である場合の信号配線 S 1, S 2 の電圧であり、 $V_{s1}'$ ,  $V_{s2}'$  は ( $n + 1$ ) 列目の走査配線  $G_{(n+1)}$  がオン状態である場合の信号配線 S 1, S 2 の電圧である。

## 【 0 0 1 4 】

アクティブマトリクス型液晶表示装置の一般的な駆動方法であるゲートライン反転駆動

10

20

30

40

50

(1H反転駆動)では、ゲート1ライン毎にソース信号の極性を反転させる。ここで、隣同士の階調が同じであるとする、

$$V_s = V_{s1} = V_{s2}, V_{s'} = V_{s1'} = V_{s2'} \quad \dots (2)$$

であるから、式(1)および式(2)から、

$$V_{p1} = V_s - (C_{sd1} + C_{sd2}) / (C_p + C_{sd1} + C_{sd2}) \cdot (V_s - V_{s'}) \quad \dots (3)$$

となる。このように、1H反転駆動では、画素電位の変化量は $(C_{sd1} + C_{sd2})$ に比例する。そのために、信号配線Sと画素電極Pとの間の静電容量 $C_{sd}$ の増加に伴いシャドーイングが顕著に表れるのである。

【0015】

一方において、上記信号配線Sと画素電極Pとの間の静電容量 $C_{sd}$ による画素電位の変化を抑える駆動方法として、ドット反転駆動が提案されている。このドット反転駆動においては、ゲート1ライン毎にソース信号の極性を反転すると共に、ソース側もソース1ライン毎に逆極性の信号を入力するようにしている。

【0016】

上記ドット反転駆動の場合には、隣同士の階調が同じであると仮定すると、

$$V_s = V_{s1} = -V_{s2}, V_{s'} = V_{s1'} = -V_{s2'} \quad \dots (4)$$

であるから、式(1)および式(4)から、

$$V_{p1} = V_s - (C_{sd1} - C_{sd2}) / (C_p + C_{sd1} + C_{sd2}) \cdot (V_s - V_{s'}) \quad \dots (5)$$

となる。このように、ドット反転駆動では、画素電位の変化量は静電容量 $C_{sd1}$ と静電容量 $C_{sd2}$ との差分に比例する。したがって、1H反転駆動の場合に比してシャドーイング現象を大幅に抑えることができ、液晶表示装置の画質を向上することができる。特に、走査配線29の延在方向へ隣接する画素に関する静電容量 $C_{sd1}$ と静電容量 $C_{sd2}$ との差を少なくすると、シャドーイング現象を大幅に抑えることができるのである。

【0017】

しかしながら、その一方において、次のような新たな問題が発生する。すなわち、ドット反転駆動においては、信号配線Sと画素電極Pとの間の静電容量 $C_{sd}$ のばらつきによる透過率差が大きくなるため、フォトリソグラフィ工程をブロック単位で行う場合に、アライメントずれによって信号配線Sと画素電極Pとの重なり幅がブロック単位で異なる所謂ブロック分れが発生し易くなるのである。

【0018】

例えば、図19に示すように、上記画素電極Pのフォトリソグラフィ工程において、アライメントずれ $dx$ が生じた場合を考える。その場合は、画素電極Pの信号配線S1への重なり量が増えるため、信号配線S1と画素電極Pとの静電容量 $C_{sd1}$ は増加し、逆に信号配線S2と画素電極Pとの静電容量 $C_{sd2}$ は減少する。図20に、フォトリソ工程におけるアライメントずれ $dx$ と静電容量 $C_{sd1}$ あるいは静電容量 $C_{sd2}$ との関係を示す。図20より、アライメントずれ $dx$ が増加するに連れて静電容量 $C_{sd1}$ と静電容量 $C_{sd2}$ との差は広がり、画素電位の変化量は増加するのである。

【0019】

このような問題を解決するために、上記画素電極を信号配線上に重ねる構造を取るアクティブマトリクス型液晶表示装置において、上記信号配線を挟んで互いに隣接する2つの画素電極夫々の側縁の略1/2ずつを、当該信号配線上に完全に重ねる構造が提案されている。図21および図22に、隣接画素電極夫々の側縁の略1/2ずつを信号配線上に完全に重ねる構造の断面図及び平面図を示す。この場合には、画素電極45における一側縁の略1/2は、一側に隣接する信号配線43に完全に重なっている。また、画素電極45における他側縁の略1/2は、他側に隣接する信号配線43'に完全に重なっている。したがって、 $C_{sd1} - C_{sd2}$ となり、上記(5)式における $(C_{sd1} - C_{sd2})$ は減少する。さらに、隣接画素電極45", 45は完全に信号配線43を被覆しているため、アライメントのずれが発生した場合でも、 $(C_{sd1} - C_{sd2})$ は殆ど変化しない。したがって、上述のようなシャドーイングによるブロック分れを抑制することができるのである。

【0020】

10

20

30

40

50

尚、41はTFT、42は走査配線、44は層間絶縁膜、46はコンタクトホール、47は補助容量電極、48は補助容量配線である。

【0021】

【発明が解決しようとする課題】

しかしながら、上記図21及び図22に示す従来のアクティブマトリクス型液晶表示装置においては、以下のような問題がある。すなわち、上述したように、図21および図22に示すような隣接画素電極夫々の側縁の略1/2を信号配線上に完全に重ねる構造のアクティブマトリクス型液晶表示装置をドット反転駆動することによって、信号配線43と画素電極45との間のカップリング容量 $C_{sd}$ によるシャドーイング現象を抑制すると共に、カップリング容量 $C_{sd}$ のバラツキによるブロック分れを抑えることができる。

10

【0022】

ところが、上述のような構造の場合には、上記信号配線43の両側に在って互いに隣接する2つの画素電極45", 45'は、当該信号配線43を完全に被覆するように配置する必要がある。そのために、当該信号配線43を被覆する画素電極45", 45'が入れ替わるポイントでは、必ず当該信号配線43を隣接画素電極45", 45'の何れでも覆うことができない領域が生ずる。したがって、レイヤー間のアライメントずれによって、画素電極45", 45'の間隔の変化等に起因する上記領域における周囲の画素電極45(45')と信号配線43とのカップリング容量 $C_{sd}$ 、延いては上記領域以外の画素電極45(45')で覆われている信号配線43部分の画素電極45(45')とのカップリング容量 $C_{sd}$ が大きく変動するのである。

20

【0023】

例えば、精細度が130PPI~200PPI以上の高精細のアクティブマトリクス液晶表示装置や、構成上層間絶縁膜を薄くする必要があるアクティブマトリクス液晶表示装置等においては、上述の影響が大きくなるため問題となっている。

【0024】

そこで、この発明の目的は、信号配線と画素電極とのカップリング容量による画質の低下を防ぐと共に、上記カップリング容量のバラツキによるブロック分れを抑制できるアクティブマトリクス型液晶表示装置を提供することにある。

【0025】

【課題を解決するための手段】

30

上記目的を達成するため、第1の発明は、

絶縁基板上に形成された複数の走査配線と、上記走査配線と平行に配置された補助容量配線と、上記走査配線と交差する複数の信号配線と、上記走査配線と信号配線との各交差位置近傍にマトリクス状に配置された複数のスイッチング素子と、各スイッチング素子の出力端子に接続されてマトリクス状に配置された画素電極を有するアクティブマトリクス型液晶表示装置において、

上記信号配線は、互いに隣接する第1,第2画素電極の近傍で屈曲し、上記屈曲部を境界にして一方は上記第1画素電極によって幅方向に被覆され、上記屈曲部を境界にして他方は上記第2画素電極によって幅方向に被覆されており、

上記補助容量配線は、上記信号配線の屈曲部に重なって配置されていることを特徴としている。

40

【0026】

上記構成によれば、信号配線は、互いに隣接する第1,第2画素電極の近傍で屈曲し、上記屈曲部を境界にして一方は上記第1画素電極によって幅方向に被覆され、他方は上記第2画素電極によって幅方向に被覆されている。したがって、ある一つの画素電極に注目すれば、当該画素電極と一方側に隣接する信号配線との間の第1静電容量と、当該画素電極と他方側に隣接する信号配線との間の第2静電容量との差が小さくなり、ドット反転駆動を行うことによってシャドーイング現象が大幅に抑えられる。

【0027】

その際に、上記信号配線の屈曲部に重なって補助容量配線が配置されている。したがっ

50

て、上記信号配線の屈曲部における上記画素電極との間の静電容量が低減される。その結果、レイヤー間のアライメントずれによる上記信号配線の屈曲部における上記画素電極との間の静電容量の変化が大幅に低減され、上記ブロック分れが抑制される。

【0028】

また、第2の発明は、

絶縁基板上に形成された複数の走査配線と、上記走査配線と平行に配置された補助容量配線と、上記走査配線と交差する複数の信号配線と、上記走査配線と信号配線との各交差位置近傍にマトリクス状に配置された複数のスイッチング素子と、各スイッチング素子の出力端子に接続されてマトリクス状に配置された画素電極を有するアクティブマトリクス型液晶表示装置において、

10

上記信号配線は、互いに隣接する第1,第2画素電極の近傍で屈曲し、上記屈曲部を境界にして一方は上記第1画素電極によって幅方向に被覆され、上記屈曲を境界にして他方は上記第2画素電極によって幅方向に被覆されており、

上記補助容量配線は、上記信号配線の屈曲部に重なる位置まで延在した電極部を有することを特徴としている。

【0029】

上記構成によれば、信号配線は、互いに隣接する第1,第2画素電極の近傍で屈曲し、上記屈曲部を境界にして一方は上記第1画素電極によって幅方向に被覆され、他方は上記第2画素電極によって幅方向に被覆されている。したがって、上記第3の発明の場合と同様に、ドット反転駆動を行うことによってシャドーイング現象が大幅に抑えられる。

20

【0030】

その際に、上記信号配線の屈曲部に重なって、補助容量配線から延在している電極部が配置されている。したがって、上記第3の発明の場合と同様に、上記信号配線の屈曲部における上記画素電極との間の静電容量が低減され、上記画素電極と信号配線との間の静電容量のバラツキによる上記ブロック分れが抑制されるのである。

【0031】

また、上記第1の発明あるいは第2の発明のアクティブマトリクス型液晶表示装置は、上記絶縁基板上における互いに隣接する画素電極間の位置に配置された遮光膜を備えることが望ましい。

【0032】

30

一般的に、上記画素電極が形成される絶縁基板とこの絶縁基板に対向する対向基板とのアライメント精度は $\pm 5 \mu\text{m}$ 程度であるのに対して、上記絶縁基板上における各層間のアライメント精度は $\pm 1 \mu\text{m}$ 以下である。上記構成によれば、上記絶縁基板上における互いに隣接する画素電極間の位置に遮光膜が配置されている。したがって、上記遮光膜の幅が上記対向基板側に配置されるブラックマトリクスよりも狭く形成されると共に、上記ブラックマトリクスが削除されて、開口率が向上される。

【0033】

さらに、上記対向基板側に配置されるブラックマトリクスの面積が減少するため、上記絶縁基板と対向基板との張り合わせマージンが広げられる。

【0034】

40

また、上記第1の発明あるいは第2の発明のアクティブマトリクス型液晶表示装置は、上記遮光膜を、上記補助容量配線あるいは走査配線に電氣的に接続することが望ましい。

【0035】

上記構成によれば、上記信号配線近傍に配置されている遮光膜による電界シールド効果によって、上記信号配線からの電気力線の一部が終端される。したがって、上記画素電極と一方側に隣接する信号配線との間の第1静電容量と、当該画素電極と他方側に隣接する信号配線との間の第2静電容量とが小さくなる。その結果、上記第1静電容量と第2静電容量との差に起因するシャドーイング現象が更に抑えられると共に、上記ブロック分れが更に減少される。

【0036】

50

**【発明の実施の形態】**

以下、この発明を図示の実施の形態により詳細に説明する。

**< 第 1 実施の形態 >**

図 1 は、本実施の形態のアクティブマトリクス型液晶表示装置におけるアクティブマトリクス基板の平面図である。図 2 は、上記アクティブマトリクス型液晶表示装置における図 1 の A - A' に相当する矢視断面図である。また、図 3 は、上記アクティブマトリクス型液晶表示装置における図 1 の B - B' に相当する矢視断面図である。

**【 0 0 3 7 】**

上記アクティブマトリクス基板側は、以下のような構成を有する。すなわち、図 1 乃至図 3 において、ガラスで成る上記アクティブマトリクス基板としての絶縁基板 5 1 上に、Al, Ta 等の金属から成る複数のゲート配線(走査配線) 5 2 が平行に配置されている。このゲート配線 5 2 の膜厚は 2 0 0 0 ~ 5 0 0 0 である。さらに、この上層に、SiNx 等から成るゲート絶縁膜 5 3 を介して、ゲート配線 5 2 に直交して Al, Ta 等の金属から成る複数のソース配線 5 4, 5 4' が配置されている。上記ゲート絶縁膜 5 3 の膜厚は 2 0 0 0 ~ 4 0 0 0 程度であり、比誘電率は 3 ~ 8 程度である。また、ソース配線 5 4, 5 4' の膜厚は 1 0 0 0 ~ 5 0 0 0 である。

**【 0 0 3 8 】**

上記ゲート配線 5 2 とソース配線 5 4, 5 4' との各交差位置近傍には、アモルファスシリコン TFT 5 5 が配置されている。アモルファスシリコン TFT 5 5 は、ゲート電極 5 6, ゲート絶縁膜 5 3, アモルファス半導体層 5 7, 不純物添加半導体層 5 8, ソース電極 5 9 およびドレイン電極 6 0 が積層されて構成されている。ゲート電極 5 6 はゲート配線 5 2 と同じ材料で構成されている。また、ソース電極 5 9 およびドレイン電極 6 0 はソース配線 5 4, 5 4' と同じ材料で構成されている。また、アモルファス半導体層 5 7 は、CVD (化学気相成長法) によって形成されたアモルファスシリコンで成り、その膜厚は 5 0 0 ~ 2 0 0 0 程度である。そして、ゲート電極 5 6 は隣接するゲート配線 5 2 に接続され、ソース電極 5 9 は隣接するソース配線 5 4 に接続されている。

**【 0 0 3 9 】**

上記ゲート配線 5 2 と同層(つまり、絶縁基板 5 1 上)に補助容量配線 6 3 が形成されており、この補助容量配線 6 3 上までゲート絶縁膜 5 3 を介してドレイン電極 6 0 が延在しており、このドレイン電極 6 0 の端部によって補助容量電極 6 4 を形成している。層間絶縁膜 6 1 は有機材料あるいは無機材料からなり、その膜厚は 1 μm ~ 4 μm であり、比誘電率は 2 ~ 4 程度である。そして、層間絶縁膜 6 1 における補助容量電極 6 4 の位置にはコンタクトホール 6 5 が設けられており、ドレイン電極 6 0 は、上記補助容量電極 6 4 を介してコンタクトホール 6 5 によって画素電極 6 2 に接続されている。

**【 0 0 4 0 】**

本実施の形態においては、上記補助容量配線 6 3 は、画素電極 6 2 を TFT 5 5 側と反 TFT 5 5 側とに二等分する位置に配置されている。そして、画素電極 6 2 における補助容量配線 6 3 の位置よりも TFT 5 5 側の略 1/2 は、一側に隣接しているソース配線 5 4' と層間絶縁膜 6 1 を介して重なっている。一方、画素電極 6 2 における補助容量配線 6 3 の位置よりも TFT 5 5 とは反対側の略 1/2 は、他側に隣接しているソース配線 5 4 と層間絶縁膜 6 1 を介して重なっている。すなわち、画素電極 6 2 の両側縁は、補助容量配線 6 3 の位置で屈曲しているのである。

**【 0 0 4 1 】**

一方、対向基板側は、以下のような構成を有する。すなわち、ガラスで成る上記対向基板としての絶縁基板 6 6 上には、各画素電極 6 2, 6 2', 6 2" に対応する位置に赤, 緑, 青の配列順にカラーフィルタ 6 7 が配置されている。そして、上記各カラーフィルタ 6 7, 6 7 の間には、隣接する画素電極 6 2', 6 2" の間からの光漏れを防ぐ遮光膜であるブラックマトリクス 6 8 が配置されている。更にこの上層に、透明導電材料からなる対向電極 6 9 が配設されている。

**【 0 0 4 2 】**

そして、上記アクティブマトリクス基板 5 1 と対向基板 6 6 とを画素電極 6 2 , 6 2 ' , 6 2 " 側と対向電極 6 9 側とを互に対向させて所定の間隔で配置し、両基板 5 1 , 6 6 間に液晶層 7 0 を挟み込みシール材で封入して、本アクティブマトリクス型液晶表示装置が構成されている。

#### 【 0 0 4 3 】

上述したように、本実施の形態においては、上記画素電極 6 2 は、補助容量配線 6 3 上においてコンタクトホール 6 5 に沿って窪んで補助容量電極 6 4 (ドレイン電極 6 0 ) に電氣的に接続されている。そして、図 1 中左側のソース配線 5 4 に注目すると、画素電極 6 2 を T F T 5 5 側と反 T F T 5 5 側とに二等分する位置に配置されている補助容量配線 6 3 よりも T F T 5 5 側の部分においては、当該ソース配線 5 4 に対して図 1 中左側に在る画素電極 6 2 " が当該ソース配線 5 4 を被覆している。一方、補助容量配線 6 3 よりも反 T F T 5 5 側の部分においては、当該ソース配線 5 4 に対して図 1 中右側に在る画素電極 6 2 が当該ソース配線 5 4 を被覆している。また、図 1 中右側のソース配線 5 4 ' についても同様になっている。

#### 【 0 0 4 4 】

すなわち、上記画素電極 6 2 の両側縁は、ソース配線 5 4 の延在方向に二等分する位置であって、且つ、補助容量配線 6 3 上の位置において、屈曲しているのである。

#### 【 0 0 4 5 】

図 2 2 に示すように、上記補助容量配線 4 8 が、画素電極 4 5 を T F T 4 1 側と反 T F T 4 1 側とに二等分するような位置に配置されていない場合には、画素電極 4 5 における両側縁を二等分する位置に存在する屈曲部は、補助容量配線 4 8 の位置に存在しない。したがって、レイヤー間のアライメントずれによって、隣接画素電極 4 5 " , 4 5 で信号配線 4 3 が覆われていない上記屈曲部のカップリング容量  $C_{sd}$  が大きく変動するのである。尚、このことは、画素電極 6 2 の上記屈曲部の位置がソース配線 5 4 の延在方向に二等分する位置にない場合でも同様である。要は、補助容量配線が、画素電極の上記屈曲部に重なって配置されていない場合に、上記屈曲部のカップリング容量  $C_{sd}$  の上記アライメントずれによる変動が大きいのである。

#### 【 0 0 4 6 】

これに対して、本実施の形態においては、上記補助容量配線 6 3 を、画素電極 6 2 を T F T 5 5 側と反 T F T 5 5 側とに二分割するように配置している。したがって、画素電極 6 2 の両側縁を二等分する位置に設けられる上記屈曲部は、補助容量配線 6 3 上に在ることになる。したがって、ソース配線 5 4 , 5 4 ' と補助容量配線 6 3 とはカップリング容量を形成するため、ソース配線 5 4 , 5 4 ' からの電気力線の一部が補助容量配線 6 3 側で終端されることになり、上記屈曲部における上記画素電極 6 2 とソース配線 5 4 , 5 4 ' とのカップリング容量  $C_{sd}$  は低下することになる。

#### 【 0 0 4 7 】

したがって、レイヤー間のアライメントずれが生じて、隣接画素電極 6 2 , 6 2 " でソース配線 5 4 が覆われていない上記屈曲部におけるソース配線 5 4 とのカップリング容量  $C_{sd}$  の変化は少ない。その結果、ソース配線 5 4 と画素電極 6 2 とのカップリング容量  $C_{sd1}$  およびソース配線 5 4 ' と画素電極 6 2 とのカップリング容量  $C_{sd2}$  の変化量は大幅に低下して、上記ブロック分れを抑制することができる。

#### 【 0 0 4 8 】

すなわち、本実施の形態によれば、上記ソース配線 5 4 , 5 4 ' と画素電極 6 2 とのカップリング容量  $C_{sd}$  のバラツキによる上記ブロック分れを抑制できるである。

#### 【 0 0 4 9 】

##### < 第 2 実施の形態 >

上記第 1 実施の形態においては、上記補助容量配線 6 3 を、画素電極 6 2 を T F T 5 5 側と反 T F T 5 5 側とに等分割する位置、つまり上記画素電極 6 2 の中央に配置している。しかしながら、開口率の向上や製造歩留まりの向上等の理由から、補助容量配線を画素電極の中央に配置できない場合も多い。本実施の形態は、素のような場合に対処するもの

10

20

30

40

50

である。

【 0 0 5 0 】

図 4 は、本実施の形態のアクティブマトリクス型液晶表示装置におけるアクティブマトリクス基板の平面図である。図 5 は、上記アクティブマトリクス型液晶表示装置における図 4 の C - C' に相当する矢視断面図である。また、図 6 は、上記アクティブマトリクス型液晶表示装置における図 4 の D - D' に相当する矢視断面図である。

【 0 0 5 1 】

図 4 ~ 図 6 において、アクティブマトリクス基板 7 1, ゲート配線 7 2, ゲート絶縁膜 7 3, ソース配線 7 4, T F T 7 5, 層間絶縁膜 8 1, 画素電極 8 2, 対向基板 8 6, カラーフィルタ 8 7, ブラックマトリクス 8 8, 対向電極 8 9 および液晶層 9 0 は、図 1 ~ 図 3 に示す第 1 実施の形態におけるアクティブマトリクス基板 5 1, ゲート配線 5 2, ゲート絶縁膜 5 3, ソース配線 5 4, 5 4', T F T 5 5, 層間絶縁膜 6 1, 画素電極 6 2, 対向基板 6 6, カラーフィルタ 6 7, ブラックマトリクス 6 8, 対向電極 6 9 及び液晶層 7 0 と同じ構成を有して、同様に機能する。

【 0 0 5 2 】

本実施の形態における補助容量配線 8 3 は、画素電極 8 2 の中央より T F T 7 5 寄りにゲート配線 7 2 に平行に配置されている。そして、T F T 7 5 のドレイン電極 8 0 を補助容量配線 8 3 上まで延在させ、このドレイン電極 8 0 の端部によって補助容量電極 8 4 を形成している。また、補助容量電極 8 4 は、コンタクトホール 8 5 の位置において画素電極 8 2 に接続されている。

【 0 0 5 3 】

さらに、上記補助容量配線 8 3 には、各ソース配線 7 4 の下に沿って画素電極 8 2 の中央部まで延在する電極部 9 1 を設けている。こうして、図 4 に示すように、画素電極 8 2 の両側縁を二等分する位置に設けられた画素電極 8 2 の屈曲部を、補助容量配線 8 3 と同電位の電極部 9 1 上に存在させるのである。

【 0 0 5 4 】

したがって、本実施の形態によれば、上記補助容量配線 8 3 が画素電極 8 2 の中央に配置できない場合であっても、画素電極 8 2 の屈曲部が補助容量配線 8 3 上に在る場合と同様に機能させることができる。すなわち、上記屈曲部におけるソース配線 7 4 と電極部 9 1 とはカップリング容量を形成するのである。その結果、上記屈曲部における上記画素電極 8 2 とソース配線 7 4 とのカップリング容量  $C_{sd}$  を低下できる。

【 0 0 5 5 】

尚、この場合、上記画素電極 8 2 を上記補助容量配線 8 3 上において屈曲させると、上記屈曲位置は画素電極 8 2 の中央ではなくなるため、 $C_{sd1} \neq C_{sd2}$  となり、上記式 (5) における ( $C_{sd1} - C_{sd2}$ ) の値が大きくなる。そのため、ドット反転駆動を採用しても、画素電極 8 2 とソース配線 7 4 とのカップリング容量  $C_{sd}$  によるシャドーイング現象が発生し易くなるのである。

【 0 0 5 6 】

< 第 3 実施の形態 >

図 7 は、本実施の形態のアクティブマトリクス型液晶表示装置におけるアクティブマトリクス基板の平面図である。図 8 は、上記アクティブマトリクス型液晶表示装置における図 7 の E - E' に相当する矢視断面図である。また、図 9 は、上記アクティブマトリクス型液晶表示装置における図 7 の F - F' に相当する矢視断面図である。

【 0 0 5 7 】

図 7 ~ 図 9 において、アクティブマトリクス基板 1 0 1, ゲート配線 1 0 2, ゲート絶縁膜 1 0 3, T F T 1 0 5, 層間絶縁膜 1 0 6, 補助容量配線 1 0 8, 補助容量電極 1 0 9, コンタクトホール 1 1 0, 対向基板 1 1 1, カラーフィルタ 1 1 2, ブラックマトリクス 1 1 3, 対向電極 1 1 4 および液晶層 1 1 5 は、図 1 ~ 図 3 に示す第 1 実施の形態におけるアクティブマトリクス基板 5 1, ゲート配線 5 2, ゲート絶縁膜 5 3, T F T 5 5, 層間絶縁膜 6 1, 補助容量配線 6 3, 補助容量電極 6 4, コンタクトホール 6 5, 対向基板 6 6, カラー

10

20

30

40

50

フィルタ 67, ブラックマトリクス 68, 対向電極 69 及び液晶層 70 と同じ構成を有して、同様に機能する。

【0058】

本実施の形態における画素電極 107 は、その両側縁が上記第 1 実施の形態のように屈曲してはならず直線状に成っており、長方形に形成されている。一方、ソース配線 104 は、画素電極 107 を T F T 105 側と反 T F T 105 側とに二等分する位置に配置されている補助容量配線 108 の位置で屈曲している。そして、ソース配線 104 における補助容量配線 108 の位置よりも T F T 105 側の略 1/2 は、一側に位置している画素電極 107' と層間絶縁膜 106 を介して重なっている。一方、ソース配線 104 における補助容量配線 108 の位置よりも T F T 105 とは反対側の略 1/2 は、他側に位置している画素電極 107 と層間絶縁膜 106 を介して重なっている。

10

【0059】

すなわち、本実施の形態においては、上記第 1 実施の形態のごとく画素電極の両側縁を屈曲させる代わりに、ソース配線 104 を屈曲させるのである。こうすることによって、上記第 1 実施の形態の場合と同様に、上記屈曲部における画素電極 107 とソース配線 104 とのカップリング容量 C<sub>sd</sub> を低下することができる。したがって、レイヤー間のアライメントずれによって生ずる上記ブロック分れを抑制することができるのである。

【0060】

さらに、本実施の形態によれば、上記画素電極 107 を、図 15 及び図 17 に示す従来のアクティブマトリクス型液晶表示装置と同様に矩形状に形成できる。したがって、カラーフィルタ 112 やブラックマトリクス 113 の形成が容易になるのである。

20

【0061】

尚、本実施の形態においては、上記補助容量配線 108 を画素電極 107 を T F T 105 側と反 T F T 105 側とに二等分する位置に配置している。しかしながら、補助容量配線を画素電極 107 の中央に配置できない場合には、上記第 2 実施の形態のごとく、補助容量配線に各ソース配線 104 の下に沿ってソース配線 104 の屈曲部まで延在する電極部を設けて、ソース配線 104 の屈曲部を補助容量配線と同電位の電極部上に存在させればよい。

【0062】

< 第 4 実施の形態 >

30

図 10 は、本実施の形態のアクティブマトリクス型液晶表示装置におけるアクティブマトリクス基板の平面図である。図 11 は、上記アクティブマトリクス型液晶表示装置における図 10 の G - G' に相当する矢視断面図である。また、図 12 は、上記アクティブマトリクス型液晶表示装置における図 10 の H - H' に相当する矢視断面図である。

【0063】

図 10 ~ 図 12 において、アクティブマトリクス基板 121, ゲート配線 122, ゲート絶縁膜 123, ソース配線 124, T F T 125, 層間絶縁膜 126, 画素電極 127, 補助容量電極 129, コンタクトホール 130, 対向基板 131, 対向電極 134 および液晶層 135 は、図 1 ~ 図 3 に示す第 1 実施の形態における絶縁基板 51, ゲート配線 52, ゲート絶縁膜 53, ソース配線 54, 54', T F T 55, 層間絶縁膜 61, 画素電極 62, 補助容量電極 64, コンタクトホール 65, 対向基板 66, 対向電極 69 および液晶層 70 と同じ構成を有して、同様に機能する。

40

【0064】

本実施の形態においては、上記ゲート配線 122 と同層に、ゲート配線 122 と同じ材料で成る遮光膜 136 を配置して、隣接画素電極 127, 127 間を遮光するようにしている。したがって、対向基板 131 上における隣接画素電極 127, 127 間の位置にブラックマトリクス 133 を配置する必要がなくなり、T F T 125 上のみに形成すればよい。

【0065】

一般的に、上記アクティブマトリクス基板 121 と対向基板 131 とのアライメント精

50

度は $\pm 5 \mu\text{m}$ 程度である。これに対して、アクティブマトリクス基板 1 2 1 のレイヤー間のアライメント精度は $\pm 1 \mu\text{m}$ 以下である。したがって、アクティブマトリクス基板 1 2 1 側に遮光膜 1 3 6 を配置することによって、遮光膜 1 3 6 の幅をブラックマトリクス 1 3 3 よりも狭くすると共に、ブラックマトリクス 1 3 3 を削除することができる。その結果、カラーフィルタ 1 3 2 の面積を広くして、開口率を向上することができるのである。

【 0 0 6 6 】

さらに、上記対向基板 1 3 1 側に配置されるブラックマトリクス 1 3 3 の面積が減少するため、アクティブマトリクス基板 1 2 1 と対向基板 1 3 1 との張り合わせマージンを広げることができる。

【 0 0 6 7 】

また、上記遮光膜 1 3 6 は、補助容量配線 1 2 8 に接続されている。したがって、遮光膜 1 3 6 による電界シールド効果によって、ソース配線 1 2 4 と画素電極 1 2 7 とのカップリング容量  $C_{sd}$  を低下させて、上記カップリング容量  $C_{sd}$  によるシャドーイング現象を更に抑制することができる。さらに、上記カップリング容量  $C_{sd}$  の絶対量が低下するため、レイヤー間のアライメントずれによる上記カップリング容量  $C_{sd}$  の変化量も低下し、上記ブロック分れが更に抑制される。ここで、遮光膜 1 3 6 は、ゲート配線 1 2 2 に接続してもよいし、補助容量配線 1 2 8 やゲート配線 1 2 2 に接続しなくとも構わない。

【 0 0 6 8 】

尚、本実施の形態においては、上記遮光膜 1 3 6 の配置とそれによるブラックマトリクス 1 3 3 の削除を、上記第 1 実施の形態に対して適用しているが、上記第 2, 第 3 実施の形態に適用しても一向に構わない。また、上記各実施の形態においては、画素電極 6 2, 8 2, 1 2 7 の屈曲部およびソース配線 1 0 4 の屈曲部を各画素電極 6 2, 8 2, 1 0 7, 1 2 7 の中央に設けている。しかしながら、上記シャドーイング現象を抑制するためには、上記屈曲部を厳密に画素電極の中央に設ける必要はない。したがって、この発明は、上記画素電極やソース配線に設ける屈曲部の位置を、各画素電極の中央のみに限定するものではない。

【 0 0 6 9 】

また、この発明は、上記各実施の形態と同様の効果を奏する程度に、画素電極の両側の一部にソース配線(信号配線)の幅方向に僅かに被覆しない部分があっても差し支えない。

【 0 0 7 0 】

【発明の効果】

以上より明らかなように、第 1 の発明のアクティブマトリクス型液晶表示装置は、互いに隣接する第 1, 第 2 画素電極近傍に位置する信号配線を屈曲させ、この屈曲部を境界にして一方は上記第 1 画素電極によって幅方向に被覆され、上記屈曲を境界にして他方は上記第 2 画素電極によって幅方向に被覆されているので、一つの画素電極に注目した場合、当該画素電極と一方側に隣接する信号配線との間の第 1 静電容量と、当該画素電極と他方側に隣接する信号配線との間の第 2 静電容量との差を小さくできる。したがって、ドット反転駆動を行うことによって、シャドーイング現象を大幅に抑制することができるのである。

【 0 0 7 1 】

さらに、走査配線と平行に配置された補助容量配線を上記信号配線の屈曲部に重ねて配置したので、上記信号配線の屈曲部における上記画素電極との間の静電容量を低減できる。したがって、レイヤー間のアライメントずれによる上記信号配線の屈曲部における上記画素電極との間の静電容量の変化を大幅に抑制でき、フォトリソグラフィ工程をブロック単位で行う際のブロック分れを抑制することができる。

【 0 0 7 2 】

また、第 2 の発明アクティブマトリクス型液晶表示装置は、互いに隣接する第 1, 第 2 画素電極近傍に位置する信号配線を屈曲させ、この屈曲部を境界にして一方は上記第 1 画素電極によって幅方向に被覆され、上記屈曲を境界にして他方は上記第 2 画素電極によって幅方向に被覆されているので、上記第 3 の発明の場合と同様に、ドット反転駆動を行う

10

20

30

40

50

ことによってシャドーイング現象を大幅に抑制することができる。

【 0 0 7 3 】

さらに、走査配線と平行に配置された補助容量配線は、上記信号配線の屈曲部に重なる位置まで延在した電極部を有するので、上記信号配線の屈曲部における上記画素電極との間の静電容量を低減できる。したがって、上記第 3 の発明の場合と同様に、レイヤー間のアライメントずれに起因する上記ブロック分れを抑制できる。

【 0 0 7 4 】

また、上記第 1 の発明あるいは第 2 の発明のアクティブマトリクス型液晶表示装置は、上記絶縁基板上における互いに隣接する画素電極間の位置に遮光膜を配置すれば、上記絶縁基板上における各層間のアライメント精度は上記絶縁基板と対向基板とのアライメント精度よりも小さいために、上記遮光膜の幅を上記対向基板側に配置されるブラックマトリクスよりも狭くできる。したがって、上記ブラックマトリクスを削除できることと相俟って、開口率を向上できる。

【 0 0 7 5 】

さらに、上記対向基板側に配置されるブラックマトリクスの面積が減少するため、上記絶縁基板と対向基板との張り合わせマージンを広げることができる。

【 0 0 7 6 】

また、上記第 1 の発明あるいは第 2 の発明のアクティブマトリクス型液晶表示装置は、上記遮光膜を、上記補助容量配線あるいは走査配線に電氣的に接続すれば、上記信号配線近傍に配置された遮光膜による電界シールド効果によって、上記画素電極と一方側に隣接する信号配線との間の第 1 静電容量と、当該画素電極と他方側に隣接する信号配線との間の第 2 静電容量とを小さくできる。したがって、上記第 1 静電容量と第 2 静電容量との差に起因するシャドーイング現象を更に抑えると共に、上記ブロック分れを更に減少できる。

【図面の簡単な説明】

【図 1】 この発明のアクティブマトリクス型液晶表示装置におけるアクティブマトリクス基板の平面図である。

【図 2】 図 1 における A - A' 矢視断面図である。

【図 3】 図 1 における B - B' 矢視断面図である。

【図 4】 図 1 とは異なるアクティブマトリクス基板の平面図である。

【図 5】 図 4 における C - C' 矢視断面図である。

【図 6】 図 4 における D - D' 矢視断面図である。

【図 7】 図 1 および図 4 とは異なるアクティブマトリクス基板の平面図である。

【図 8】 図 7 における E - E' 矢視断面図である。

【図 9】 図 7 における F - F' 矢視断面図である。

【図 10】 図 1、図 4 および図 7 とは異なるアクティブマトリクス基板の平面図である。

【図 11】 図 10 における G - G' 矢視断面図である。

【図 12】 図 10 における H - H' 矢視断面図である。

【図 13】 一般的なアクティブマトリクス型液晶表示装置における平面図である。

【図 14】 図 13 に示すアクティブマトリクス型液晶表示装置の 1 画素部分の断面図である。

【図 15】 図 13 に示すアクティブマトリクス型液晶表示装置の 1 画素部分の平面図である。

【図 16】 画素電極を信号配線上に重ねた従来のアクティブマトリクス型液晶表示装置の断面図である。

【図 17】 図 16 におけるアクティブマトリクス基板の平面図である。

【図 18】 図 17 に示すアクティブマトリクス基板の等価回路図である。

【図 19】 画素電極のアライメントずれの説明図である。

【図 20】 画素電極のアライメントずれと画素電極/隣接信号配線間の静電容量との関

10

20

30

40

50

係を示す図である。

【図 2 1】 隣接画素電極夫々の側縁の略 1/2 ずつを信号配線上に重ねた従来のアクティブマトリクス型液晶表示装置の断面図である。

【図 2 2】 図 2 1 におけるアクティブマトリクス基板の平面図である。

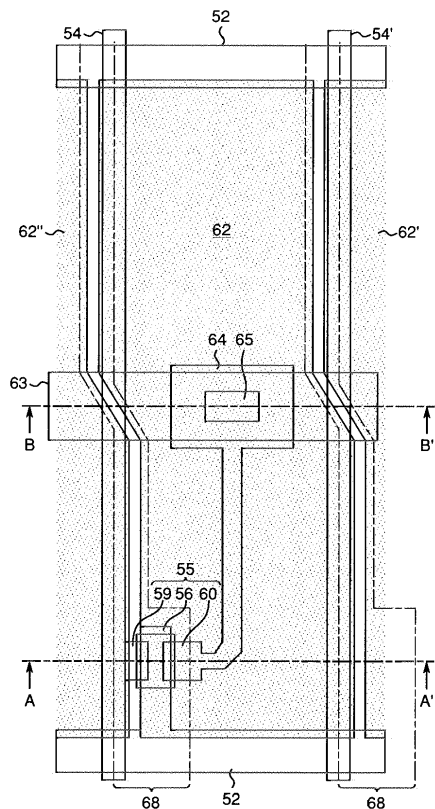
【符号の説明】

5 1, 7 1, 1 0 1, 1 2 1 ... アクティブマトリクス基板、  
 5 2, 7 2, 1 0 2, 1 2 2 ... ゲート配線(走査配線)、  
 5 4, 5 4', 7 4, 1 0 4, 1 2 4 ... ソース配線(信号配線)、  
 5 5, 7 5, 1 0 5, 1 2 5 ... T F T、  
 6 0, 8 0 ... ドレイン電極、  
 6 1, 8 1, 1 0 6, 1 2 6 ... 層間絶縁膜、  
 6 2, 6 2', 6 2'', 8 2, 1 0 7, 1 2 7 ... 画素電極、  
 6 3, 8 3, 1 0 8, 1 2 8 ... 補助容量配線、  
 6 4, 8 4, 1 0 9, 1 2 9 ... 補助容量電極、  
 6 5, 8 5, 1 1 0, 1 3 0 ... コンタクトホール、  
 6 6, 8 6, 1 1 1, 1 3 1 ... 対向基板、  
 6 7, 8 7, 1 1 2, 1 3 2 ... カラーフィルタ、  
 6 8, 8 8, 1 1 3, 1 3 3 ... ブラックマトリクス、  
 6 9, 8 9, 1 1 4, 1 3 4 ... 対向電極、  
 7 0, 9 0, 1 1 5, 1 3 5 ... 液晶層、  
 9 1 ... 電極部、  
 1 3 6 ... 遮光膜。

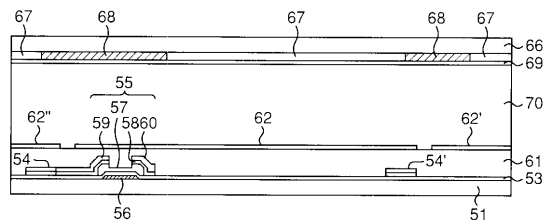
10

20

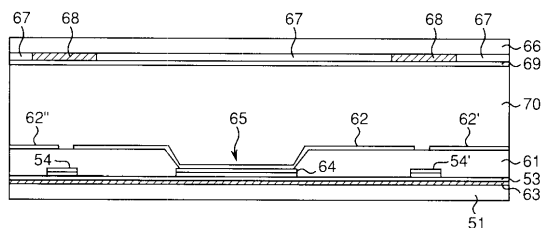
【図 1】



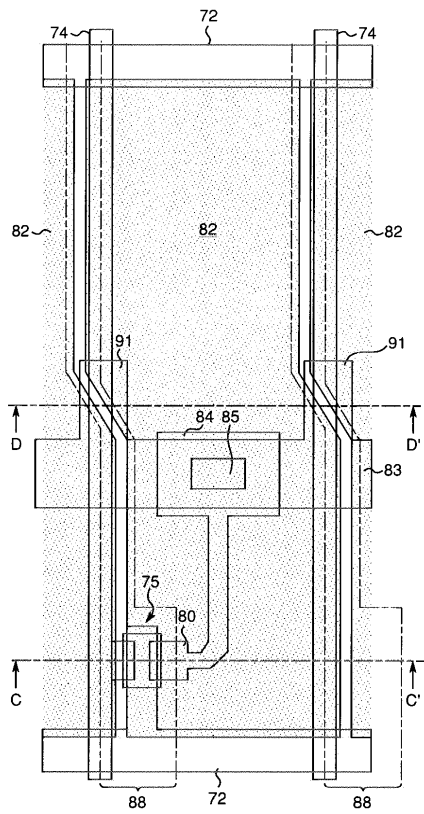
【図 2】



【図 3】

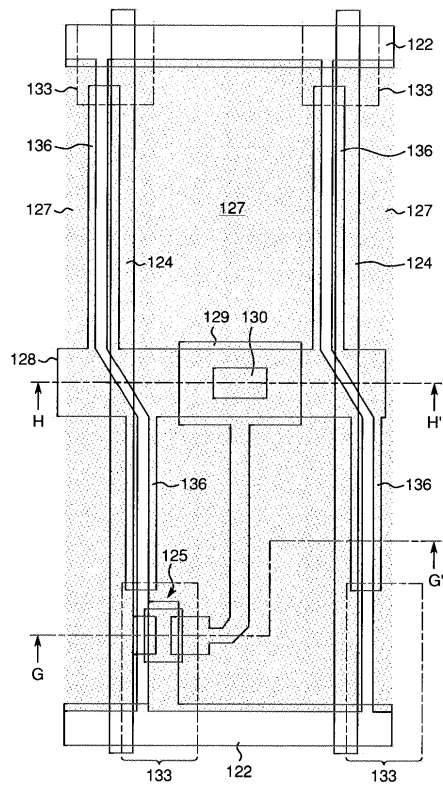


【図 4】

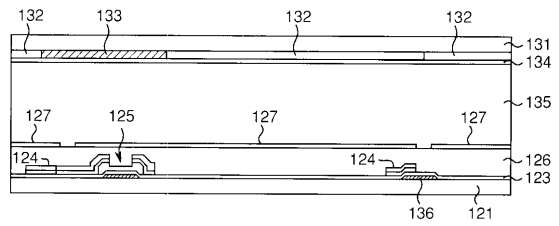


【

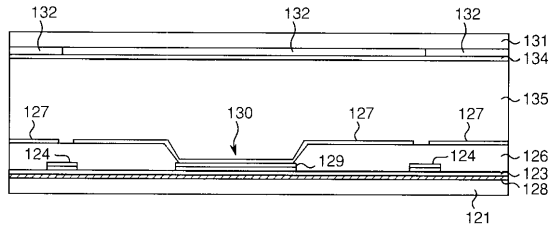
【図 10】



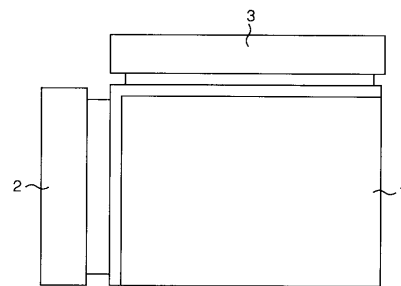
【図 11】



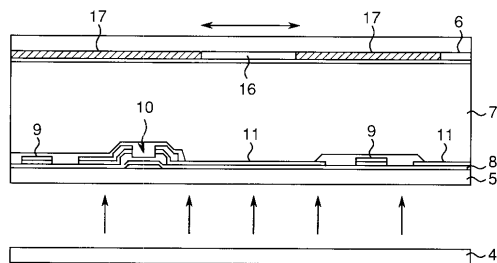
【図 12】



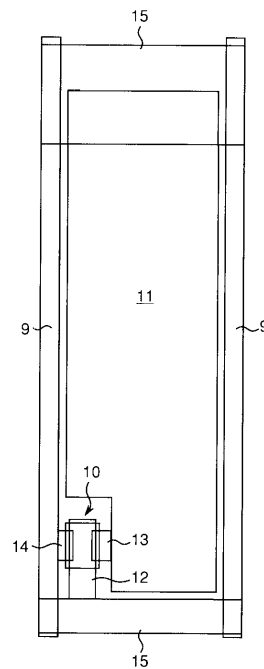
【図 13】



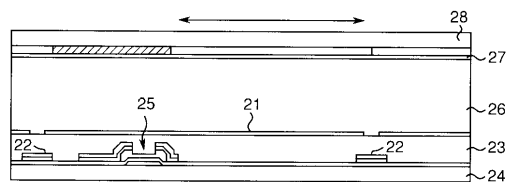
【図 14】



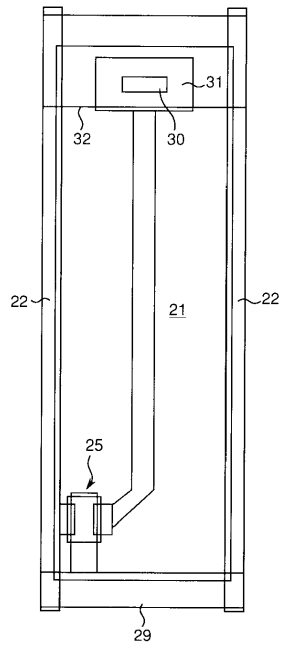
【図 15】



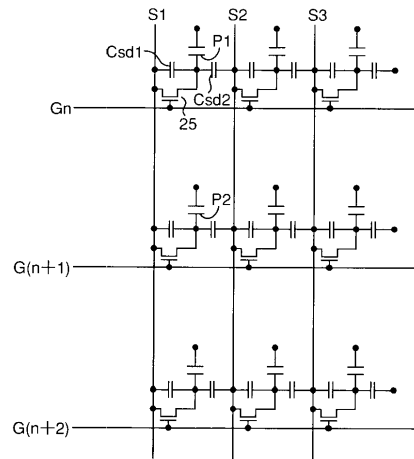
【図 16】



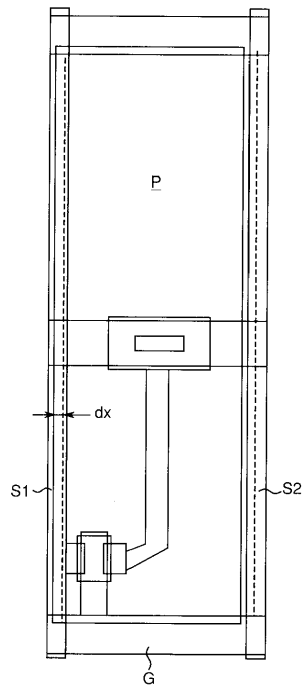
【図 17】



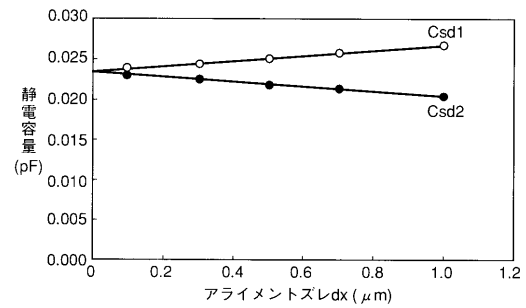
【図 18】



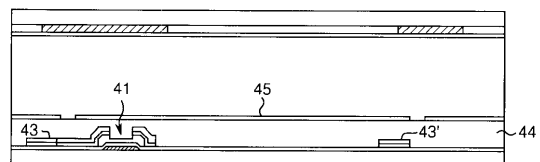
【図 19】



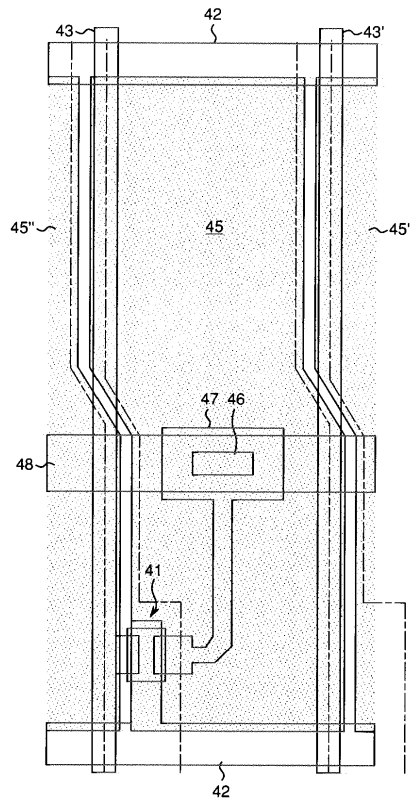
【図 20】



【図 21】



【図 22】



---

フロントページの続き

(56)参考文献 特開平 0 8 - 0 6 2 5 8 2 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

G02F 1/1368

G02F 1/1343

G09F 9/30

H01L 29/786

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
|----------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 有源矩阵型液晶显示装置                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 公开(公告)号        | <a href="#">JP4065645B2</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | 公开(公告)日 | 2008-03-26 |
| 申请号            | JP2000094330                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | 申请日     | 2000-03-30 |
| [标]申请(专利权)人(译) | 夏普株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| 申请(专利权)人(译)    | 夏普公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| 当前申请(专利权)人(译)  | 夏普公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| [标]发明人         | 冈田美広<br>伴厚志                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |
| 发明人            | 冈田 美広<br>伴 厚志                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| IPC分类号         | G02F1/1368 G02F1/1343 G09F9/30 H01L29/786 G02F1/136                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |         |            |
| FI分类号          | G02F1/1368 G02F1/1343 G09F9/30.338 G09F9/30.339.Z H01L29/78.612.C G02F1/136.500                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| F-TERM分类号      | 2H092/JA26 2H092/JB05 2H092/JB23 2H092/JB32 2H092/JB52 2H092/JB56 2H092/JB64 2H092/JB66 2H092/JB69 2H092/KB25 2H092/MA14 2H092/MA16 2H092/NA07 2H092/NA23 2H092/PA08 2H092/PA09 2H192/AA24 2H192/BA13 2H192/BC42 2H192/CB05 2H192/CC55 2H192/CC66 2H192/DA12 2H192/DA13 2H192/DA15 2H192/DA43 2H192/DA74 2H192/EA17 2H192/EA22 2H192/EA28 2H192/EA43 2H192/GA03 5C094/AA02 5C094/AA12 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA14 5C094/DA15 5C094/EA04 5C094/EA07 5C094/EA10 5C094/EB02 5C094/ED03 5C094/ED15 5C094/FB12 5C094/FB15 5F110/AA30 5F110/BB01 5F110/CC07 5F110/DD02 5F110/EE03 5F110/EE04 5F110/GG02 5F110/GG15 5F110/GG24 5F110/GG25 5F110/GG44 5F110/NN04 5F110/NN46 5F110/NN72 5F110/NN73 |         |            |
| 代理人(译)         | 山崎 宏                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |         |            |
| 其他公开文献         | JP2001281696A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                            |         |            |

#### 摘要(译)

要解决的问题：抑制由于信号布线和像素电极之间的静电电容变化引起的块分离。 解决方案：像素电极62在将两侧边缘一分为二的位置处在存储电容布线63的位置处弯曲。源极线54的比辅助电容线63更靠近TFT 55的部分被像素电极62“覆盖”，而与TFT 55相对的部分被像素电极62覆盖。因此，像素电极62的弯曲部分被辅助。通过定位电容器线63，减小了弯曲部分中的像素电极62和源极布线54之间的耦合电容。结果，当发生未对准，像素电极62和弯曲部分中的源极线。耦合容量随54的变化量减小，并且抑制了块偏差。

【 図 1 】

