

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3901902号
(P3901902)

(45) 発行日 平成19年4月4日(2007.4.4)

(24) 登録日 平成19年1月12日(2007.1.12)

(51) Int.CI.

F 1

G02F	1/1362	(2006.01)	G02F	1/1362	
G09F	9/00	(2006.01)	G09F	9/00	348A
G02F	1/1343	(2006.01)	G09F	9/00	338
H01L	29/786	(2006.01)	G09F	9/00	339Z
			G02F	1/1343	

請求項の数 3 (全 8 頁) 最終頁に続く

(21) 出願番号 特願2000-31978 (P2000-31978)
 (22) 出願日 平成12年2月9日 (2000.2.9)
 (62) 分割の表示 特願平8-185638の分割
 原出願日 平成8年6月25日 (1996.6.25)
 (65) 公開番号 特開2000-206896 (P2000-206896A)
 (43) 公開日 平成12年7月28日 (2000.7.28)
 (54) 審査請求日 平成15年6月25日 (2003.6.25)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 張 宏勇
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山口 直明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 竹村 保彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内

審査官 吉野 公夫

最終頁に続く

(54) 【発明の名称】 液晶表示装置

(57) 【特許請求の範囲】

【請求項1】

絶縁表面を有する基板上に、複数のゲートバスラインと、複数のソースバスラインと、前記複数のゲートバスライン及び前記複数のソースバスラインから信号が入力される複数の画素とを有し、

前記複数の画素それぞれは薄膜トランジスタと、

前記薄膜トランジスタ、前記複数のゲートバスライン及び前記複数のソースバスラインの上方に形成された平坦な第一の絶縁層と、

前記第一の絶縁層上に形成された導電膜と、

前記導電膜上に形成された平坦な第二の絶縁層と、

前記第二の絶縁層上に形成され、前記導電膜と重なる画素電極とを有し、

前記複数の画素において隣り合う画素が有する前記画素電極の境界部は、前記複数のゲートバスライン及び前記複数のソースバスラインの上方にあり、

前記導電膜は、一定の電位が与えられ、前記複数のゲートバスライン及び前記複数のソースバスラインと前記画素電極との間に設けられていることを特徴とする液晶表示装置。

【請求項2】

請求項1において、

前記薄膜トランジスタのドレインは、前記画素電極と接続されていることを特徴とする液晶表示装置。

【請求項3】

10

20

請求項 1 または請求項 2 において、

前記導電膜は、透明導電性被膜よりなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

本明細書で開示する発明は、アクティブマトリクス型の液晶表示装置の画素領域の構成に関し、特に、画素電極と並列に接続される補助容量の構成、および、隣接する画素との境界部における光の漏れを防止するためのブラックマトリクスの構成に関する。

【0002】

【従来の技術】

アクティブマトリクス回路を有する液晶表示装置が知られている。これは、画像データを伝達するための複数のソースバスラインと、それに交差するように配置され、スイッチング信号を伝達するための複数のゲイトバスラインと、それらの交差部に設けられた複数の画素を有する構造のもので、スイッチング素子としては通常、トランジスタ（特に薄膜トランジスタ）が用いられる。

【0003】

画素は、スイッチングのためのトランジスタのみならず、画素電極をも有し、トランジスタのゲイト電極をゲイトバスラインに、ソースをソースバスラインにドレインを画素電極に接続した構造となる。なお、トランジスタの動作上はソース、ドレインの区別は定常のものではなく、通常の電気回路的な定義からすると信号によって変動するものであるが、以下の記述では、トランジスタに設けられた不純物領域のうち、単にソースバスラインに接続する方をソース、画素電極に接続する方をドレインと称する。

【0004】

各画素にはトランジスタを一つ以上有する。特に2つ以上のトランジスタを直列に接続したものではトランジスタが非選択状態でもリーク電流が低減できるので有効である。このような場合でも上記の定義を適用し、ソースバスライン、画素電極のいずれにも接続しない不純物領域は特に定義しないものとする。

【0005】

画素電極は液晶を挟んで対向する電極との間で容量（キャパシタ）を形成している。上記のトランジスタは、この容量に電荷を出し入れするスイッチング素子として機能する。
しかし、実際の動作においては、この画素電極部分のみでは、容量が値が小さすぎ、十分な時間、必要な電荷を保持できない。そのため、別に補助の容量を設ける必要がある。

【0006】

従来は、この補助容量（保持容量ともいう）を金属等の不透明な導電材料を別に設け、これと、画素電極もしくは半導体層との間とで容量を形成していた。通常は、次行のゲイトバスラインが対向電極として用いられた。しかし、画素面積が大きい場合にはゲイトバスラインを用いて形成された容量でも十分であったが、画素面積が小さくなると、本来のゲイトバスラインのみでは容量が不十分となり、補助容量の電極の面積を確保するためにゲイトバスラインを必要以上に拡げることが要求された。このような構造では、画素内に光を遮蔽する部分が存在することとなるので、開口率が低下してしまう。

【0007】

【発明が解決しようとする課題】

本明細書で開示する発明は、画素の開口率を下げずに、補助容量を大きくする構成を提供することを課題とする。加えて、隣接する画素との境界部で発生する光の漏れを解決するためのブラックマトリクスの構成をも提供することを課題とする。

【0008】

【課題を解決するための手段】

本明細書で開示する発明は、

画素は、第1の透明導電性被膜よりなる画素電極を有し、

前記画素電極は前記ゲイトバスラインおよびソースバスラインと重なり、

10

20

30

40

50

前記ゲイトバスラインおよびソースバスラインと、前記画素電極の間には、前記ゲイトバスラインおよびソースバスラインを覆って、第2の透明導電性被膜によりなるコモン電極の層が設けられ、

該コモン電極は一定の電位に保持されることを特徴とする。

【0009】

すなわち、コモン電極はバスラインを覆うように配置し、かつ、画素電極はバスラインと重なるように配置される。したがって、コモン電極と画素電極は重なることとなり、この重なりによって補助容量が得られる。しかも、従来の補助容量では、少なくともその一方の電極を不透明な材料で構成していたのに対し、本発明ではいずれの電極も透明な材料で構成されるので、表示を妨げる要因とならず、開口率は維持される。

10

【0010】

上記の構成においては、画素電極をソースバスラインおよびゲイトバスラインと重ね、かつ、画素電極の境界をソースバスラインおよびゲイトバスライン上に設けることにより、ソースバスラインおよびゲイトバスラインをブラックマトリクスとすることができる。一般に液晶表示装置においては画素電極の境界部では隣接する電極の電界の影響を受けるため、当該画素の表示せんとする映像とは異なる映像が生じたり、あるいは電界の空白のため光の漏れが生じたりする。

【0011】

したがって、このような画素電極の境界部は表示に用いることは適当でなく、通常はこの部分をブラックマトリクスによって遮光する構造とする。従来はブラックマトリクスを別の層によって構成することが要求された。例えば、特開平6-216421等でもバスラインをブラックマトリクスとして使用することが提唱されている。しかし、実際にはバスラインの信号が画素電極に影響することにより表示が不安定となる。

20

【0012】

本発明においてはこの問題は解決される。すなわち、バスラインと画素電極の間には、コモン電極が存在するため、バスラインの信号はコモン電極によって遮蔽され、画素電極に影響しないからである。

なお、スイッチングトランジスタとして、トップゲイト型（ゲイト電極が半導体層の上にある構造のトランジスタ）を用いる場合には、主たる光の入射を基板上方、すなわち、画素電極側からおこなうと、ゲイト電極下の半導体層に光が入射することを防止でき、トランジスタの動作を安定にする上で有効である。

30

半導体層とゲイトバスラインの交差する部分において、ゲイトバスラインの上層に、ソースバスラインと同一の層の材料による被膜を設けると、より遮光の効果が高まり、さらに動作を安定にすることができる。

【0013】

コモン電極と画素電極の間の絶縁材料としては、無機材料（たとえば、酸化珪素、窒化珪素）以外に、有機樹脂を用いてもよい。特に、スピンドルコーティング法等によって平坦な絶縁層を形成すると、表面の凹凸を低減し、液晶分子に印加される電界を均一にする上で効果的である。

本明細書に開示する発明における透明導電性被膜としては、ITO（インディウム錫酸化物）の他にSnO₂、さらにはそれらの材料を主成分とする材料を用いることができる。

40

【0014】

【実施例】

〔実施例1〕 図1及び図2に本明細書で開示する発明を利用したアクティブマトリクス型の液晶表示装置の画素の構成を示す。図1に本実施例の作製工程断面図の概略を、また、図2に本実施例の各バスライン、コモン電極、画素電極、半導体層等の配置を示す。図2の番号は図1のものと対応する。なお、図1は概念的なものであり、図2の配置とは厳密には同一ではない。

【0015】

また、図1及び図2に示されているのは、薄膜トランジスタが配置された基板側の構成の

50

みであり、実際には、対向する基板（対向基板）も存在し、対向基板と図1に示す基板との間に液晶が数 μm の間隔を有して保持される。

以下、図1にしたがって、作製工程を説明する。図1(A)に示すように、下地の酸化珪素膜（図示せず）の設けられたガラス基板11上にはトランジスタの半導体層（活性層）12が設けられる。

【0016】

活性層12は、非晶質珪素膜を加熱またはレーザー光の照射によって、結晶化させた結晶性珪素膜で構成される。活性層12を覆って、ゲイト絶縁膜13が形成される。ゲイト絶縁膜13の材料としては、酸化珪素もしくは窒化珪素が好ましく、例えば、プラズマCVD法によって形成された酸化珪素膜を用いればよい。ゲイト絶縁膜上には、公知のスパッタ法によりアルミニウム-チタン合金によってゲイトバスライン（ゲイト電極）14が形成される。（図1(A)）

この状態での回路の配置を図2(A)に示す。（図2(A)）

【0017】

次にゲイトバスラインをマスクとして公知のイオンドーピング法によって活性層にN型もしくはP型の不純物を導入し、ソース15、ドレイン16を形成する。不純物導入後、必要によっては、熱アニールもしくはレーザーアニール等によって不純物の活性化（半導体膜の再結晶化）をおこなってもよい。

以上の工程の後、窒化珪素膜（もしくは酸化珪素膜）17をプラズマCVD法で堆積する。これは第1の層間絶縁物として機能する。（図1(B)）

【0018】

次に、第1の層間絶縁物17にソース15およびドレイン16に達するコンタクトホールを形成する。そして、公知のスパッタ法によりチタンとアルミニウムの多層膜を形成し、これをエッチングして、ソースバスライン18およびドレイン電極19を形成する。

以上の工程の後、窒化珪素膜（もしくは酸化珪素膜）20をプラズマCVD法で堆積する。これは第2の層間絶縁物として機能する。（図1(C)）

この状態での回路の配置を図2(B)に示す。（図2(B)）

【0019】

次にスピノコーティング法により第1の有機樹脂層21を形成する。有機樹脂層の上面は平坦に形成される。そして、公知のスパッタ法により、ITO膜を形成し、これをエッチングして、コモン電極22を形成する。（図1(D)）

この状態での回路の配置を図2(C)に示す。なお、図においてはコモン電極の位置を分かりやすくするため、網掛けで示す。図からわかるように、コモン電極はソースバスラインとゲイトバスラインを覆うように形成される。（図2(C)）

【0020】

さらに、スピノコーティング法により第2の有機樹脂層23を形成する。そして、公知のスパッタ法により、ITO膜を形成し、これをエッチングして、画素電極24aおよび24bを形成する。画素電極24bは当該トランジスタの画素電極であり、画素電極24aは隣接する画素電極である。画素電極24aおよび24bがコモン電極22と重なる部分には、容量25aおよび25bが、それぞれ形成される。（図1(E)）

【0021】

この状態での回路の配置を図2(D)に示す。なお、図においては画素電極および画素電極とコモン電極の重なりの部分（すなわち、容量の存在する部分）の位置を分かりやすくするため、網掛けで示す。図からわかるように、画素電極はソースバスラインとゲイトバスラインに重なるように形成される。この結果、画素電極の境界部は全てバスライン上に存在し、バスラインがブラックマトリクスとして機能する。（図2(D)）

【0022】

〔実施例2〕 図3及び図4に本明細書で開示する発明を利用したアクティブマトリクス型の液晶表示装置の画素の構成を示す。図3に本実施例の作製工程断面図の概略を、また、図4に本実施例の各バスライン、コモン電極、画素電極、半導体層等の配置を示す。図

10

20

30

40

50

4の番号は図3のものと対応する。なお、図3は概念的なものであり、図4の配置とは厳密には同一ではない。

【0023】

図1(A)に示すように、下地の酸化珪素膜(図示せず)の設けられたガラス基板31上にトランジスタの半導体層(活性層)32が設けられる。活性層32を覆って、ゲイト絶縁膜33が形成される。ゲイト絶縁膜上には、アルミニウム・チタン合金によってゲイトバスライン(ゲイト電極)34が形成される。(図3(A))

【0024】

この状態での回路の配置を図4(A)に示す。実施例1の場合とは異なって、本実施例ではトランジスタのゲイト電極部分のゲイトバスラインの幅の狭い形状とする。(図4(A))

10

次にN型もしくはP型の不純物を導入し、ソース35、ドレイン36を形成する。以上の工程の後、窒化珪素膜(もしくは酸化珪素膜)の第1の層間絶縁物37を堆積する。(図3(B))

【0025】

次に、第1の層間絶縁物37にソース35およびドレイン36に達するコンタクトホールを形成する。そして、ソースバスライン38およびドレイン電極39、さらに、保護膜40を形成する。以上の工程の後、窒化珪素膜(もしくは酸化珪素膜)の第2の層間絶縁物41を堆積する。(図3(C))

この状態での回路の配置を図4(B)に示す。保護膜40はソースバスライン38およびドレイン電極39、その他の配線・電極と絶縁された浮遊電位とする。このような保護膜40は上方よりトランジスタに入射する光を遮る上で効果がある。(図4(B))

20

【0026】

次にITO膜によりコモン電極42を形成する。さらに、有機樹脂層43を形成する。(図3(D))

この状態での回路の配置を図4(C)に示す。なお、図においてはコモン電極の位置を分かれやすくするため、網掛けで示す。図からわかるように、コモン電極はソースバスラインとゲイトバスラインを覆うように形成される。なお、厳密には保護膜40はコモン電極により覆われる必要はない。なぜならば、保護膜は浮遊電位であるので、保護膜が画素電極に何らかの影響を及ぼす可能性は小さいからである。しかしながら、本実施例では図に示すように、保護膜40もコモン電極42で覆う。(図4(C))

30

【0027】

そして、ITO膜により画素電極44aおよび44bを形成する。画素電極44bは当該トランジスタの画素電極であり、画素電極44aは隣接する画素電極である。画素電極44aおよび44bがコモン電極42と重なる部分には、容量45aおよび45bが、それぞれ形成される。(図3(E))

この状態での回路の配置を図4(D)に示す。なお、図においては画素電極および画素電極とコモン電極の重なりの部分(すなわち、容量の存在する部分)の位置を分かれやすくするため、網掛けで示す。図からわかるように、画素電極はソースバスラインとゲイトバスラインに重なるように形成される。この結果、画素電極の境界部は全てバスライン上に存在し、バスラインがブラックマトリクスとして機能する。(図4(D))

40

【0028】

【発明の効果】

補助容量を構成する画素電極に対向する電極を透明導電膜で構成することにより、開溝率の低下を招かずに補助容量を大きなものとすることができます。加えて、ソースバスラインおよびゲイトバスラインをブラックマトリクスとしても機能させることができます。特に本発明は、画素が小さい場合で、なかでも、デザインルールを維持した状態で開口率を向上させる上で効果的である。このように本発明は工業上、有益である。

【図面の簡単な説明】

【図1】 本発明の1実施例の作製工程断面図を示す。(実施例1)

50

【図2】 実施例1の配線等の配置を示す。

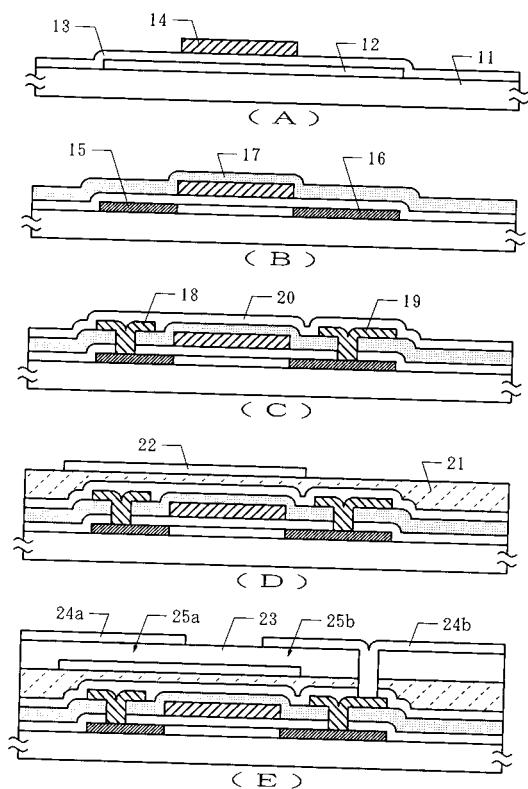
【図3】 本発明の1実施例の作製工程断面図を示す。(実施例2)

【図4】 実施例2の配線等の配置を示す。

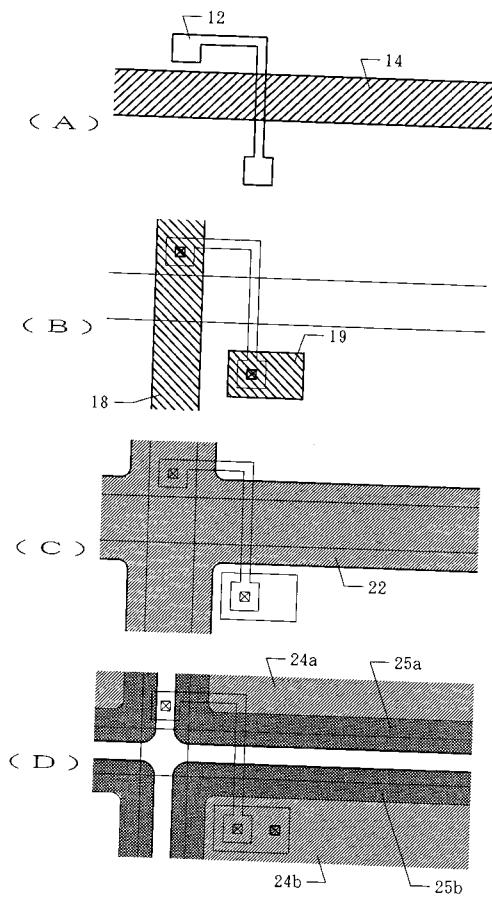
【符号の説明】

1 1、 3 1	ガラス基板	
1 2、 3 2	活性層	
1 3、 3 3	ゲイト絶縁膜	
1 4、 3 4	ゲイトバスライン(ゲイト電極)	10
1 5、 3 5	ソース	
1 6、 3 6	ドレイン	
1 7、 3 7	第1の層間絶縁物	
1 8、 3 8	ソースバスライン	
1 9、 3 9	ドレイン電極	
2 0、 4 1	第2の層間絶縁物	
2 1、 4 3	(第1の)有機樹脂層	
2 2、 4 2	コモン電極	
2 3	第2の有機樹脂層	
2 4、 4 4	画素電極	
2 5、 4 5	補助容量	
4 0	保護膜	20

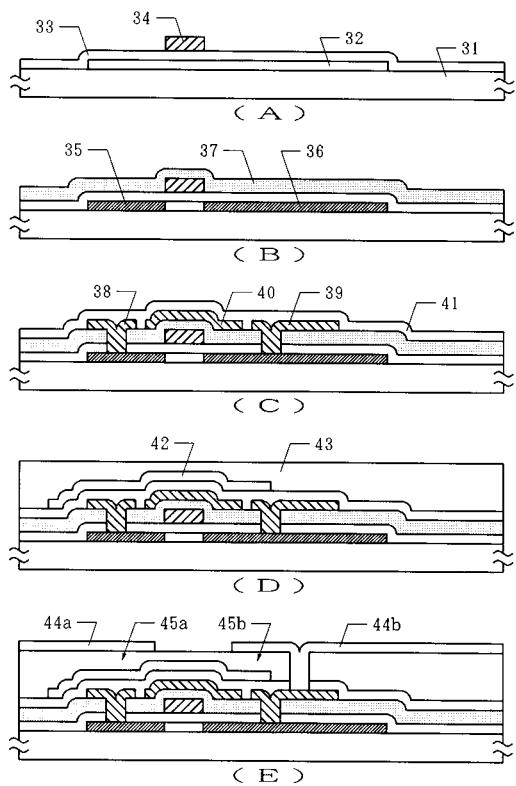
【図1】



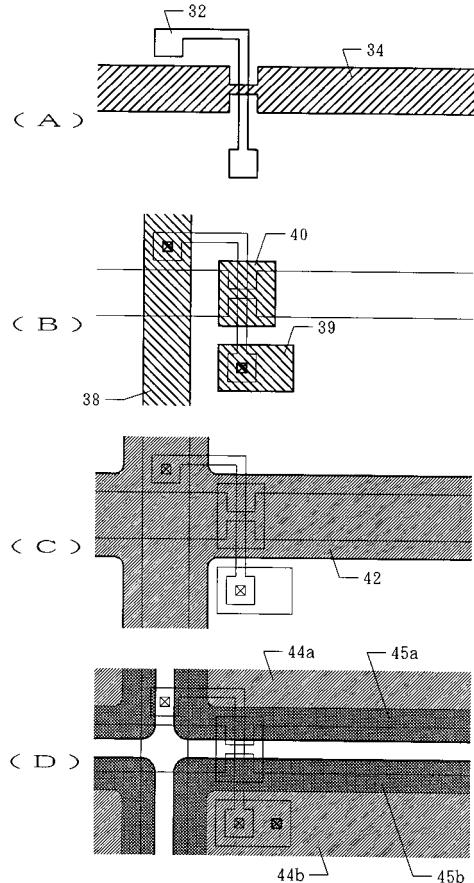
【図2】



【図3】



【図4】



フロントページの続き

(51)Int.Cl.

F I

H 01 L 29/78 619 A

- (56)参考文献 特開平03-288824(JP,A)
特開平02-245742(JP,A)
特開平07-199222(JP,A)
特開平10-010579(JP,A)
特開平08-160454(JP,A)
特開平04-326330(JP,A)
特開平07-333634(JP,A)
特開平06-242433(JP,A)
特開平09-050044(JP,A)
特開平09-043640(JP,A)
特開平09-043639(JP,A)
特開平09-043629(JP,A)
特開平09-043616(JP,A)
特開平10-170961(JP,A)
特開平09-318972(JP,A)
特開平09-236825(JP,A)
特開平09-197390(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1368

G02F 1/1343

专利名称(译)	液晶表示装置		
公开(公告)号	JP3901902B2	公开(公告)日	2007-04-04
申请号	JP2000031978	申请日	2000-02-09
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
当前申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	張宏勇 山口直明 竹村保彦		
发明人	張 宏勇 山口 直明 竹村 保彦		
IPC分类号	G02F1/1362 G09F9/00 G02F1/1343 H01L29/786 G02B5/00 G02F1/136 G02F1/1368		
CPC分类号	G02F1/136286 G02F1/136209 G02F1/136213 G02F1/136227 G02F2201/121 G02F2201/40		
F1分类号	G02F1/1362 G09F9/00.348.A G09F9/00.338 G09F9/00.339.Z G02F1/1343 H01L29/78.619.A G02F1/136.500 G02F1/1368		
F-Term分类号	2H092/HA04 2H092/JA25 2H092/JA36 2H092/JA46 2H092/JB16 2H092/JB52 2H092/JB62 2H092/KA04 2H092/KA18 2H092/KB22 2H092/KB25 2H092/MA05 2H092/MA08 2H092/MA27 2H092/MA30 2H092/NA01 2H092/NA07 2H192/AA24 2H192/BC31 2H192/CB02 2H192/CB46 2H192/CC04 2H192/CC72 2H192/DA74 2H192/EA04 2H192/EA67 2H192/EA74 2H192/GA03 5F110/AA30 5F110/BB01 5F110/CC02 5F110/DD02 5F110/DD13 5F110/EE06 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF30 5F110/GG02 5F110/GG13 5F110/HJ12 5F110/HJ23 5F110/HL03 5F110/HL04 5F110/HL11 5F110/HL23 5F110>NN03 5F110>NN23 5F110>NN24 5F110>NN35 5F110>NN72 5F110>NN73 5F110/PP03 5F110/QQ11 5G435/AA00 5G435/BB12 5G435/EE33 5G435/HH12 5G435/HH13 5G435/HH14 5G435/KK05		
其他公开文献	JP2000206896A5 JP2000206896A		
外部链接	Espacenet		

摘要(译)

要解决的问题：通过形成薄膜晶体管（第一组织），在不降低像素孔径率的情况下增加辅助电容。在薄膜晶体管上方形成树脂膜，在第一组织上形成导电膜。树脂薄膜和第二个组织。导电薄膜上的树脂薄膜。解决方案：该器件具有在基板上形成的薄膜晶体管，第一组织。在导电膜上形成树脂膜。在该装置中，像素包括由第一透明导电涂层构成的像素电极24a，24b，像素电极24a，24b与栅极总线14和源极总线18重叠。公共电极22由第二透明导电涂层构成。在像素电极24a，24b与栅极总线14和源极总线18之间形成透明导电膜，以覆盖栅极总线14和源极总线18，并且公共电极22保持在常数。潜在。

