

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3743505号

(P3743505)

(45) 発行日 平成18年2月8日(2006.2.8)

(24) 登録日 平成17年11月25日(2005.11.25)

|                             |                |
|-----------------------------|----------------|
| (51) Int.Cl.                | F I            |
| <b>G09G 3/36 (2006.01)</b>  | G09G 3/36      |
| <b>G02F 1/133 (2006.01)</b> | G02F 1/133 505 |
| <b>G09G 3/20 (2006.01)</b>  | G09G 3/20 611F |
| <b>G09G 3/30 (2006.01)</b>  | G09G 3/20 612D |
|                             | G09G 3/20 621L |
| 請求項の数 5 (全 23 頁) 最終頁に続く     |                |

|           |                               |           |                               |
|-----------|-------------------------------|-----------|-------------------------------|
| (21) 出願番号 | 特願2001-181678 (P2001-181678)  | (73) 特許権者 | 000002369                     |
| (22) 出願日  | 平成13年6月15日(2001.6.15)         |           | セイコーエプソン株式会社                  |
| (65) 公開番号 | 特開2002-372957 (P2002-372957A) |           | 東京都新宿区西新宿2丁目4番1号              |
| (43) 公開日  | 平成14年12月26日(2002.12.26)       | (74) 代理人  | 100090479                     |
| 審査請求日     | 平成16年1月15日(2004.1.15)         |           | 弁理士 井上 一                      |
|           |                               | (74) 代理人  | 100090387                     |
|           |                               |           | 弁理士 布施 行夫                     |
|           |                               | (74) 代理人  | 100090398                     |
|           |                               |           | 弁理士 大淵 美千栄                    |
|           |                               | (72) 発明者  | 森田 晶                          |
|           |                               |           | 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 |
|           |                               | 審査官       | 橋本 直明                         |
|           |                               | 最終頁に続く    |                               |

(54) 【発明の名称】 ライン駆動回路、電気光学装置及び表示装置

(57) 【特許請求の範囲】

## 【請求項1】

互いに交差する複数の第1のライン及び複数の第2のラインにより特定される画素を有する電気光学装置の第1のラインを駆動するライン駆動回路であって、

電気光学装置を表示制御する表示コントローラから、第2のラインを駆動する第2のライン駆動回路に供給されるべき信号が入力される入力端子と、

複数のセレクトラインと、

前記入力端子に供給された低耐圧系の電圧を、低耐圧系の電圧のまま前記複数のセレクトラインのうちいずれか1つの第1のセレクトラインに供給するための第1の入力バッファ回路と、

前記入力端子に供給された高耐圧系の電圧を、低耐圧系の電圧に変換して前記第1のセレクトラインに供給するための第2の入力バッファ回路と、

所与の第1の選択信号に基づき、前記第1又は第2の入力バッファ回路の出力と前記第1のセレクトラインとを、接続するための第1のセレクト回路と、

前記第1のセレクトラインに供給された信号を、前記第2のライン駆動回路に出力するための出力端子と、

前記第1のセレクトラインの電圧を、低耐圧系の電圧に変換して前記出力端子に供給するための第1の出力バッファ回路と、

前記第1のセレクトラインの電圧を、高耐圧系の電圧に変換して前記出力端子に供給するための第2の出力バッファ回路と、

所与の第2の選択信号に基づき、前記第1又は第2の出力バッファ回路の入力と前記第1のセクタラインとを、接続するための第2のセクタ回路と、  
を含み、

前記第1及び第2の出力バッファ回路と前記第1及び第2の入力バッファ回路のいずれか1つのバッファ回路を動作状態にし、他のバッファ回路を非動作状態にする排他的動作制御が行われることを特徴とするライン駆動回路。

【請求項2】

互いに交差する複数の第1のライン及び複数の第2のラインにより特定される画素を有する電気光学装置の第1のラインを駆動するライン駆動回路であって、

電気光学装置を表示制御する表示コントローラから、電源回路に供給されるべき信号が  
10 入力される入力端子と、

複数のセクタラインと、

前記入力端子に供給された低耐圧系の電圧を、低耐圧系の電圧のまま前記複数のセクタラインのうちいずれか1つの第1のセクタラインに供給するための第1の入力バッファ回路と、

前記入力端子に供給された高耐圧系の電圧を、低耐圧系の電圧に変換して前記第1のセクタラインに供給するための第2の入力バッファ回路と、

所与の第1の選択信号に基づき、前記第1又は第2の入力バッファ回路の出力と前記第1のセクタラインとを、接続するための第1のセクタ回路と、

前記第1のセクタラインに供給された信号を、前記電源回路に出力するための出力端  
20 子と、

前記第1のセクタラインの電圧を、低耐圧系の電圧に変換して前記出力端子に供給するための第1の出力バッファ回路と、

前記第1のセクタラインの電圧を、高耐圧系の電圧に変換して前記出力端子に供給するための第2の出力バッファ回路と、

所与の第2の選択信号に基づき、前記第1又は第2の出力バッファ回路の入力と前記第1のセクタラインとを、接続するための第2のセクタ回路と、

を含み、

前記第1及び第2の出力バッファ回路と前記第1及び第2の入力バッファ回路のいずれか1つのバッファ回路を動作状態にし、他のバッファ回路を非動作状態にする排他的動作  
30 制御が行われることを特徴とするライン駆動回路。

【請求項3】

請求項1又は2において、

前記第1のラインは、画像データに基づく電圧が供給される信号ラインであることを特徴とするライン駆動回路。

【請求項4】

互いに交差する複数の第1のライン及び複数の第2のラインにより特定される画素と、

請求項1乃至3のいずれか記載のライン駆動回路と、

前記第2のラインを駆動する第2のライン駆動回路と、

を含むことを特徴とする電気光学装置。  
40

【請求項5】

互いに交差する複数の第1のライン及び複数の第2のラインにより特定される画素を有する電気光学装置と、

請求項1乃至3のいずれか記載のライン駆動回路と、

前記第2のラインを駆動する第2のライン駆動回路と、

を含むことを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ライン駆動回路、これを用いた電気光学装置、表示装置に関する。

## 【0002】

## 【背景技術及び発明が解決しようとする課題】

例えば携帯電話機のような電子機器の表示部には、液晶パネル等の表示パネルが用いられており、電子機器の低消費電力化や小型軽量化等が図られている。この表示パネルについては、近年の携帯電話機の普及によって情報性の高い静止画や動画が配信されるようになると、その高画質化が要求されるようになっている。

## 【0003】

このような電子機器の表示部の高画質化を実現する液晶パネルとして、薄膜トランジスタ（Thin Film Transistor：以下、TFTと略す。）液晶を用いたアクティブマトリクス型液晶パネルが知られている。その他に、有機EL素子を用いた有機ELパネルが知られて

10

## 【0004】

ところが、例えばTFT液晶を用いたアクティブマトリクス型液晶パネルでは、液晶材やTFTのトランジスタ能力に依存して、表示駆動するために高い電圧が必要とされる。そのため、液晶パネル等を表示駆動するドライバ回路（ライン駆動回路）や電源回路は、高耐圧プロセスで製造する必要がある。

## 【0005】

したがって、液晶パネルを表示駆動する場合には、プロセスの微細化が進んでも、微細化による低コスト化のメリットを享受できないという問題がある。

## 【0006】

本発明は以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、プロセスの微細化による低コスト化を効率的に図るライン駆動回路及びこれを用いた電気光学装置、表示装置を提供することにある。

20

## 【0007】

## 【課題を解決するための手段】

上記課題を解決するために本発明は、互いに交差する複数の第1のライン及び複数の第2のラインにより特定される画素を有する電気光学装置の第1のラインを駆動するライン駆動回路であって、電気光学装置を表示制御する表示コントローラから、第2のラインを駆動する第2のライン駆動回路に供給されるべき信号が入力される入力端子と、前記入力端子に入力された信号を所与の電圧にシフトするレベル変換回路と、前記所与の電圧にシフトされた信号を、前記第2のライン駆動回路に出力するための出力端子とを含むことを特徴としている。

30

## 【0008】

ここで電気光学装置としては、例えば互いに交差する第1～第Nの走査ライン及び第1～第Mの信号ラインと、第1～第Nの走査ラインと第1～第Mの信号ラインに接続されたN×Mのスイッチング手段と、スイッチング手段に接続されたN×Mの画素電極とを有するように構成しても良い。また、電気光学装置としては、有機ELパネルであっても良い。

## 【0009】

本発明によれば、第1及び第2のラインにより特定される画素に対して、表示コントローラの制御により、協調して表示駆動を行うライン駆動回路と第2のライン駆動回路のうち、ライン駆動回路において、表示コントローラから第2のライン駆動回路に対して供給されるべき信号を受け、これを所与の電圧にシフトしてから、第2のライン駆動回路に対して供給するようにした。したがって、汎用性が高く、回路構成が複雑な表示コントローラから、表示駆動に必要な高い電圧駆動が必要な第2のライン駆動回路に供給されるべき信号を、回路構成が比較的簡素で、安価なプロセスにより製造されるライン駆動回路で中継させることができる。これにより、表示コントローラは、直接第2のライン駆動回路に信号を供給するために必要とされる高耐圧用のインタフェース回路を設ける必要がなくなり、最先端で、低耐圧の微細プロセスによる微細化に伴う低コスト化を図ることができる。

40

## 【0010】

また本発明は、互いに交差する複数の第1のライン及び複数の第2のラインにより特定さ

50

れる画素を有する電気光学装置の第1のラインを駆動するライン駆動回路であって、電気光学装置を表示制御する表示コントローラから、電源回路に供給されるべき信号が入力される入力端子と、前記入力端子に入力された信号を所与の電圧にシフトするレベル変換回路と、前記所与の電圧にシフトされた信号を、前記電源回路に出力するための出力端子とを含むことを特徴としている。

**【0011】**

ここで電源回路は、高電位側及び低電位側の電圧のみならず、階調電圧のような多値の電圧を供給する機能を有しても良い。

**【0012】**

本発明によれば、第1及び第2のラインにより特定される画素に対して、表示コントローラの制御により、協調して表示駆動を行うライン駆動回路と電源回路のうち、ライン駆動回路において、表示コントローラから電源回路に対して供給されるべき信号を受け、これを所与の電圧にシフトしてから、電源回路に対して供給するようにした。したがって、汎用性が高く、回路構成が複雑な表示コントローラから、表示駆動に必要な高い電圧駆動に必要な電源回路に供給されるべき信号を、回路構成が比較的簡素で、安価なプロセスにより製造されるライン駆動回路で中継させることができる。これにより、表示コントローラは、直接電源回路に信号を供給するために必要とされる高耐圧用のインタフェース回路を設ける必要がなくなり、最先端で、低耐圧の微細プロセスによる微細化に伴う低コスト化を図ることができる。

10

**【0013】**

また本発明は、前記第1のラインは、画像データに基づく電圧が供給される信号ラインであることを特徴としている。

20

**【0014】**

本発明によれば、例えば信号ラインを駆動する信号駆動回路により、上記各回路に供給されるべき信号を中継するようにした。これにより、信号駆動回路を制御する表示コントローラの低コスト化が可能となる。

**【0015】**

また本発明は、複数のセレクトラインと、所与の第1の選択信号に基づき、前記入力端子と前記複数のセレクトラインのうちいずれか1つの第1のセレクトラインとを、接続するための第1のセレクト回路と、所与の第2の選択信号に基づき、前記出力端子と前記第1のセレクトラインとを、接続するための第2のセレクト回路とを含むことを特徴としている。

30

**【0016】**

本発明によれば、第1及び第2のセレクト回路により、複数のセレクトラインのうちいずれか1つを介して、入力端子及び出力端子を接続するようにしたので、任意の入力端子及び出力端子の組み合わせを複数設定することができるようになる。これにより、ライン駆動回路の任意の端子に、表示コントローラからの信号を受け付け、任意の端子から、供給されるべき信号を出力させることができる。

**【0017】**

また本発明は、前記第1のセレクトラインの電圧を、低耐圧系の電圧に変換して前記出力端子に供給する第1の出力バッファ回路と、前記第1のセレクトラインの電圧を、高耐圧系の電圧に変換して前記出力端子に供給する第2の出力バッファ回路と、前記入力端子に供給された低耐圧系の電圧を、低耐圧系の電圧のまま前記第1のセレクトラインに供給する第1の入力バッファ回路と、前記入力端子に供給された高耐圧系の電圧を、低耐圧系の電圧に変換して前記第1のセレクトラインに供給する第2の入力バッファ回路とを含み、前記第1及び第2の出力バッファ回路と前記第1及び第2の入力バッファ回路のいずれか1つのバッファ回路を動作状態にし、他のバッファ回路を非動作状態にする排他的動作制御が行われることを特徴としている。

40

**【0018】**

本発明によれば、第1及び第2の出力バッファ回路と第1及び第2の入力バッファ回路に

50

より、内部の低耐圧系の電圧をそのまま低耐圧系の電圧として供給したり、若しくは高耐圧系の電圧に変換したり、或いは外部からの低耐圧系若しくは高耐圧系の電圧を低耐圧系の電圧として内部に取り込む回路を、端子ごとに設けることができるので、任意の端子を上記した入力端子又は出力端子に設定することができる。これにより、ユーザの使い勝手を大幅に向上させることができる。

#### 【0019】

また本発明に係る電気光学装置は、互いに交差する複数の第1のライン及び複数の第2のラインにより特定される画素と、上記いずれか記載のライン駆動回路と、前記第2のラインを駆動する第2のライン駆動回路とを含むことを特徴としている。

#### 【0020】

本発明によれば、プロセスの微細化により表示コントローラの低コスト化を実現することができる電気光学装置を提供することができる。

#### 【0021】

また本発明に係る表示装置は、互いに交差する複数の第1のライン及び複数の第2のラインにより特定される画素を有する電気光学装置と、上記いずれか記載のライン駆動回路と、前記第2のラインを駆動する第2のライン駆動回路とを含むことを特徴としている。

#### 【0022】

本発明によれば、プロセスの微細化により表示コントローラの低コスト化を実現することができる表示装置を提供することができる。

#### 【0023】

#### 【発明の実施の形態】

以下、本発明の好適な実施の形態について図面を用いて詳細に説明する。

#### 【0024】

#### 1. 表示装置

#### 1. 1 表示装置の構成

図1に、本実施形態におけるライン駆動回路を含む表示装置の構成の概要を示す。

#### 【0025】

表示装置としての液晶装置10は、液晶ディスプレイ(Liquid Crystal Display: 以下、LCDと略す。)パネル20、信号ドライバ(信号駆動回路、ライン駆動回路)(狭義には、ソースドライバ)30、走査ドライバ(走査駆動回路)(狭義には、ゲートドライバ)50、LCDコントローラ(広義には、表示コントローラ)60、電源回路80を含む。

#### 【0026】

LCDパネル(広義には、電気光学装置)20は、例えばガラス基板上に形成される。このガラス基板上には、Y方向に複数配列されそれぞれX方向に伸びる走査ライン(狭義には、ゲートライン)(第2のライン) $G_1 \sim G_N$ ( $N$ は、2以上の自然数)と、X方向に複数配列されそれぞれY方向に伸びる信号ライン(狭義には、ソースライン)(第1のライン) $S_1 \sim S_M$ ( $M$ は、2以上の自然数)とが配置されている。また、走査ライン $G_n$ ( $1 \leq n \leq N$ 、 $n$ は自然数)と信号ライン $S_m$ ( $1 \leq m \leq M$ 、 $m$ は自然数)との交差点に対応して、TFT22<sub>nm</sub>(広義には、スイッチング手段)が設けられている。

#### 【0027】

TFT22<sub>nm</sub>のゲート電極は、走査ライン $G_n$ に接続されている。TFT22<sub>nm</sub>のソース電極は、信号ライン $S_m$ に接続されている。TFT22<sub>nm</sub>のドレイン電極は、液晶容量(広義には液晶素子)24<sub>nm</sub>の画素電極26<sub>nm</sub>に接続されている。

#### 【0028】

液晶容量24<sub>nm</sub>においては、画素電極26<sub>nm</sub>に対向する対向電極28<sub>nm</sub>との間に液晶が封入されて形成され、これら電極間の印加電圧に応じて画素の透過率が変化している。

#### 【0029】

対向電極28<sub>nm</sub>には、電源回路80により生成された対向電極電圧 $V_{com}$ が供給されて

10

20

30

40

50

いる。

#### 【0030】

信号ドライバ30は、一水平走査単位の画像データに基づいて、LCDパネル20の信号ライン $S_1 \sim S_M$ を駆動する。

#### 【0031】

より具体的には、信号ドライバ30は、シリアル入力された画像データを順次ラッチして一水平走査単位の画像データを生成する。そして、信号ドライバ30は、水平同期信号に同期して、この画像データに基づく駆動電圧で、各信号ラインを駆動する。

#### 【0032】

走査ドライバ50は、一垂直走査期間内に、水平同期信号に同期して、LCDパネル20の走査ライン $G_1 \sim G_N$ を順次走査駆動する。 10

#### 【0033】

より具体的には、走査ドライバ50は、各走査ラインに対応したフリップフロップ有し、各フリップフロップが順次接続されたシフトレジスタを有している。走査ドライバ50は、LCDコントローラ60から供給された垂直同期信号を順次シフトすることで、一垂直走査期間内に各走査ラインを順次選択する。

#### 【0034】

LCDコントローラ60は、図示しない中央処理装置(Central Processing Unit: CPU)等のホストにより設定された内容にしたがって、信号ドライバ30、走査ドライバ50及び電源回路80を制御する。より具体的には、LCDコントローラ60は、信号ドライバ30及び走査ドライバ50に対して、例えば動作モードの設定や内部で生成した垂直同期信号や水平同期信号の供給を行い、電源回路80に対しては対向電極電圧 $V_{com}$ の極性反転タイミングの供給を行う。 20

#### 【0035】

電源回路80は、外部から供給される基準電圧に基づいて、LCDパネル20の液晶駆動に必要な電圧レベルや、対向電極電圧 $V_{com}$ を生成する。このような各種電圧レベルは、信号ドライバ30、走査ドライバ50及びLCDパネル20に供給される。また、対向電極電圧 $V_{com}$ は、LCDパネル20のTFTの画素電極に対向して設けられた対向電極に供給される。

#### 【0036】

このような構成の液晶装置10は、LCDコントローラ60の制御の下、外部から供給される画像データに基づいて、信号ドライバ30、走査ドライバ50及び電源回路80が協調してLCDパネル20を表示駆動する。 30

#### 【0037】

なお、図1では、液晶装置10にLCDコントローラ60を含めて構成するようにしているが、LCDコントローラ60を液晶装置10の外部に設けて構成するようにしても良い。或いは、LCDコントローラ60と共にホストを液晶装置10に含めるように構成することも可能である。

#### 【0038】

1. 2 液晶駆動波形 40  
図2に、上述した構成の液晶装置10のLCDパネル20の駆動波形の一例を示す。ここでは、ライン反転駆動方式により駆動する場合を示している。

#### 【0039】

液晶装置10では、LCDコントローラ60によって生成された表示タイミングにしたがって、信号ドライバ30、走査ドライバ50及び電源回路80が制御される。LCDコントローラ60は、信号ドライバ30に対しては一水平走査単位の画像データを順次転送するとともに、内部で生成した水平同期信号や反転駆動タイミングを示す極性反転信号POLを供給する。また、LCDコントローラ60は、走査ドライバ50に対しては、内部で生成した垂直同期信号を供給する。さらに、LCDコントローラ60は、電源回路80に対して対向電極電圧極性反転信号 $V_{COM}$ を供給する。 50

## 【0040】

これにより、信号ドライバ30は、水平同期信号に同期して、一水平走査単位の画像データに基づいて信号ラインの駆動を行う。走査ドライバ50は、垂直同期信号をトリガとして、LCDパネル20にマトリックス状に配置されたTFTのゲート電極に接続される走査ラインを、順次駆動電圧Vgで走査駆動する。電源回路80は、内部で生成した対向電極電圧Vcomを、対向電極電圧極性反転信号VCOMに同期して極性反転を行いながら、LCDパネル20の各対向電極に供給する。

## 【0041】

液晶容量には、TFTのドレイン電極に接続される画素電極と対向電極の電圧Vcomとの電圧に応じた電荷が充電される。液晶容量に蓄積された電荷によって保持された画素電極電圧Vpが、所与の閾値V<sub>CL</sub>を越えると画像表示が可能となる。画素電極電圧Vpが所与の閾値V<sub>CL</sub>を越えると、その電圧レベルに応じて画素の透過率が変化し、階調表現が可能となる。

10

## 【0042】

## 2. 本実施形態の特徴

ところで、液晶装置は、表示駆動するために必要とされる電圧が、各半導体装置（LCDコントローラ、信号ドライバ、走査ドライバ、電源回路）ごとに異なる。

## 【0043】

図3に、液晶装置を構成する各半導体装置の接続関係の一例を示す。

## 【0044】

ここでは、各半導体装置間で送受信される信号の電源電圧レベルの値をあわせて示す。

20

## 【0045】

液晶装置100を構成するLCDパネル120、信号ドライバ130、走査ドライバ150、LCDコントローラ160、電源回路180は、それぞれ図1に示す液晶装置10を構成する各部と同様の機能を有する。

## 【0046】

例えば、信号ドライバ130は、回路構成がそれ程複雑ではないため、最先端の微細化プロセスではなく、集積化と低コスト化とを両立可能な中耐圧プロセス（例えば、0.35μプロセス）で製造される。

## 【0047】

また、走査ドライバ150は、回路構成が簡素であるため、チップサイズの縮小化は要求されず、走査ドライバ150は、液晶材とTFTのトランジスタ能力との関係で決まる高い電圧（例えば20V～50V）を駆動するために、高耐圧プロセスで製造される。

30

## 【0048】

さらに、電源回路180は、走査ドライバ150に対して供給される高電圧を生成するため、高耐圧プロセスで製造される。

## 【0049】

一方、LCDコントローラ160は、回路構成が複雑で、汎用性が高いことから、チップサイズの縮小化により、より一層の低コスト化を図ることができる。そのため、LCDコントローラ160は、最先端の微細化プロセス（例えば、0.18μプロセス）で製造される。すなわち、LCDコントローラ160は、低耐圧プロセスで製造されることとなるため、低耐圧プロセス用のインタフェース回路と、高耐圧プロセス用のインタフェース回路とを併有する。

40

## 【0050】

低耐圧プロセス用のインタフェース回路は、中耐圧プロセスで製造される信号ドライバ130に対して、低耐圧の微細化プロセスの電源レベルで生成した信号を供給する。高耐圧プロセス用のインタフェース回路は、高耐圧プロセスで製造される走査ドライバ150及び電源回路180に対して、高耐圧プロセス用の電源レベルに変換した信号を供給する。

## 【0051】

このように、LCDコントローラ160は、高耐圧プロセス用のインタフェース回路を含

50

むことになる。上記した高耐压プロセス用のインタフェース回路は、プロセスの微細化が進んでも、耐压を確保するための物理的限界値がデザインルール中に存在するため、IC内の面積を小さくできない。したがって、微細化による低コスト化のメリットをあまり享受できない。

#### 【0052】

これに対して、本実施形態における液晶装置10では、低耐压プロセスで製造されたLCDコントローラ60から、高耐压プロセスで製造された走査ドライバ50及び電源回路80に対して供給されるべき信号群を、一旦中耐压プロセスで製造された信号ドライバ30で中継し、信号ドライバ30がこれら信号群を走査ドライバ50及び電源回路80に対して供給することを特徴とする。

10

#### 【0053】

図4に、本実施形態における液晶装置を構成する各半導体装置の接続関係の一例を示す。

#### 【0054】

このように、本実施形態における信号ドライバ30は、インタフェース部200において中耐压プロセスを用いて低耐压系の電圧を高耐压系の電圧に変換するインタフェース回路を含み、LCDコントローラ60から供給された低耐压系の信号群を受け、高耐压系の高い電圧に変換した後、走査ドライバ50若しくは電源回路80に供給する。

#### 【0055】

こうすることで、LCDコントローラ60のインタフェース部210は、高い電圧を駆動するインタフェース回路を設ける必要がなくなるので、プロセスの微細化に伴って、複雑な構成の回路を縮小化して、低コスト化を図ることができるようになる。

20

#### 【0056】

### 2. 1 本実施形態の原理的構成

図5に、本実施形態における信号ドライバ30の原理的構成を示す。

#### 【0057】

信号ドライバ30は、I/O回路300<sub>1</sub>～300<sub>P</sub>（Pは、自然数）を含み、I/O回路300<sub>i</sub>（1≤i≤P、iは自然数）に対応して入力端子310<sub>i</sub>、出力端子320<sub>i</sub>を有する。

#### 【0058】

I/O回路300<sub>i</sub>は、低耐压系の電圧を高耐压系の電圧に変換するレベル変換回路（Level Shifter：以下、L/Sと略す。）302<sub>i</sub>を含む。

30

#### 【0059】

L/S302<sub>i</sub>は、入力端子310<sub>i</sub>から入力された低耐压系の信号の電圧を、高耐压系の電圧に変換し、出力端子320<sub>i</sub>に供給する。したがって、入力端子310<sub>1</sub>～310<sub>P</sub>を低耐压プロセスで製造されたLCDコントローラ60に接続し、出力端子320<sub>1</sub>～320<sub>P</sub>を高耐压プロセスで製造された走査ドライバ50及び電源回路80のいずれかに接続することで、LCDコントローラ60の微細化による低コスト化が可能となる。

#### 【0060】

### 3. 本実施形態における信号ドライバ（ライン駆動回路）

以下では、このような信号ドライバ（ライン駆動回路）30について具体的に説明する。

40

#### 【0061】

図6に、本実施形態における信号ドライバ30の構成の概要を示す。

#### 【0062】

信号ドライバ30は、半導体装置の各端子に対応して設けられた入出力パッド400<sub>1</sub>～400<sub>Q</sub>（Qは、自然数）を有する。

#### 【0063】

信号ドライバ30は、さらに入出力パッド400<sub>j</sub>（1≤j≤Q、jは自然数）に対応して、I/O回路410<sub>j</sub>を有する。I/O回路410<sub>1</sub>～410<sub>Q</sub>は、1又は複数のセレクトライン430が共通接続されている。以下では、セレクトラインが16本であるものとする。

50



**【0064】**

I/O回路410<sub>j</sub>は、複数の入力バッファ回路、複数の出力バッファ回路を含み、所与の選択信号に応じて、入力I/O回路若しくは出力I/O回路のいずれかとして機能するようになっている。例えば、I/O回路410<sub>1</sub>を入力I/O回路として、I/O回路410<sub>Q</sub>を出力I/O回路として設定した場合、入出力パッド400<sub>1</sub>を介して入力された信号は、所与の第1の選択信号により、I/O回路410<sub>1</sub>のセクタ回路によって、セクタライン430のいずれか1つ（第1のセクタライン）に出力される。その際、入力された高耐圧系若しくは低耐圧系の信号は、低耐圧系の電圧レベルに変換される。

**【0065】**

I/O回路410<sub>Q</sub>では、所与の第2の選択信号により、セクタ回路によって第1のセクタラインと、入出力パッド410<sub>Q</sub>とが電氣的に接続される。その際、第1のセクタラインを経由した信号は、高耐圧系若しくは低耐圧系の電圧レベルに変換される。

10

**【0066】**

こうすることで、任意の入力端子からの信号を、所与の電圧にレベル変換し、任意の出力端子から出力させることができるようになる。

**【0067】**

図7に、上述したI/O回路410<sub>j</sub>のレイアウトイメージを模式的に示す。

**【0068】**

I/O回路410<sub>j</sub>（ $1 \leq j \leq Q$ ）は、入出力パッド400<sub>j</sub>と電氣的に接続されるLV（Low Voltage）-LVバッファ回路412<sub>j</sub>、LV-HV（High Voltage）バッファ回路418<sub>j</sub>、セクタ回路424<sub>j</sub>、ゲートアレイ（Gate Array：以下、G/Aと略す。）回路426<sub>j</sub>を含む。

20

**【0069】**

LV-LVバッファ回路412<sub>j</sub>は、LV-LV出力バッファ回路414<sub>j</sub>、LV-LV入力バッファ回路416<sub>j</sub>を含む。

**【0070】**

LV-LV出力バッファ回路（第1の出力バッファ回路）414<sub>j</sub>は、低耐圧（LV）系の信号の電圧を、LV系の電源電圧レベルに接続されたバッファ回路でバッファリングして、入出力パッド400<sub>j</sub>に出力する回路である。

**【0071】**

LV-LV入力バッファ回路（第1の入力バッファ回路）416<sub>j</sub>は、入出力パッド400<sub>j</sub>を介して入力されたLV系の信号の電圧を、LV系の電源電圧レベルに接続されたバッファ回路でバッファリングして、セクタ回路424<sub>j</sub>に出力する回路である。

30

**【0072】**

LV-HVバッファ回路418<sub>j</sub>は、LV-HV出力バッファ回路420<sub>j</sub>、HV-LV入力バッファ回路422<sub>j</sub>を含む。

**【0073】**

LV-HV出力バッファ回路（第2の出力バッファ回路）420<sub>j</sub>は、LV系の信号の電圧を、HV系の信号の電圧に変換して、入出力パッド400<sub>j</sub>に出力する回路である。

**【0074】**

HV-LV入力バッファ回路（第2の入力バッファ回路）422<sub>j</sub>は、入出力パッド400<sub>j</sub>を介して入力されたHV系の信号の電圧を、LV系の電源電圧レベルに接続されたバッファ回路でバッファリングして、セクタ回路424<sub>j</sub>に出力する回路である。

40

**【0075】**

セクタ回路424<sub>j</sub>は、LV-LV出力バッファ回路414<sub>j</sub>、LV-LV入力バッファ回路416<sub>j</sub>、LV-HV出力バッファ回路420<sub>j</sub>、HV-LV入力バッファ回路422<sub>j</sub>のいずれか1つを、セクタライン430のいずれか1つとを接続するための回路である。

**【0076】**

G/A回路426<sub>j</sub>は、LV-LV出力バッファ回路414<sub>j</sub>、LV-LV入力バッファ回

50

路 4 1 6<sub>j</sub>、L V－H V出力バッファ回路 4 2 0<sub>j</sub>、H V－L V入力バッファ回路 4 2 2<sub>j</sub>のいずれか 1 つを排他的に動作制御するための制御信号と、セクタ回路 4 2 4<sub>j</sub>の選択信号とを生成する論理回路である。

【0077】

このような I / O 回路 4 1 0<sub>j</sub>は、G / A 回路 4 2 6<sub>j</sub>によって、L V－L V出力バッファ回路 4 1 4<sub>j</sub>、L V－L V入力バッファ回路 4 1 6<sub>j</sub>、L V－H V出力バッファ回路 4 2 0<sub>j</sub>、H V－L V入力バッファ回路 4 2 2<sub>j</sub>のいずれか 1 つのみが排他的に制御されるようになっている。すなわち、選択されなかった入力バッファ回路及び出力バッファ回路は、少なくともその出力がハイインピーダンス状態となるように制御される。選択された入力バッファ回路若しくは出力バッファ回路は、G / A 回路 4 2 6<sub>j</sub>によって選択されたセクタラインの 1 つと電氣的に選択される。この選択されたセクタラインは、他の I / O 回路を介して、入出力パッドと電氣的に接続されるようになっている。

10

【0078】

こうすることで、I / O 回路と入出力パッドとを任意に選択して、セクタラインを介し、これら選択した I / O 回路とを電氣的に接続することによって、任意の端子間で L V 系若しくは H V 系の信号の電圧を変換して出力させることができる。

【0079】

なお、図 7 に示したように、A－A 線、B－B 線、C－C 線のいずれかに沿って、例えば A 1 が蒸着された入出力パッド 4 0 0<sub>j</sub>を切断し、互いに電氣的に分離したパッドを形成することによって、I / O 回路 4 1 0<sub>j</sub>内で L V 系及び H V 系の信号インタフェース機能を持たせるようにしても良い。

20

【0080】

図 8 に、I / O 回路 4 1 0<sub>j</sub>の回路構成の一例の概要を示す。

【0081】

入出力パッド 4 0 0<sub>j</sub>は、L V－L V出力バッファ回路 4 1 4<sub>j</sub>の出力端子、L V－L V入力バッファ回路 4 1 6<sub>j</sub>の入力端子、L V－H V出力バッファ回路 4 2 0<sub>j</sub>の出力端子、H V－L V入力バッファ回路 4 2 2<sub>j</sub>の入力端子と電氣的に接続されている。

【0082】

L V－L V出力バッファ回路 4 1 4<sub>j</sub>の入力端子、L V－L V入力バッファ回路 4 1 6<sub>j</sub>の出力端子、L V－H V出力バッファ回路 4 2 0<sub>j</sub>の入力端子、H V－L V入力バッファ回路 4 2 2<sub>j</sub>の出力端子は、スイッチ回路 S W A の一端としてのノード N D と電氣的に接続されている。

30

【0083】

スイッチ回路 S W A の他端は、セクタスイッチ S W 1 ～ S W 1 6 を含むセクタ回路 4 2 4<sub>j</sub>を介して、セクタライン S L 1 ～ S L 1 6 と接続されている。

【0084】

各バッファ回路を排他的に制御する制御信号 S B 1 ～ S B 4、スイッチ回路 S W A のオン・オフ制御をするスイッチ制御信号 S A、セクタスイッチ S W 1 ～ S W 1 6 を択一的に選択するための選択信号 S E L 1 ～ S E L 1 6 は、制御回路 4 4 0<sub>j</sub>によって生成される。この制御回路 4 4 0<sub>j</sub>は、図 7 に示したように G / A により構成される。制御回路 4 4 0<sub>j</sub>は、図示しないホストによる設定内容にしたがって、制御信号 S B 1 ～ S B 4、選択信号 S E L 1 ～ S E L 1 6 を生成するようになっている。

40

【0085】

スイッチ回路 S W A は、各バッファ回路と、セクタスイッチ S W 1 ～ S W 1 6 とを電氣的に切断することにより、L V－L V入力バッファ回路 4 1 6<sub>j</sub>、H V－L V入力バッファ回路 4 2 2<sub>j</sub>の出力負荷を軽減する。このため、L V－L V入力バッファ回路 4 1 6<sub>j</sub>、H V－L V入力バッファ回路 4 2 2<sub>j</sub>の小型化を図ることができる。

【0086】

なお、本実施形態では、L V－L V出力バッファ回路 4 1 4<sub>j</sub>、L V－L V入力バッファ回路 4 1 6<sub>j</sub>、L V－H V出力バッファ回路 4 2 0<sub>j</sub>、H V－L V入力バッファ回路 4 2 2

50

$j$  は、制御信号  $SB1 \sim SB4$  と共に制御回路  $440_j$  から供給される反転制御信号  $INV1 \sim INV4$  により、入力された信号の論理レベルを反転（位相を反転）して、出力することができるようになっている。

#### 【0087】

以下では、各バッファ回路の具体的な構成例について説明する。

#### 【0088】

ここでは、LV系の電源電圧をVCC、HV系の電源電圧をVDD、接地レベルをVSSとする。また、例えば制御信号CONTの反転信号をXCONTと表している。

#### 【0089】

図9に、LV-LV出力バッファ回路  $414_j$  の回路構成の一例を示す。

10

#### 【0090】

LV-LV出力バッファ回路  $414_j$  は、インバータ回路  $500_j$ 、 $504_j$ 、排他的論理和（EXclusive OR：以下、EXORと略す。）回路  $502_j$ 、レベルシフタ（Level Shifter：以下、LSと略す。） $506_j$ 、トランスファー回路  $508_j$  を含む。

#### 【0091】

LS  $506_j$  及びトランスファー回路  $508_j$  は、HV系のトランジスタにより構成される。インバータ回路  $500_j$ 、 $504_j$ 、EXOR回路  $502_j$  は、LV系のトランジスタにより構成される。HV系のトランジスタは、例えばLV系のトランジスタの酸化膜厚をより厚く形成し、高耐圧性を向上させている。そのため、HV系のトランジスタのデザインルールは、LV系のトランジスタのデザインルールより緩くせざるを得ず、回路面積が大きくなってしまう。

20

#### 【0092】

LS  $506_j$  は、制御信号  $SB1$  とその反転信号  $XSB1$  の電位差をHV系の電圧に変換し、トランスファー回路  $508_j$  のオン若しくはオフの制御を行う。

#### 【0093】

入力ノードNDは、インバータ回路  $500_j$  の入力ノードに接続される。

#### 【0094】

インバータ回路  $500_j$  の入力ノード及び出力ノードは、EXOR回路  $502_j$  に接続される。EXOR回路  $502_j$  は、反転制御信号  $INV1$  と、入力ノードNDの論理レベルとの排他的論理和を演算し、その結果がインバータ回路  $504_j$  の入力ノードに供給される。

30

#### 【0095】

インバータ回路  $504_j$  の出力ノードは、トランスファー回路  $508_j$  を介して、入出力パッド  $400_j$  に接続される。

#### 【0096】

このようにLV-LV出力バッファ回路  $414_j$  は、入力ノードNDの論理レベルを、反転制御信号  $INV1$  により論理レベルの反転を任意に行うようにしている。また、その出力ノードを、HV系のトランスファー回路  $508_j$  を介して、入出力パッド  $400_j$  に接続するようにしている。これにより、入出力パッド  $400_j$  に、誤ってHV系の電圧が供給されて、LV系のトランジスタを破壊することなく信頼性を維持することができる。また、反転制御信号  $INV1$  により論理レベルの反転を任意に行うことができるので、外部のインタフェース仕様の変更に伴う設計変更を回避し、開発期間の短縮化を図ることも可能となる。

40

#### 【0097】

図10に、LV-LV入力バッファ回路  $416_j$  の回路構成の一例を示す。

#### 【0098】

LV-LV入力バッファ回路  $416_j$  は、LS  $520_j$ 、トランスファー回路  $522_j$ 、インバータ回路  $524_j$ 、EXOR回路  $526_j$  を含む。

#### 【0099】

LS  $520_j$  及びトランスファー回路  $522_j$  は、HV系のトランジスタにより構成される

50

。インバータ回路 5 2 4<sub>j</sub>、E X O R 回路 5 2 6<sub>j</sub>は、L V 系のトランジスタにより構成される。

【0 1 0 0】

L S 5 2 0<sub>j</sub>は、制御信号 S B 2 とその反転信号 X S B 2 の電位差を H V 系の電圧に変換し、トランスファー回路 5 2 2<sub>j</sub>のオン若しくはオフの制御を行う。

【0 1 0 1】

このようなトランスファー回路 5 2 2<sub>j</sub>を介して、入出力パッド 4 0 0<sub>j</sub>は、L V 系のトランジスタにより構成されたインバータ回路 5 2 4<sub>j</sub>に接続される。

【0 1 0 2】

なお、インバータ回路 5 2 4<sub>j</sub>の入力ノードは、接地レベル V S S との間に n 型トランジスタ 5 2 8<sub>j</sub>が接続されている。n 型トランジスタ 5 2 8<sub>j</sub>のゲート電極には、制御信号 S B 2 の反転信号 X S B 2 が供給されている。したがって、反転信号 X S B 2 が「H」のとき、L V－L V 入力バッファ回路 4 1 6<sub>j</sub>は非選択状態であるため、n 型トランジスタ 5 2 8<sub>j</sub>を介してインバータ回路 5 2 4<sub>j</sub>の入力ノードの電圧を接地レベル V S S に固定することができ、非選択状態におけるインバータ回路 5 2 4<sub>j</sub>の貫通電流を削減する。

【0 1 0 3】

インバータ回路 5 2 4<sub>j</sub>の入力ノード及び出力ノードは、E X O R 回路 5 2 6<sub>j</sub>に接続される。E X O R 回路 5 2 6<sub>j</sub>は、反転制御信号 I N V 2 と、インバータ回路 5 2 4<sub>j</sub>の入力ノードの論理レベルとの排他的論理和を演算し、その結果がノード N D の論理レベルとなる。

【0 1 0 4】

E X O R 回路 5 2 6<sub>j</sub>は、p 型トランジスタ 5 3 0<sub>j</sub>を介して L V 系の電源電圧 V C C と、n 型トランジスタ 5 3 2<sub>j</sub>を介して接地レベル V S S と接続される。p 型トランジスタ 5 3 0<sub>j</sub>のゲート電極には、反転信号 X S B 2 が供給され、n 型トランジスタ 5 3 2<sub>j</sub>のゲート電極には、制御信号 S B 2 が供給される。

【0 1 0 5】

したがって、L V－L V 入力バッファ回路 4 1 6<sub>j</sub>が選択状態のときに、ノード N D は上述した排他的論理和の演算結果が出力され、非選択状態のときにノード N D はハイインピーダンス状態となる。

【0 1 0 6】

このように L V－L V 入力バッファ回路 4 1 6<sub>j</sub>は、入出力パッド 4 0 0<sub>j</sub>からの信号を H V 系のトランスファー回路 5 2 2<sub>j</sub>で受け、E X O R 回路 5 2 6<sub>j</sub>で論理レベルの反転を任意に行うようにした。これにより、入出力パッド 4 0 0<sub>j</sub>に、誤って H V 系の電圧が供給されても信頼性を損なうことがなく、L V 系の電圧をノード N D に供給することができる。また、反転制御信号 I N V 2 により論理レベルの反転を任意に行うことができるので、外部のインタフェース仕様の変更に伴う設計変更を回避し、開発期間の短縮化を図ることも可能となる。

【0 1 0 7】

図 1 1 に、L V－H V 出力バッファ回路 4 2 0<sub>j</sub>の回路構成の一例を示す。

【0 1 0 8】

L V－H V 出力バッファ回路 4 2 0<sub>j</sub>は、インバータ回路 5 4 0<sub>j</sub>、5 4 4<sub>j</sub>、E X O R 回路 5 4 2<sub>j</sub>を含む。また、L V－H V 出力バッファ回路 4 2 0<sub>j</sub>は、N A N D 回路 5 4 6<sub>j</sub>、インバータ回路 5 4 8<sub>j</sub>、5 5 2<sub>j</sub>、L S 5 5 0<sub>j</sub>を含む。さらに、L V－H V 出力バッファ回路 4 2 0<sub>j</sub>は、N O R 回路 5 5 4<sub>j</sub>、インバータ回路 5 5 6<sub>j</sub>、5 6 0<sub>j</sub>、L S 5 5 8<sub>j</sub>を含む。

【0 1 0 9】

この L V－H V 出力バッファ回路 4 2 0<sub>j</sub>は、入出力パッド 4 0 0<sub>j</sub>への出力をハイインピーダンス制御するために、H V 系の電源電圧 V D D と接地レベル V S S との間に、互いのドレイン端子が接続された p 型トランジスタ 5 6 2<sub>j</sub>と n 型トランジスタ 5 6 4<sub>j</sub>とが接続されている。

## 【0110】

インバータ回路540<sub>j</sub>、544<sub>j</sub>、548<sub>j</sub>、556<sub>j</sub>、EXOR回路542<sub>j</sub>、NOR回路546<sub>j</sub>、NAND回路554<sub>j</sub>は、LV系のトランジスタにより構成される。LS550<sub>j</sub>、558<sub>j</sub>、インバータ回路552<sub>j</sub>、560<sub>j</sub>、p型トランジスタ562<sub>j</sub>、n型トランジスタ564<sub>j</sub>は、HV系のトランジスタにより構成される。

## 【0111】

入力ノードNDは、インバータ回路540<sub>j</sub>の入力ノードに接続される。

## 【0112】

インバータ回路540<sub>j</sub>の入力ノード及び出力ノードは、EXOR回路542<sub>j</sub>に接続される。EXOR回路542<sub>j</sub>は、反転制御信号INV3と、入力ノードNDの論理レベルとの排他的論理和を演算し、その結果がインバータ回路544<sub>j</sub>の入力ノードに供給される。

10

## 【0113】

インバータ回路544<sub>j</sub>の出力ノードは、NOR回路546<sub>j</sub>及びNAND回路554<sub>j</sub>に接続される。

## 【0114】

NOR回路546<sub>j</sub>は、制御信号SB3の論理レベルと、インバータ回路544<sub>j</sub>の出力ノードの論理レベルとの反転論理和(NOR)を演算し、その結果をインバータ回路548<sub>j</sub>の入力ノードに供給する。

## 【0115】

NAND回路554<sub>j</sub>は、制御信号SB3の論理レベルと、インバータ回路544<sub>j</sub>の出力ノードの論理レベルとの反転論理積(NAND)を演算し、その結果をインバータ回路556<sub>j</sub>の入力ノードに供給する。

20

## 【0116】

LS550<sub>j</sub>は、インバータ回路548<sub>j</sub>の入力ノード及び出力ノードの電位差をHV系の電圧に変換し、HV系のトランジスタにより構成されたインバータ回路552<sub>j</sub>の入力ノードに供給する。インバータ回路552<sub>j</sub>の出力ノードは、p型トランジスタ562<sub>j</sub>のゲート電極に接続される。

## 【0117】

LS558<sub>j</sub>は、インバータ回路556<sub>j</sub>の入力ノード及び出力ノードの電位差をHV系の電圧に変換し、HV系のトランジスタにより構成されたインバータ回路560<sub>j</sub>の入力ノードに供給する。インバータ回路560<sub>j</sub>の出力ノードは、n型トランジスタ564<sub>j</sub>のゲート電極に接続される。

30

## 【0118】

このようにLV-HV出力バッファ回路420<sub>j</sub>は、入力ノードNDの論理レベルを、反転制御信号INV3により論理レベルの反転を任意に行うようにしている。また、その出力ノードと制御信号SB3とにより生成したゲート制御信号を、LS550<sub>j</sub>、558<sub>j</sub>によりHV系の電圧に変換して、p型トランジスタ562<sub>j</sub>及びn型トランジスタ564<sub>j</sub>を制御するようにしている。

## 【0119】

これにより、反転制御信号INV3により論理レベルの反転を任意に行うことができるので、外部のインタフェース仕様の変更に伴う設計変更を回避し、開発期間の短縮化を図ることも可能となる。また、LV系の電圧をHV系の電圧にレベル変換するとともに、その出力をハイインピーダンス制御することができる出力バッファ回路を提供する。

40

## 【0120】

図12に、HV-LV入力バッファ回路422<sub>j</sub>の回路構成の一例を示す。

## 【0121】

HV-LV入力バッファ回路422<sub>j</sub>は、インバータ回路570<sub>j</sub>、EXOR回路572<sub>j</sub>を含む。

## 【0122】

50

インバータ回路 570<sub>j</sub> は、H V系のトランジスタにより構成され、電源電圧レベルとして、L V系の電源電圧 V C Cが供給される。

【0123】

入出力パッド 400<sub>j</sub> は、インバータ回路 570<sub>j</sub> の入力ノードに接続される。これにより、入出力パッド 400<sub>j</sub> に L V系の信号の電圧が供給されたときに、インバータ回路 570<sub>j</sub> は、この信号を検出し、出力ノードに反転信号を生成する。

【0124】

インバータ回路 570<sub>j</sub> の入力ノード及び出力ノードは、E X O R回路 572<sub>j</sub> に接続される。E X O R回路 572<sub>j</sub> は、反転制御信号 I N V 4と、入出力パッド 400<sub>j</sub> の論理レベルとの排他的論理和を演算し、その結果がノード N Dの論理レベルとなる。

10

【0125】

E X O R回路 572<sub>j</sub> は、p型トランジスタ 574<sub>j</sub> を介して L V系の電源電圧 V C Cと、n型トランジスタ 576<sub>j</sub> を介して接地レベル V S Sと接続される。p型トランジスタ 574<sub>j</sub> のゲート電極には、反転信号 X S B 4が供給され、n型トランジスタ 576<sub>j</sub> のゲート電極には、制御信号 S B 4が供給される。

【0126】

したがって、H V－L V入力バッファ回路 422<sub>j</sub> が選択状態のときに、ノード N Dは上述した排他的論理和の演算結果が出力され、非選択状態のときにノード N Dはハイインピーダンス状態となる。

【0127】

20

このように H V－L V入力バッファ回路 422<sub>j</sub> は、入出力パッド 400<sub>j</sub> からの信号を、L V系の電源電圧 V C Cが接続された H V系のインバータ回路 570<sub>j</sub> で受け、E X O R回路 526<sub>j</sub> で論理レベルの反転を任意に行うようにしている。これにより、入出力パッド 400<sub>j</sub> に、誤って H V系の電圧が供給されても信頼性を損なうことがなく、L V系の電圧をノード N Dに供給することができる。また、反転制御信号 I N V 2により論理レベルの反転を任意に行うことができるので、外部のインタフェース仕様の変更に伴う設計変更を回避し、開発期間の短縮化を図ることも可能となる。

【0128】

上述したように各種バッファ回路を排他的に制御する制御回路 440<sub>j</sub> は、制御信号 S B 1～S B 4、選択信号 S E L 1～S E L 16、スイッチ制御信号 S Aを生成する。

30

【0129】

図 13に、制御回路 440<sub>j</sub> の回路構成の一例を示す。

【0130】

制御回路 440<sub>j</sub> は、例えば L C Dコントローラ 60により、所与のコマンドレジスタを設定することにより、上述した制御信号 S B 1～S B 4、選択信号 S E L 1～S E L 16、スイッチ制御信号 S Aを生成する。

【0131】

例えば、L C Dコントローラ 60によって所与のコマンドレジスタへのアクセスがあったときに生成されるアドレスデコードパルスと、クロック信号 C Kとに同期して、データバス D 7－D 0を1ビットずつフリップフロップに保持する。各フリップフロップは、例えば初期状態設定用の初期データ S 7－S 0の対応するビットデータ若しくは反転リセット信号 X R E Sによりセット、リセットが行われる。この場合、初期データ S 7－S 0を A 1切り替えで、電源電圧若しくは接地レベルに固定させることで、一括的に初期状態の設定を行うことができる。

40

【0132】

このように各フリップフロップに保持されたデータは、デコーダ回路によって制御信号 S B 1～S B 4等がデコード出力される。このような制御回路 440<sub>j</sub> により、セクタ回路 424<sub>j</sub> において、セクタライン 430のうち任意のセクタラインを1つ選択することができ、4つのバッファ回路を排他的に動作制御することができる。

【0133】

50

なお、スイッチ制御信号  $S_A$  により、適宜バッファ回路とセレクトラインとを電氣的に切断することによって、出力負荷の低減を図ることができるようになっている。

【0134】

また、反転制御信号  $INV1 \sim INV4$  についても、同様に生成することができる。

【0135】

4. 本実施形態における信号ドライバが適用された液晶装置

図14に、本実施形態における信号ドライバが適用された液晶装置10の構成の概要を示す。

【0136】

ただし、図4と同一部分には同一符号を付し、適宜説明を省略する。

10

【0137】

LCDコントローラ60は、信号ドライバ30に対して、クロック信号  $CPH$ 、水平同期信号としてのラッチパルス  $LP$ 、コマンドを指定するためのコマンド信号  $CMD$ 、信号の反転信号  $INV$ 、画像データやコマンドデータが伝送されるデータ  $D0 \sim D17$ 、極性反転駆動タイミングとしての極性反転信号  $POL$ 、出力イネーブル信号  $OE$ 、イネーブル入出力信号  $EIO$ 、反転リセット信号  $XRESH$  を供給し、信号駆動制御を行う。

【0138】

また、LCDコントローラ60は、走査ドライバ50に対して、クロック信号  $CPV$ 、垂直同期信号としてのスタート信号  $STV$ 、反転出力イネーブル信号  $XOE V$ 、全走査ラインの出力を制御する出力制御信号  $XOHV$ 、反転リセット信号  $XRESV$  を供給し、走査駆動制御を行うことができるようになっている。本実施形態では、これらLCDコントローラ60から走査ドライバ50に対して供給されるべき制御信号を、上述したようなI/O回路を有する信号ドライバ30で中継し、レベル変換した後に、走査ドライバ50に対して供給するようになっている。

20

【0139】

さらに、LCDコントローラ60は、電源回路80に対して、スタンバイ制御信号  $XSTBY$ 、昇圧モードの設定信号  $PMDE$ 、1次及び2次昇圧系クロック  $PCK1$ 、 $PCK2$ 、対向電極電圧の極性反転信号  $VCOM$  を供給し、電源制御を行うことができるようになっている。本実施形態では、これらLCDコントローラ60から電源回路80に対して供給されるべき制御信号を、上述したようなI/O回路を有する信号ドライバ30で中継し、レベル変換した後に、電源回路80に対して供給するようになっている。

30

【0140】

こうすることで、より複雑な回路構成を有するLCDコントローラ60において、HV系のインタフェース回路を設ける必要がなくなり、これを微細化が必要とされない中耐压プロセスで製造される信号ドライバ30でレベル変換を行って中継させるようにした。したがって、LCDコントローラ60は、汎用性が高く、微細化プロセスによるチップサイズの縮小化により、大幅な低コスト化を図ることができるようになる。

【0141】

5. その他

本実施形態では、TFT液晶を用いたLCDパネルを供える液晶装置を例に説明したが、これに限定されるものではない。例えば、信号ライン及び走査ラインにより特定される画素に対応して設けられた有機EL素子を含む有機ELパネルを表示駆動する信号ドライバ及び走査ドライバにも適用することができる。

40

【0142】

図15に、このような信号ドライバ及び走査ドライバにより表示制御される有機ELパネルにおける2トランジスタ方式の画素回路の一例を示す。

【0143】

有機ELパネルは、信号ライン  $S_n$  と走査ライン  $G_n$  との交差点に、駆動TFT  $800_n$  と、スイッチTFT  $810_n$  と、保持キャパシタ  $820_n$  と、有機LED  $830_n$  とを有する。駆動TFT  $800_n$  は、p型トランジスタにより構成される。

50

## 【0144】

駆動TFT800<sub>nm</sub>と有機LED830<sub>nm</sub>とは、電源ラインに直列に接続される。

## 【0145】

スイッチTFT810<sub>nm</sub>は、駆動TFT800<sub>nm</sub>のゲート電極と、信号ラインS<sub>m</sub>との間に挿入される。スイッチTFT810<sub>nm</sub>のゲート電極は、走査ラインG<sub>m</sub>に接続される。

## 【0146】

保持キャパシタ820<sub>nm</sub>は、駆動TFT800<sub>nm</sub>のゲート電極と、キャパシタラインとの間に挿入される。

## 【0147】

このような有機EL素子において、走査ラインG<sub>n</sub>が駆動されスイッチTFT810<sub>nm</sub>がオンになると、信号ラインS<sub>m</sub>の電圧が保持キャパシタ820<sub>nm</sub>に書き込まれるとともに、駆動TFT800<sub>nm</sub>のゲート電極に印加される。駆動TFT800<sub>nm</sub>のゲート電圧V<sub>gs</sub>は、信号ラインS<sub>m</sub>の電圧によって決まり、駆動TFT800<sub>nm</sub>に流れる電流が定まる。駆動TFT800<sub>nm</sub>と有機LED830<sub>nm</sub>とは直列接続されているため、駆動TFT800<sub>nm</sub>に流れる電流がそのまま有機LED830<sub>nm</sub>に流れる電流となる。

10

## 【0148】

したがって、保持キャパシタ820<sub>nm</sub>により信号ラインS<sub>m</sub>の電圧に応じたゲート電圧V<sub>gs</sub>を保持することによって、例えば1フレーム期間中において、ゲート電圧V<sub>gs</sub>に対応した電流を有機LED830<sub>nm</sub>に流すことで、当該フレームにおいて光り続ける画素を実現することができる。

20

## 【0149】

図16(A)に、上述した信号ドライバ及び走査ドライバにより表示制御される有機ELパネルにおける4トランジスタ方式の画素回路の一例を示す。図16(B)に、この画素回路の表示制御タイミングの一例を示す。

## 【0150】

この場合も、有機ELパネルは、駆動TFT900<sub>nm</sub>と、スイッチTFT910<sub>nm</sub>と、保持キャパシタ920<sub>nm</sub>と、有機LED930<sub>nm</sub>とを有する。

## 【0151】

図15に示した2トランジスタ方式の画素回路と異なる点は、定電圧の代わりにスイッチ素子としてのp型TFT940<sub>nm</sub>を介して定電流源950<sub>nm</sub>からの定電流I<sub>data</sub>を画素に供給するようにした点と、電源ラインにスイッチ素子としてのp型TFT960<sub>nm</sub>を介して保持キャパシタ920<sub>nm</sub>及び駆動TFT900<sub>nm</sub>と接続するようにした点である。

30

## 【0152】

このような有機EL素子において、まずゲート電圧V<sub>gp</sub>によりp型TFT960をオフにして電源ラインを遮断し、ゲート電圧V<sub>se1</sub>によりp型TFT940<sub>nm</sub>とスイッチTFT910<sub>nm</sub>をオンにして、定電流源950<sub>nm</sub>からの定電流I<sub>data</sub>を駆動TFT900<sub>nm</sub>に流す。

## 【0153】

駆動TFT900<sub>nm</sub>に流れる電流が安定するまでの間に、保持キャパシタ920<sub>nm</sub>には定電流I<sub>data</sub>に応じた電圧が保持される。

40

## 【0154】

続いて、ゲート電圧V<sub>se1</sub>によりp型TFT940<sub>nm</sub>とスイッチTFT910<sub>nm</sub>をオフにし、さらにゲート電圧V<sub>gp</sub>によりp型TFT960<sub>nm</sub>をオンにし、電源ラインと駆動TFT900<sub>nm</sub>及び有機LED930<sub>nm</sub>を電氣的に接続する。このとき、保持キャパシタ920<sub>nm</sub>に保持された電圧により、定電流I<sub>data</sub>とほぼ同等か、又はこれに応じた大きさの電流が有機LED930<sub>nm</sub>に供給される。

## 【0155】

このような有機EL素子では、例えば、走査ラインをゲート電圧V<sub>se1</sub>、信号ラインをデータ線として構成することができる。

## 【0156】

50



有機LEDは、透明アノード（ITO）の上部に発光層を設け、さらにその上部にメタルカソードを設けるようにしても良いし、メタルアノードの上部に、発光層、光透過性カソード、透明シールを設けるようにしても良く、その素子構造に限定されるものではない。

【0157】

以上説明したような有機EL素子を含む有機ELパネルを表示駆動する信号ドライバを上述したように構成することによって、有機ELパネルを表示制御する表示コントローラの微細化を図ることができる。

【0158】

なお、本発明は上述した実施の形態に限定されるものではなく、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、プラズマディスプレイ装置にも適用可能である。

10

【0159】

また、本実施形態では、ライン駆動回路として信号ドライバを例に説明したが、これに限定されるものではない。

【図面の簡単な説明】

【図1】本実施形態におけるライン駆動回路を含む表示装置の構成の概要を示すブロック図である。

【図2】本実施形態における液晶装置のLCDパネルの駆動波形の一例を示す説明図である。

【図3】比較例として液晶装置を構成する各半導体装置の接続関係の一例を示す説明図である。

20

【図4】本実施形態における液晶装置を構成する各半導体装置の接続関係の一例を示す説明図である。

【図5】本実施形態における信号ドライバの原理的構成を示す構成図である。

【図6】本実施形態における信号ドライバの構成の概要を示す構成図である。

【図7】本実施形態における信号ドライバのI/O回路のレイアウトイメージを模式的に示す模式図である。

【図8】本実施形態におけるI/O回路の回路構成の一例の概要を示す構成図である。

【図9】本実施形態におけるLV-LV出力バッファ回路の回路構成の一例を示す回路図である。

【図10】本実施形態におけるLV-LV入力バッファ回路の回路構成の一例を示す回路図である。

30

【図11】本実施形態におけるLV-HV出力バッファ回路の回路構成の一例を示す回路図である。

【図12】本実施形態におけるHV-LV入力バッファ回路の回路構成の一例を示す回路図である。

【図13】本実施形態における制御回路の回路構成の一例を示す構成図である。

【図14】本実施形態における信号ドライバが適用された液晶装置の構成の概要を示す説明図である。

【図15】有機ELパネルにおける2トランジスタ方式の画素回路の一例を示す回路図である。

40

【図16】図16（A）は、有機ELパネルにおける4トランジスタ方式の画素回路の一例を示す回路図である。図16（B）は、4トランジスタ方式の画素回路の表示制御タイミングの一例を示すタイミング図である。

【符号の説明】

10、100 液晶装置

20、120 LCDパネル

22<sub>nm</sub> TFT

24<sub>nm</sub> 液晶容量

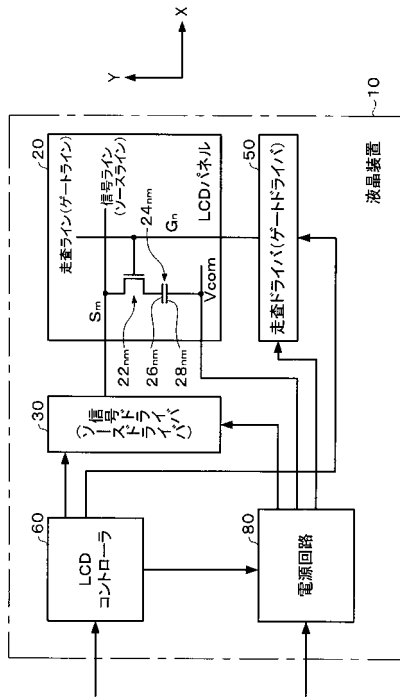
26<sub>nm</sub> 画素電極

28<sub>nm</sub> 対向電極

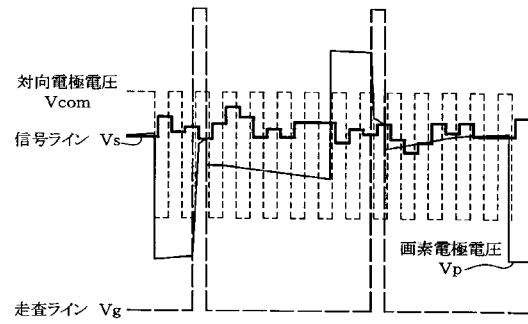
50

|                                                                                                                                                                                                        |                 |    |
|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------|----|
| 3 0、1 3 0                                                                                                                                                                                              | 信号ドライバ          |    |
| 5 0、1 5 0                                                                                                                                                                                              | 走査ドライバ          |    |
| 6 0、1 6 0                                                                                                                                                                                              | L C Dコントローラ     |    |
| 8 0、1 8 0                                                                                                                                                                                              | 電源回路            |    |
| 2 0 0、2 1 0                                                                                                                                                                                            | インタフェース部        |    |
| 3 0 0 <sub>1</sub> ～3 0 0 <sub>P</sub> 、4 1 0 <sub>1</sub> ～4 1 0 <sub>Q</sub>                                                                                                                         | I / O回路         |    |
| 3 0 2 <sub>1</sub> ～3 0 2 <sub>P</sub>                                                                                                                                                                 | レベル変換回路 (L / S) |    |
| 3 1 0 <sub>1</sub> ～3 1 0 <sub>P</sub>                                                                                                                                                                 | 入力端子            |    |
| 3 2 0 <sub>1</sub> ～3 2 0 <sub>P</sub>                                                                                                                                                                 | 出力端子            |    |
| 4 0 0 <sub>1</sub> ～4 0 0 <sub>Q</sub>                                                                                                                                                                 | 入出力パッド          | 10 |
| 4 1 2 <sub>j</sub>                                                                                                                                                                                     | L V－L Vバッファ回路   |    |
| 4 1 4 <sub>j</sub>                                                                                                                                                                                     | L V－L V出力バッファ回路 |    |
| 4 1 6 <sub>j</sub>                                                                                                                                                                                     | L V－L V入力バッファ回路 |    |
| 4 1 8 <sub>j</sub>                                                                                                                                                                                     | L V－H Vバッファ回路   |    |
| 4 2 0 <sub>j</sub>                                                                                                                                                                                     | L V－H V出力バッファ回路 |    |
| 4 2 2 <sub>j</sub>                                                                                                                                                                                     | H V－L V入力バッファ回路 |    |
| 4 2 4 <sub>j</sub>                                                                                                                                                                                     | セクタ回路           |    |
| 4 2 6 <sub>j</sub>                                                                                                                                                                                     | G / A回路         |    |
| 4 3 0                                                                                                                                                                                                  | セクタライン          |    |
| 4 4 0 <sub>j</sub>                                                                                                                                                                                     | 制御回路            | 20 |
| 5 0 0 <sub>j</sub> 、5 0 4 <sub>j</sub> 、5 2 4 <sub>j</sub> 、5 4 0 <sub>j</sub> 、5 4 4 <sub>j</sub> 、5 4 8 <sub>j</sub> 、5 5 2 <sub>j</sub> 、5 5 6 <sub>j</sub> 、5 6 0 <sub>j</sub> 、5 7 0 <sub>j</sub> | インバータ回路         |    |
| 5 0 2 <sub>j</sub> 、5 2 6 <sub>j</sub> 、5 4 2 <sub>j</sub> 、5 7 2 <sub>j</sub>                                                                                                                         | E X O R回路       |    |
| 5 0 6 <sub>j</sub> 、5 2 0 <sub>j</sub> 、5 5 0 <sub>j</sub> 、5 5 8 <sub>j</sub>                                                                                                                         | L S             |    |
| 5 0 8 <sub>j</sub> 、5 2 2 <sub>j</sub>                                                                                                                                                                 | トランスファ回路        |    |
| 5 2 8 <sub>j</sub> 、5 3 2 <sub>j</sub> 、5 6 4 <sub>j</sub> 、5 7 6 <sub>j</sub>                                                                                                                         | n型トランジスタ        |    |
| 5 3 0 <sub>j</sub> 、5 6 2 <sub>j</sub> 、5 7 4 <sub>j</sub>                                                                                                                                             | p型トランジスタ        |    |
| 5 4 6 <sub>j</sub>                                                                                                                                                                                     | N A N D回路       |    |
| 5 5 4 <sub>j</sub>                                                                                                                                                                                     | N O R回路         |    |

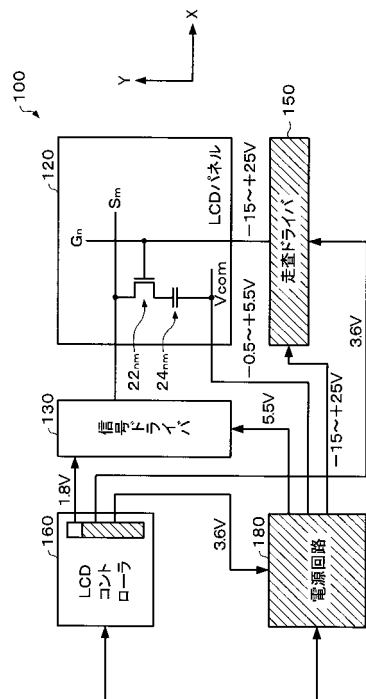
【図 1】



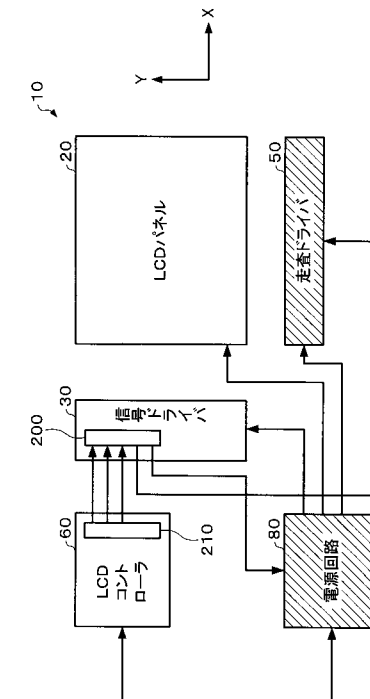
【図 2】



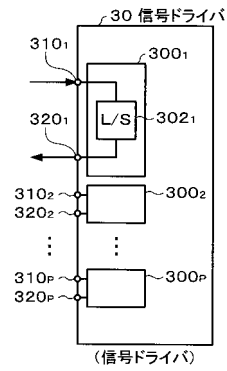
【図 3】



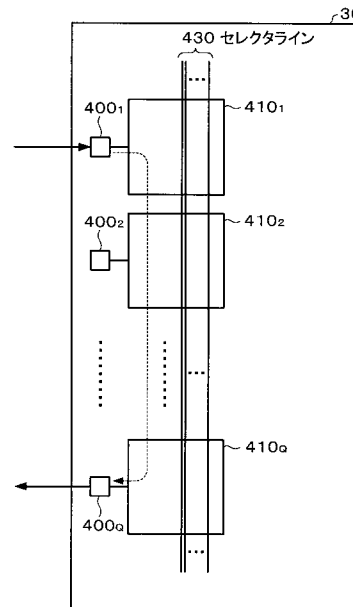
【図 4】



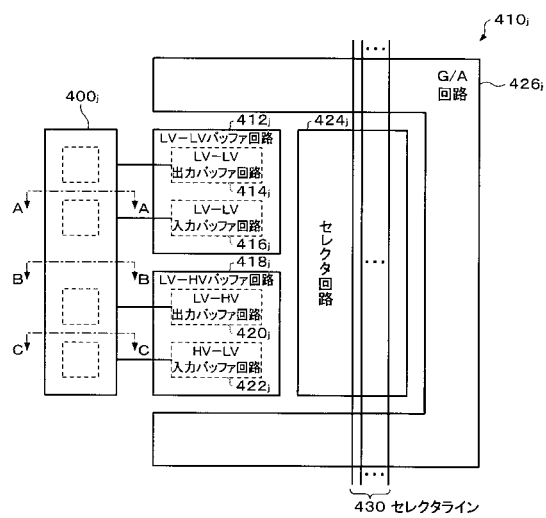
【図 5】



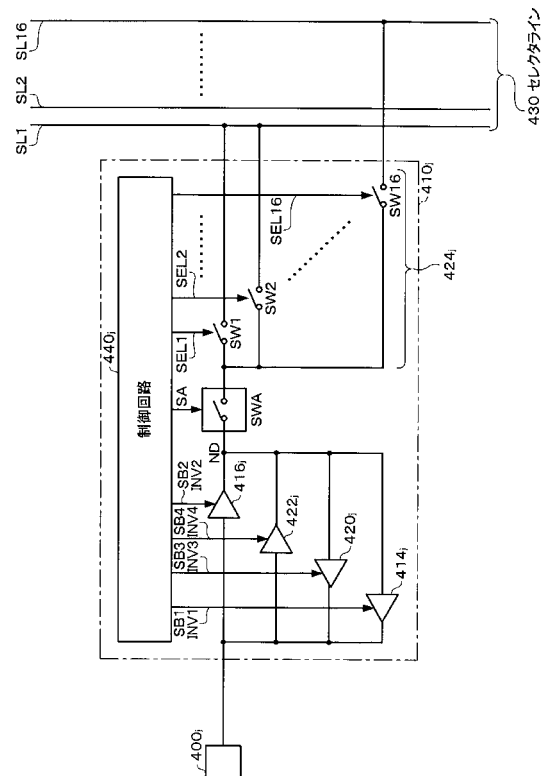
【図 6】



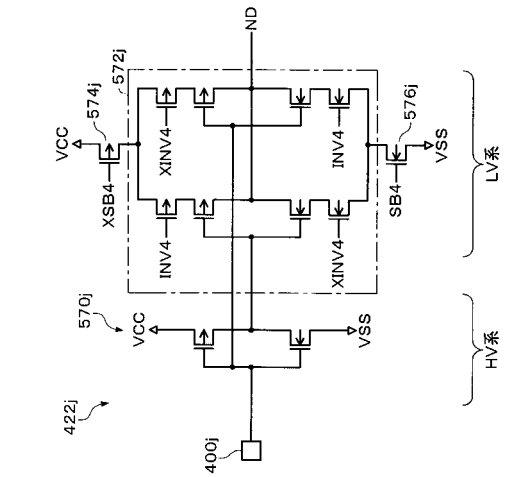
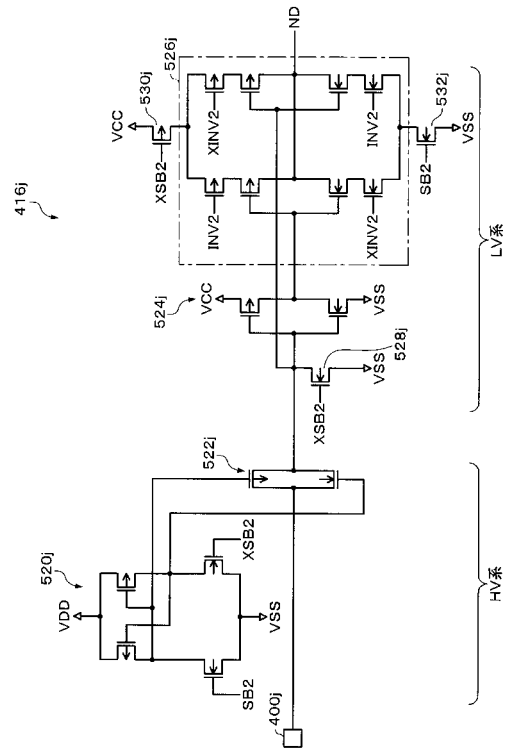
【図 7】



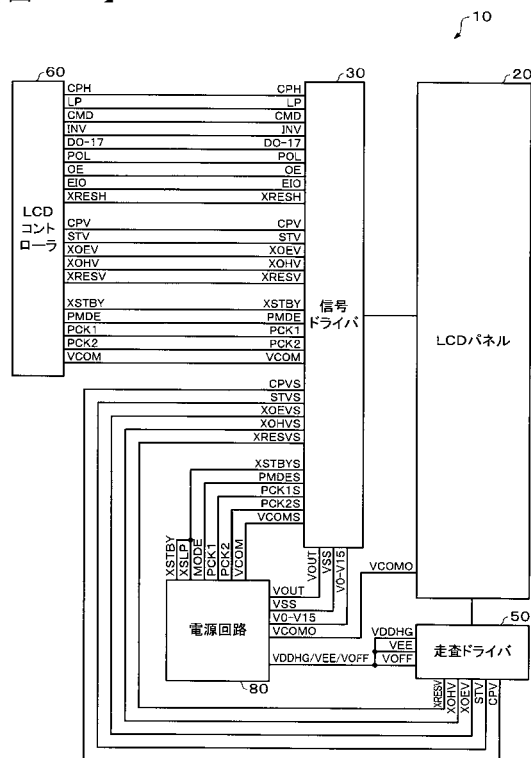
【図 8】



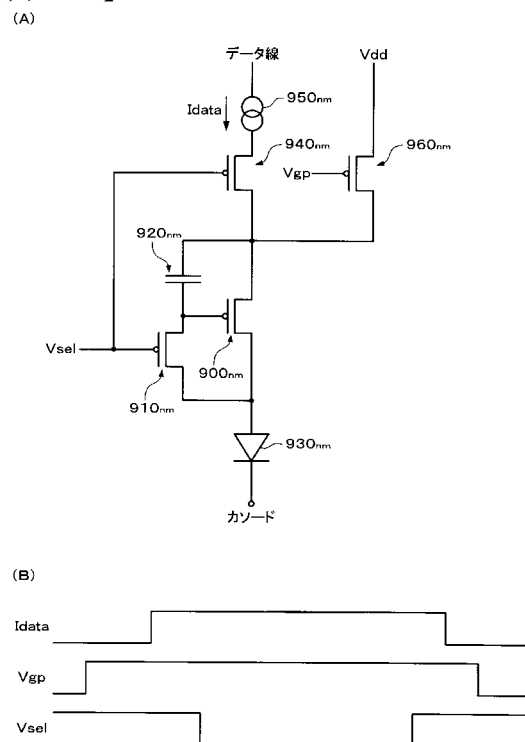
【 図 1 2 】



【图 14】



【図 16】



---

フロントページの続き

(51)Int.Cl. F I  
G 0 9 G 3/20 6 2 3 B  
G 0 9 G 3/30 J

(56)参考文献 特開2001-075071 (JP, A)  
特開平10-096958 (JP, A)  
特開2000-134047 (JP, A)  
特開平06-167940 (JP, A)  
特開平11-085090 (JP, A)  
特開平09-006294 (JP, A)  
特開2000-098954 (JP, A)  
特開平08-021984 (JP, A)  
特開2002-287111 (JP, A)  
特開2001-166726 (JP, A)  
特開2001-142435 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G09G 3/36  
G02F 1/133 505  
G09G 3/20 611  
G09G 3/20 612  
G09G 3/20 621  
G09G 3/20 623  
G09G 3/30

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
|----------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 线路驱动电路，电光器件和显示器件                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| 公开(公告)号        | <a href="#">JP3743505B2</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                           | 公开(公告)日 | 2006-02-08 |
| 申请号            | JP2001181678                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                          | 申请日     | 2001-06-15 |
| [标]申请(专利权)人(译) | 精工爱普生株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| 申请(专利权)人(译)    | 精工爱普生公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| 当前申请(专利权)人(译)  | 精工爱普生公司                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| [标]发明人         | 森田 晶                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |         |            |
| 发明人            | 森田 晶                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |         |            |
| IPC分类号         | G09G3/36 G02F1/133 G09G3/20 G09G3/30 G09G3/32                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| CPC分类号         | G09G3/2092 G09G3/3208 G09G3/3648 G09G3/3685 G09G3/3696 G09G2310/0289 G09G2330/02                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| FI分类号          | G09G3/36 G02F1/133.505 G09G3/20.611.F G09G3/20.612.D G09G3/20.621.L G09G3/20.623.B G09G3/30.J G09G3/325 G09G3/3266 G09G3/3275 G09G3/3283 G09G3/3291                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| F-TERM分类号      | 2H093/NC02 2H093/NC09 2H093/NC13 2H093/ND31 2H093/ND38 2H093/ND54 2H193/ZF02 5C006/AA16 5C006/AC21 5C006/AF43 5C006/BB16 5C006/BC12 5C006/BF42 5C006/FA46 5C006/FA51 5C080/AA06 5C080/AA10 5C080/BB05 5C080/DD25 5C080/DD27 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C380/AA01 5C380/AB06 5C380/AB11 5C380/AB12 5C380/AC11 5C380/BA28 5C380/CA04 5C380/CA05 5C380/CA08 5C380/CA12 5C380/CA13 5C380/CA16 5C380/CA57 5C380/CB01 5C380/CB17 5C380/CC02 5C380/CC13 5C380/CC26 5C380/CC33 5C380/CC39 5C380/CC52 5C380/CC62 5C380/CC63 5C380/CD012 5C380/CE05 5C380/CE22 5C380/CF07 5C380/CF10 5C380/CF22 5C380/CF23 5C380/CF24 5C380/CF32 5C380/CF33 5C380/CF34 5C380/CF52 5C380/CF64 5C380/DA02 5C380/DA06 |         |            |
| 代理人(译)         | 井上 一                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |         |            |
| 审查员(译)         | Naoaki桥本                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |         |            |
| 其他公开文献         | JP2002372957A                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |

# 摘要(译)

要解决的问题：提供一种通过工艺的小型化有效降低成本的线驱动电路，以及使用该电路的电光装置和显示装置。液晶装置包括LCD面板，信号驱动器，扫描驱动器和电源电路，它们由LCD控制器控制。信号驱动器30包括接口电路，用于通过在接口单元200中使用中压耐受过程将低击穿电压系统的电压转换为高耐压系统的电压，接收从LCD控制器60提供的低击穿电压系统的信号组，电压系统电压，然后将其提供给扫描驱动器50或电源电路80。

【 図 4 】

