

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

特許第3406884号
(P3406884)

(45)発行日 平成15年5月19日(2003.5.19)

(24)登録日 平成15年3月7日(2003.3.7)

(51) Int.Cl ⁷	識別記号	F I	
G 0 9 G 3/36		G 0 9 G 3/36	
G 0 2 F 1/133	505	G 0 2 F 1/133	505
G 0 9 G 3/20	611	G 0 9 G 3/20	611 H
	623		623 A
H 0 3 F 3/343		H 0 3 F 3/343	A
請求項の数 14 (全 18数) 最終頁に続く			

(21)出願番号 特願2000 - 46408(P2000 - 46408)

(22)出願日 平成12年2月23日(2000.2.23)

(65)公開番号 特開2000 - 310981(P2000 - 310981A)

(43)公開日 平成12年11月7日(2000.11.7)

審査請求日 平成13年9月14日(2001.9.14)

(31)優先権主張番号 特願平11 - 48327

(32)優先日 平成11年2月25日(1999.2.25)

(33)優先権主張国 日本(JP)

(73)特許権者 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号

(72)発明者 板倉 哲朗
神奈川県川崎市幸区小向東芝町1番地 株式
会社東芝研究開発センター内

(74)代理人 100058479
弁理士 鈴江 武彦 (外 6 名)

審査官 鈴野 幹夫

(56)参考文献 特開 平8 - 340243(JP,A)
特開 平9 - 252226(JP,A)
特開 平10 - 187100(JP,A)

最終頁に続く

(54)【発明の名称】 集積回路装置及びこれを用いた液晶ディスプレイ装置

1

(57)【特許請求の範囲】

【請求項 1】 複数の増幅回路が同一チップ内に列をなして集積化された集積回路装置において：

前記複数の増幅回路の L 個（ L は、 1 以上の整数）おきに設けられたダイオード接続された複数の入力側トランジスタと；前記複数の増幅回路に夫々設けられた複数の出力側トランジスタとを有し；前記入力側トランジスタと前記出力側トランジスタとでカレントミラー回路を構成し、前記入力側トランジスタは前記増幅回路に供給するバイアス電流を設定するための入力電流を受け、前記出力側トランジスタは前記入力電流に対応した出力電流を前記増幅回路にバイアス電流として夫々供給することを特徴とする集積回路装置。

【請求項 2】 複数の増幅回路が同一チップ内に列をなして集積化された集積回路装置において：

2

前記複数の増幅回路におのおの配置された複数のダイオード接続されたトランジスタと；前記複数の増幅回路に夫々設けられた複数の出力側トランジスタとを有し；前記複数のダイオード接続されたトランジスタのうち前記複数の増幅回路の M 個（ M は、 1 以上の整数）おきに P 個（ P は、 P M の整数）のみを入力側トランジスタとして結線して用い前記出力側トランジスタとでカレントミラー回路を構成し、前記入力側トランジスタは前記増幅回路に供給するバイアス電流を設定するための入力電流を受け前記出力側トランジスタは前記入力電流に対応した出力電流を前記増幅回路にバイアス電流として夫々供給することを特徴とする集積回路装置。

【請求項 3】 複数の増幅回路が同一チップ内に列をなして集積化された集積回路装置において：

前記複数の増幅回路の列の両端に配置された二つの入力

側トランジスタと；前記複数の増幅回路に夫々設けられた複数の出力側トランジスタとを有し；前記入力側トランジスタと前記出力側トランジスタとでカレントミラー回路を構成し、前記入力側トランジスタは前記増幅回路に供給するバイアス電流を設定するための入力電流を受け、前記出力側トランジスタは前記入力電流に対応した出力電流を前記増幅回路にバイアス電流として夫々供給することを特徴とする集積回路装置。

【請求項 4】 複数の画素と各画素に画像信号を選択的に与えるための信号線及び該信号線と交差する走査線が配列形成された液晶ディスプレイと；画像信号を増幅して前記信号線に供給する増幅回路群を含んで構成され、前記信号線を駆動する駆動回路と；前記走査線を選択する選択回路とを有する液晶ディスプレイ装置において：前記増幅回路群は、所定の複数の増幅回路が同一駆動回路チップ内に列をなして集積化されており；前記駆動回路チップは、前記増幅回路の L 個（ L は、1 以上の整数）おきに設けられたダイオード接続された複数の入力側トランジスタと；前記増幅回路に夫々設けられた複数の出力側トランジスタとを有し；前記入力側トランジスタと前記出力側トランジスタとでカレントミラー回路を構成し、前記入力側トランジスタは前記増幅回路に供給するバイアス電流を設定するための入力電流を受け、前記出力側トランジスタは前記入力電流に対応した出力電流を前記増幅回路にバイアス電流として夫々供給することを特徴とする液晶ディスプレイ装置。

【請求項 5】 複数の画素と各画素に画像信号を選択的に与えるための信号線及び該信号線と交差する走査線が配列形成された液晶ディスプレイと；画像信号を増幅して前記信号線に供給する増幅回路群を含んで構成され、前記信号線を駆動する駆動回路と；前記走査線を選択する選択回路とを有する液晶ディスプレイ装置において：前記増幅回路群は、所定の複数の増幅回路が同一駆動回路チップ内に列をなして集積化されており；前記駆動回路チップは、前記複数の増幅回路の列の両端に配置された二つの入力側トランジスタと；前記複数の増幅回路に夫々設けられた複数の出力側トランジスタとを有し；前記入力側トランジスタと前記出力側トランジスタとでカレントミラー回路を構成し、前記入力側トランジスタは前記増幅回路に供給するバイアス電流を設定するための入力電流を受け前記出力側トランジスタは前記入力電流に対応した出力電流を前記増幅回路にバイアス電流として夫々供給することを特徴とする液晶ディスプレイ装置。

【請求項 6】 1 チップ内にアレイ状に集積化された複数の増幅回路と；前記複数の増幅回路にそれぞれ設けられ、バイアス電流を設定するための設定電圧を受けて出力電流を前記増幅回路にバイアス電流として供給する複数の出力側トランジスタと；

前記複数の増幅回路の L 個（ L は、1 以上の整数）おきに前記増幅回路内に分散して配置され、前記設定電圧を受けて監視電流を出力する複数の監視トランジスタと；前記監視電流と設定入力電流との差に応じた電圧を増幅して前記設定電圧を出力する増幅器とにより構成される集積回路装置。

【請求項 7】 前記増幅器は、ソースフォロア或は、エミッタフォロアにて構成される請求項 6 記載の集積回路装置。

【請求項 8】 1 チップ内にアレイ状に集積化された複数の増幅回路と；

前記複数の増幅回路にそれぞれ設けられ、バイアス電流を設定するための設定電圧を受けて出力電流を前記増幅回路にバイアス電流として供給する複数の出力側トランジスタと；

前記複数の増幅回路内に分散して配置され、前記設定電圧を受けて監視電流を出力する複数の監視トランジスタと；

前記監視電流と設定入力電流との差に応じた電圧を増幅して前記設定電圧を出力する増幅器とを備え；

前記増幅器は、前記複数の出力側トランジスタとともにカレントミラーを構成し、並列に接続される複数のダイオード接続トランジスタを有する出力段を含み、前記複数のダイオード接続トランジスタは前記複数の増幅回路の M 個（ M は、1 以上の整数）おきに前記増幅回路内に分散して配置されることを特徴とする集積回路装置。

【請求項 9】 1 チップ内にアレイ状に集積化された複数の増幅回路と；

前記複数の増幅回路にそれぞれ設けられ、バイアス電流を設定するための設定電圧を受けて出力電流を前記増幅回路にバイアス電流として供給する複数の出力側トランジスタと；

前記複数の増幅回路のアレイの両端に配置され、前記設定電圧を受けて監視電流を出力する 2 つの監視トランジスタと；

前記監視電流と設定入力電流との差に応じた電圧を増幅して前記設定電圧を出力する増幅器とにより構成される集積回路装置。

【請求項 10】 1 チップ内にアレイ状に集積化された複数の増幅回路と；

前記複数の増幅回路にそれぞれ設けられ、バイアス電流を設定するための設定電圧を受けて出力電流を前記増幅回路にバイアス電流として供給する複数の出力側トランジスタと；

前記複数の増幅回路内に分散して配置され、前記設定電圧を受けて監視電流を出力する複数の監視トランジスタと；

前記監視電流と設定入力電流との差に応じた電圧を増幅して前記設定電圧を出力する増幅器とを備え；

前記増幅器は、前記複数の出力側トランジスタとともに

カレントミラーを構成し、並列に接続される複数のダイオード接続トランジスタを有する出力段を含み、前記複数のダイオード接続トランジスタは前記複数の増幅回路のアレイの両端に配置されることを特徴とする集積回路装置。

【請求項 1 1】 複数の画素と各画素に画像信号を選択的に与えるための信号線及び該信号線と交差する走査線が配列形成された液晶ディスプレイと；画像信号を増幅して前記信号線に供給する増幅回路群を含んで構成され、前記信号線を駆動する駆動回路と；前記走査線を選択する選択回路とを有する液晶ディスプレイ装置において：

前記増幅回路群は、同一駆動回路チップ内にアレイ状に集積化された複数の増幅回路を含み；

前記駆動回路チップは、前記複数の増幅回路にそれぞれ設けられ、バイアス電流を設定するための設定電圧を受けて出力電流を前記増幅回路にバイアス電流として供給する複数の出力側トランジスタと；前記複数の増幅回路の L 個（L は、1 以上の整数）おきに前記増幅回路内に分散して配置され、前記設定電圧を受けて監視電流を出力する複数の監視トランジスタと；前記監視電流と設定入力電流との差に応じた電圧を増幅して前記設定電圧を出力する増幅器とにより構成されることを特徴とする液晶ディスプレイ装置。

【請求項 1 2】 複数の画素と各画素に画像信号を選択的に与えるための信号線及び該信号線と交差する走査線が配列形成された液晶ディスプレイと；画像信号を増幅して前記信号線に供給する増幅回路群を含んで構成され、前記信号線を駆動する駆動回路と；前記走査線を選択する選択回路とを有する液晶ディスプレイ装置において：

前記増幅回路群は、同一駆動回路チップ内にアレイ状に集積化された複数の増幅回路を含み；

前記駆動回路チップは、前記複数の増幅回路にそれぞれ設けられ、バイアス電流を設定するための設定電圧を受けて出力電流を前記増幅回路にバイアス電流として供給する複数の出力側トランジスタと；前記複数の増幅回路内に分散して配置され、前記設定電圧を受けて監視電流を出力する複数の監視トランジスタと；前記監視電流と設定入力電流との差に応じた電圧を増幅して前記設定電圧を出力する増幅器とを備え；

前記増幅器は、前記複数の出力側トランジスタとともにカレントミラーを構成し、並列に接続される複数のダイオード接続トランジスタを有する出力段を含み、前記複数のダイオード接続トランジスタは前記複数の増幅回路の M 個（M は、1 以上の整数）おきに前記増幅回路内に分散して配置されることを特徴とする液晶ディスプレイ装置。

【請求項 1 3】 複数の画素と各画素に画像信号を選択的に与えるための信号線及び該信号線と交差する走査線*

*が配列形成された液晶ディスプレイと；画像信号を増幅して前記信号線に供給する増幅回路群を含んで構成され、前記信号線を駆動する駆動回路と；前記走査線を選択する選択回路とを有する液晶ディスプレイ装置において：

前記増幅回路群は、同一駆動回路チップ内にアレイ状に集積化された複数の増幅回路を含み；

前記駆動回路チップは、前記複数の増幅回路にそれぞれ設けられ、バイアス電流を設定するための設定電圧を受けて出力電流を前記増幅回路にバイアス電流として供給する複数の出力側トランジスタと；前記複数の増幅回路のアレイの両端に配置され、前記設定電圧を受けて監視電流を出力する 2 つの監視トランジスタと；前記監視電流と設定入力電流との差に応じた電圧を増幅して前記設定電圧を出力する増幅器とにより構成される液晶ディスプレイ装置。

【請求項 1 4】 複数の画素と各画素に画像信号を選択的に与えるための信号線及び該信号線と交差する走査線が配列形成された液晶ディスプレイと；画像信号を増幅して前記信号線に供給する増幅回路群を含んで構成され、前記信号線を駆動する駆動回路と；前記走査線を選択する選択回路とを有する液晶ディスプレイ装置において：

前記増幅回路群は、同一駆動回路チップ内にアレイ状に集積化された複数の増幅回路を含み；

前記駆動回路チップは、前記複数の増幅回路にそれぞれ設けられ、バイアス電流を設定するための設定電圧を受けて出力電流を前記増幅回路にバイアス電流として供給する複数の出力側トランジスタと；前記複数の増幅回路内に分散して配置され、前記設定電圧を受けて監視電流を出力する複数の監視トランジスタと；前記監視電流と設定入力電流との差に応じた電圧を増幅して前記設定電圧を出力する増幅器とを備え；

前記増幅器は、前記複数の出力側トランジスタとともにカレントミラーを構成し、並列に接続される複数のダイオード接続トランジスタを有する出力段を含み、前記複数のダイオード接続トランジスタは前記複数の増幅回路のアレイの両端に配置されることを特徴とする液晶ディスプレイ装置。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】本発明は、多数の増幅回路などの電子回路を集積化した集積回路装置及び液晶ディスプレイ装置に係り、特にチップ間のバイアス電流のばらつきを低減させた集積回路装置およびこれを駆動回路の増幅回路として用いた液晶ディスプレイ装置に関する。

【0 0 0 2】

【従来の技術】本発明は、多数の増幅回路などの電子回路を集積化した集積回路装置及び液晶ディスプレイ装置に係り、特にチップ間のバイアス電流のばらつきを低減させた集積回路装置およびこれを駆動回路の増幅回路と

して用いた液晶ディスプレイ装置に関する。

【0003】従来の液晶ディスプレイ装置におけるディスプレイ駆動回路は、デジタル画像信号（以下、RGB信号）を記憶する、一水平ラインに必要な画素数と同数の第1の記憶素子と、RGB信号を記憶するタイミングパルスを送送するシフトレジスタと、記憶素子に記憶されたRGB信号を一水平期間の周期でさらに記憶する第2の記憶素子と、第2の記憶素子に記憶された一水平ラインのRGB信号をアナログ値に変換するD/A変換器（DAC）群と、このDAC群によりアナログ値に変換されたRGB信号を入力し、液晶ディスプレイパネルの信号線及び液晶セルを駆動するための増幅回路群から構成される。アナログ値に変換されたRGB信号の電圧が印加された液晶セルは、電圧値に応じて光の透過率を変えることで、対応する画素の明るさを決定する。

【0004】ここで、増幅回路群のバイアス電流は、1つのバイアス回路で発生されたバイアス信号に従って設定される。具体的には、バイアス回路内で発生した電流 I_{bias} を該バイアス回路内に設けられたダイオード接続されたトランジスタに供給し、このトランジスタのゲート電圧を増幅回路群の各増幅回路に供給する。

【0005】各増幅回路では、トランジスタのゲート電圧が各増幅回路のトランジスタのゲートに印加され電流に変換される。この変換電流がバイアス電流として用いられる。すなわち、バイアス回路のトランジスタと増幅回路のトランジスタはカレントミラー回路を構成し、バイアス回路のトランジスタがカレントミラー回路の入力側トランジスタ、増幅回路のトランジスタがカレントミラー回路の出力側トランジスタとなる。

【0006】液晶ディスプレイ装置の仕様にもよるが、増幅回路群に含まれる増幅回路の個数は、例えば液晶デジタルパネルにアモルファスシリコン TFT を用いたもので、3000個というように非常に多い。従って、集積回路化に当たり増幅回路群を1チップで構成することは困難であるため、複数のチップで構成することが一般的である。この場合、バイアス回路も各チップ毎に設けられることになる。一般には、1チップ内に300個程度の増幅回路が組み込まれる。

【0007】これら増幅回路はチップ内に列をなして集積化されており、カレントミラー回路の入力側トランジスタ（バイアス回路のトランジスタ）は、この増幅回路の列のいずれかの端に配置されている。例えば、左端の増幅回路の隣に入力側トランジスタが配置されている。

【0008】バイアス回路のトランジスタおよび増幅回路のトランジスタには通常、MOSトランジスタが用いられる。MOSトランジスタの閾値電圧（ V_t ）は、一般に異なるチップ間でも同一チップ内でも、ある範囲内でばらつきを生じる。ここで、増幅回路のトランジスタの閾値電圧がばらついていても、1チップ内の増幅回路の個数が300個といったように多いときには、一般に異な

るチップ間でも増幅回路内のトランジスタのばらつき具合に大差はない。

【0009】しかし、バイアス回路内のダイオード接続されたトランジスタの閾値電圧がチップ間でばらつく、このばらつきに応じて増幅回路内のトランジスタに流れるバイアス電流がばらつくため、これがチップ間の消費電流の差や特性の差として現れる。チップ間の消費電流の差は、液晶ディスプレイ装置の電源設計に重要な影響を及ぼすため、好ましくない。また、チップ間の特性のばらつきは、液晶ディスプレイ装置の画質を劣化させる要因となる。

【0010】

【発明が解決しようとする課題】上述したように、従来の液晶ディスプレイ装置に使用される増幅回路におけるバイアス回路構成では、チップ内の増幅回路の多数のトランジスタに流れるバイアス電流がチップ間でばらつくことにより、チップ間で消費電流や特性が異なってしまうという問題点があった。

【0011】本発明は、チップ間のバイアス電流のばらつきが少なく、チップ間での消費電流や特性の差を小さくした集積回路装置及びこれを駆動回路に用いて設計を容易とし、かつ画質劣化を低減させた液晶ディスプレイ装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は、複数の電子回路と、バイアス電流を設定するための入力電流を受け、前記複数の電子回路内に分散して配置され、ダイオード接続された複数の入力側トランジスタと、入力電流に対応した出力電流を複数の電子回路にバイアス電流としてそれぞれ供給する複数の出力トランジスタからなるカレントミラー回路とを1チップ内に集積化した集積回路装置を提供する。

【0013】本発明によると、複数の電子回路はチップ内にアレイ状に集積化され、入力側トランジスタは複数の電子回路の列の L 個（ L は、1以上の正数）おきの電子回路内に分散して配置される。

【0014】本発明によると、複数の電子回路はチップ内にアレイ状に集積化され、複数の電子回路内のダイオード接続された入力側トランジスタのうち、複数の電子回路の列の M 個（ M は、1以上の正数）の入力側トランジスタおきに P 個（ P は、 $P \geq M$ の正数）のみを前記出力側トランジスタと共にカレントミラー回路を形成するように結線して使用される。

【0015】このように本発明の集積回路装置では、各電子回路内のバイアス電流を発生する出力側トランジスタとともにカレントミラー回路を構成するダイオード接続された複数の入力側トランジスタが設けられ、これらトランジスタが分散して配置されることにより、チップ毎の入力側トランジスタの閾値電圧のばらつきの平均値がチップ間でほぼ均等になる。従って、入力側トランジ

スタと出力側トランジスタのマッチングが向上し、チップ間での消費電流や特性の差が低減される。

【0016】本発明は、複数の画素と各画素に画像信号を選択的に与えるための信号線及び該信号線と交差する走査線が配列形成された液晶ディスプレイと、画像信号を増幅して前記信号線に供給する増幅回路群を含んで構成され、前記信号線を駆動する駆動回路と、前記走査線を選択する選択回路とで構成され、前記増幅回路群は、所定数の単位で複数のチップ内に集積化され、前記チップの各々は、バイアス電流を設定するための入力電流を受け、ダイオード接続された複数の入力側トランジスタと、前記入力電流に対応した出力電流を前記増幅回路にバイアス電流としてそれぞれ供給する複数の出力トランジスタからなるカレントミラー回路を集積化しており、前記複数の入力側トランジスタは、前記チップの各々に組み込まれた前記複数の増幅回路内に分散して配置される、液晶ディスプレイ装置を提供する。

【0017】このように本発明による集積回路装置を用いて液晶ディスプレイ装置の駆動回路における増幅回路群を構成すると、チップ間での消費電流や特性の差が小さいために、特に電源の設計が容易であり、かつ特性ばらつきによる画質劣化の少ない液晶ディスプレイ装置を実現することができる。

【0018】本発明は、バイアス電流を設定するための設定電圧を受けて出力電流を前記電子回路にバイアス電流として供給する複数の出力トランジスタと、前記複数の電子回路内に分散して配置され、前記設定電圧を受けて監視電流を出力する複数の監視トランジスタと、前記監視電流と設定入力電流との差に応じた電圧を増幅して前記設定電圧を出力する増幅器とにより構成される集積回路装置を提供する。

【0019】本発明は、複数の画素と、各画素に画像信号を選択的に与えるための信号線とその信号線と交差する走査線が配列形成された液晶ディスプレイと、画像信号を増幅して前記信号線に供給する増幅回路群と、前記信号線を駆動する駆動回路と、前記走査線を選択する選択回路とで構成され、前記増幅回路群は、所定数の単位で複数のチップ内に集積化され、前記チップの各々は、バイアス電流を設定するための設定電圧を受けて出力電流を前記増幅回路にバイアス電流として供給する複数の出力トランジスタと、前記複数の増幅回路内に分散して配置され、前記設定電圧を受けて監視電流を出力する複数の監視トランジスタと、前記監視電流と設定入力電流の差に応じた電圧を増幅して前記設定電圧を出力する増幅器とにより構成される液晶ディスプレイ装置を提供する。

【0020】

【発明の実施の形態】図1は、本発明を適用した液晶ディスプレイ装置を示している。この液晶ディスプレイ装置は、液晶ディスプレイパネル10と、画像信号を信号

線に供給するための液晶ディスプレイ駆動回路12、及び走査線を選択的に駆動する走査線選択回路13により構成される。液晶ディスプレイパネル10はマトリクス状に配列される多数の液晶セル11と、画像信号が供給される複数本の信号線14と、これら信号線14と交差している複数本の走査線15により構成される。

【0021】液晶ディスプレイ装置のディスプレイ駆動回路12はデジタル画像信号（以下、RGB信号）を記憶する一水平ラインに必要な画素数と同数の記憶素子22と、RGB信号を記憶するタイミングパルスを転送するシフトレジスタ21と、記憶素子22に記憶されたRGB信号を一水平期間の周期でさらに記憶する記憶素子23と、記憶素子23に記憶された一水平ラインのRGB信号をアナログ値に変換するD/A変換器(DAC)群24と、DAC群24によりアナログ値に変換されたRGB信号を入力し、液晶ディスプレイパネルの信号線14及び液晶セル11を駆動するための増幅回路群25から構成される。アナログ値に変換されたRGB信号の電圧が印加された液晶セル11は、電圧値に応じて光の透過率を変えることで、対応する画素の明るさを決定する。

【0022】図3は、上記液晶ディスプレイ装置に用いられる本発明の第1の実施形態に係る1チップ構成の集積回路装置を示している。この集積回路装置は、複数(N)の増幅回路31～3Nを有する。増幅回路31～3Nは、例えば図1に示した液晶ディスプレイ装置の液晶ディスプレイ駆動回路12内に含まれる図2中の増幅回路群25の一部を構成しており、チップ内に図の左右方向に沿って直線状の列をなすように並べて配置されている。

【0023】増幅回路31～3Nには、ダイオード接続されたトランジスタMR1～MRNをそれぞれの入力側トランジスタとし、トランジスタM1～MNをそれぞれの出力側トランジスタとするバイアス用のカレントミラー回路がそれぞれ設けられている。これらのトランジスタMR1～MRN、M1～MNは、この例ではMOSトランジスタにより構成される。

【0024】入力側トランジスタMR1～MRNのゲートとドレインは互いに接続され、即ちダイオード接続され、さらにバイアス電流設定用の電流 I_{bias} が供給されるライン、即ちバイアス電流設定ラインBLに接続されている。入力側トランジスタMR1～MRNのソースは、電源ラインVssに接続されている。出力側トランジスタM1～MNのゲートは、入力側トランジスタMR1～MRNのゲートおよびドレイン、つまりバイアス電流設定ラインBLに接続され、ソースは電源ラインVssに接続される。さらに、出力側トランジスタM1～MNのドレインは、増幅回路11～1N内のバイアス電流を受ける回路に接続される。

【0025】本実施形態では、上述のようにバイアス回

11

路を構成するカレントミラー回路における入力側トランジスタMR1～MRNが各増幅回路31～3Nに分散して配置されている点特徴である。即ち、本実施形態では、バイアス電流設定ラインBLからのバイアス電流設定用の電流I_{bias}がN個の増幅回路31～3NのトランジスタMR1～MRNに入力される。これら入力側トランジスタMR1～MRNが増幅回路31～3Nのバイアス電流を発生させる出力側トランジスタM1～MNに近接して配置される。即ち、図4に示されるように入力側トランジスタMRが出力側トランジスタMに近接配置される。図4の回路パターンが増幅回路31～3Nの全体について回路パターンを構成すると図5に示されるように各々が図4の回路パターンを示す複数の回路パターンが一行に接続された形態となる。

【0026】このような本実施形態の構成により、以下のようにして従来の問題点が解決される。

【0027】ダイオード接続された入力側トランジスタMR1～MRNのそれぞれのゲート・ソース間電圧は、トランジスタMR1～MRNのそれぞれにI_{bias}/Nの電流が流れたときのトランジスタMR1～MRNの各々

$$I_d = k(V_{GS} - V_t)^2$$

但し、V_{GS}はMOSトランジスタのゲート・ソース電圧、V_tはスレショルド電圧、そしてkは係数である。

【0032】多数個のトランジスタが設けられる場合、ドレイン電流の和I_dは次式(2)(3)のように表さ

$$I_d \propto \sum_i k(V_{GS} - V_t + \Delta V_i)^2 \quad (2)$$

$$I_d \propto \sum_i k(V_{GS} - V_t)^2 + 2(V_{GS} - V_t) \Delta V_i + \Delta V_i^2 \quad (3)$$

閾値電圧のばらつき ΔV_i はトランジスタの数が増えると、

$$\sum_i \Delta V_i \text{ は統計的にゼロに近くなる。}$$

また、 $\sum_i \Delta V_i^2$ は $\sum_i (V_{GS} - V_t)^2$ に比べて非常に小さく無視できる。

従って

$$I_d \propto \sum_i k(V_{GS} - V_t)^2 \quad (4)$$

【0034】と近似できる。よって、ドレイン電流の和I_dはほぼ一定となる。同様に、バイアス電流I_bについて考えると、バイアス電流I_bは次式(5)のように

$$I_b = k(V_{GS} - V_t + \Delta V_R)^2$$

多数個のMOSトランジスタがあると、バイアス電流I_bは次式(6)のように表される。但し、 ΔV_{R_i} はトランジスタMR_jの閾値電圧のばらつきを表す。

$$I_b \propto \sum_j^M k(V_{GS} - V_t + \Delta V_{R_i})^2 \quad (6)$$

$$\propto \sum_j^M k(V_{GS} - V_t)^2 + \sum_j^M k(V_t - V_{GS}) \Delta V_{R_i} + \sum_j^M k \Delta V_{R_i}^2 \quad (7)$$

12

*のゲート・ソース電圧の平均値に近い値となる。

【0028】ここで、入力側トランジスタMR1～MRNの閾値電圧(V_t)のばらつきを ΔV_{R_i} とし、出力側トランジスタM1～MNの閾値電圧のばらつきを ΔV_i とする。このとき、 ΔV_{R_i} の統計的期待値はゼロであり、 ΔV_{R_i} の実際の平均値も統計的期待値に近い値をとる、即ちゼロに近い値となる。このため、入力側トランジスタMR1～MRNの閾値電圧、つまりゲート・ソース間電圧のチップ間でのばらつきを低減することができる。一方、出力側トランジスタM1～MNの閾値電圧のばらつき ΔV_i には、チップ間で大きな差はない。従って、増幅回路31～3Nによる消費電流のチップ間での差を低減することができ、増幅回路31～3Nのチップ間での特性の差も低減させることができる。

【0029】上記のことを更に説明すると以下のようになる。

【0030】MOSトランジスタに流れるドレイン電流I_dは次式で表される。

【0031】

*れる。 ΔV_i は閾値電圧V_tのばらつきを表す。

【0033】

【数1】

表される。

【0035】

【0036】

【数2】

【0037】閾値電圧のばらつき ΔV_{R_i} はトランジスタ 50 の数が増えると統計的にゼロに近くなる。故に、第2の

項は統計的にゼロと見なせる。また、 $\sum \Delta V_{R_i}^2$ は $\sum (V_{GS} - V_t)^2$ に比べて非常に小さいので無視できる。従って、バイアス電流 I_b は $(V_{GS} - V_t)^2$ で決まり、実質的に V_{GS} は変化しない。つまり、所定のバイアス電流 I_b を複数個並列に接続したトランジスタに加えれば、各々のトランジスタの V_t にばらつきがあっても、チップ間でばらつきが生じないことになる。

【0038】このように本実施形態によると、増幅回路 31 ~ 3N のチップ間での消費電流の差および特性の差を低減できる。従って、これらの増幅回路 31 ~ 3N を集積化したチップを例えば図 2 中に示した増幅回路群 25 に適用して、図 1 に示した液晶ディスプレイ装置の液晶ディスプレイ駆動回路 12 を構成すると、集積化された液晶ディスプレイ駆動回路 12 のチップ間での消費電流および特性のばらつきを小さくできるので、その設計、特に電源の設計が容易になると共に、特性のばらつきによる画質劣化を低減することができる。

【0039】次に、図 6 を用いて本発明の第 2 の実施形態に係る集積回路装置について説明する。

【0040】第 1 の実施形態では、前述したようにカレントミラー回路の入力側トランジスタ $MR_1 \sim MR_N$ は 1 チップ内の増幅回路 31 ~ 3N の個数 N で除したサイズを持つ。ここで、増幅回路 31 ~ 3N の個数 N は、例えば 300 というような大きな値をとることが多いので、入力側トランジスタ $MR_1 \sim MR_N$ はサイズの非常に小さなトランジスタとなり、事実上形成するのが不可能となるか、もしくは非常に困難となる場合がある。

【0041】図 6 に示す本実施形態は、この点を改良したものであり、列をなすように配置された複数 (N) の増幅回路 41 ~ 4N の L 個 (L は、1 以上の正数、本実施形態では $L = 2$) 毎に増幅回路内に、入力側トランジスタ $MR_1 \sim MR(N/L)$ が分散して配置されている。言い換えれば、入力側トランジスタの分割数を N/L として、その分割された入力側トランジスタ $MR_1 \sim MR(N/L)$ が L 個おきの増幅回路 41, 43, ..., 4N に配置されている。

【0042】なお、第 1 の実施形態と同様に、入力側トランジスタ $MR_1 \sim MR(N/L)$ のゲートおよびドレインは電流 I_{bias} が供給されるバイアス電流設定ラインに接続され、ソースは電源ライン V_{ss} に接続されている。

【0043】このようにすると、入力側トランジスタ $MR_1 \sim MR(N/L)$ のサイズは、第 1 の実施形態の場合に比較して N/L となり、集積化がより容易となる。また、第 1 の実施形態とほぼ同様の効果を得ることができる。

【0044】図 7 は、本発明の第 3 の実施形態に係る集積回路装置の構成を示している。チップ内に列をなして配置された複数 (N) の増幅回路 51 ~ 5N のダイオード接続されたトランジスタのうち、増幅回路 51 ~ 5N

の列の M 個 (M は、1 以上の正数) おきの P 個 (P は、 $P = M$ の正数) のみが出力側トランジスタと共にカレントミラー回路を形成するように結線して使用される。

【0045】図 7 は、 $M = 2$, $P = 1$ の場合の例であり、1 個おきの増幅回路 51, 53, ..., 5(N-1) 内のダイオード接続されたトランジスタ MR_1 , MR_2 , ..., $MR(N/2)$ のみ、ドレインおよびゲートがバイアス電流設定用の電流 I_{bias} を供給するバイアス電流設定ラインに接続され、出力側トランジスタ $M_1 \sim M_N$ と共にカレントミラー回路を構成している。他の増幅回路 52, ..., 5N 内のダイオード接続されたトランジスタ MD_1 , ..., $MD(N/2)$ は、ドレインおよびゲートが電源ライン V_{ss} に接続されており、カレントミラー回路を形成していない。

【0046】このようにすると、集積回路化に適した構成となる。一般的に、同一の複数の回路を集積化するときは、レイアウトの効率を高めるために一つの基本パターンの回路のレイアウトを行い、これを繰り返し利用することが多い。本実施形態では、これを利用してレイアウト効率を高めている。

【0047】すなわち、図 8 (a) に示すようにダイオード接続されたトランジスタとダイオード接続されていないトランジスタからなる基本回路に対応する、図 9 (a) に示される基本パターンが N 組用意される。これら N 組の基本パターンが列をなして配置される。そして、図 8 (b) に示すように、図 8 (a) の基本回路におけるダイオード接続されたトランジスタのドレインおよびゲートと、ダイオード接続されていないトランジスタのドレインをバイアス電流設定ライン (図の上側のライン) に接続し、さらに両トランジスタのソースを電源ライン V_{ss} (図の下側のライン) に接続する。これにより、図 9 (b) に示される回路パターンが形成される。この回路パターンが、例えば図 7 における入力側トランジスタ MR_1 と出力側トランジスタ M_1 に対応する。

【0048】また、図 8 (c) に示すように、図 8 (a) の基本パターンの回路におけるダイオード接続されていないトランジスタのドレインのみをバイアス電流設定ライン (図の上側のライン) に接続し、ダイオード接続されたトランジスタのドレイン、ゲートおよびソースと、ダイオード接続されていないトランジスタのソースを電源ライン V_{ss} (図の下側のライン) に接続する。これにより、図 9 (c) に示される回路パターンが形成される。この回路パターンは、例えば図 7 におけるカレントミラー回路を形成しないダイオード接続されたトランジスタ MD_1 とカレントミラー回路の出力側トランジスタ M_2 に相当する。

【0049】図 6 の増幅回路 42 の場合、図 9 (a) のトランジスタ MR が無接続状態にされ、トランジスタ M のみがバイアス設定ライン B_L および電源ラインに接続

される。

【0050】図10は、本発明の第5の実施形態に係る集積回路装置の構成を示す図であり、チップ内に列状に配置された複数(N)の増幅回路61~6Nのアレイの両端に、カレントミラー回路のダイオード接続された入力側トランジスタMR1, MR2がそれぞれ配置されている。また、これまでの実施形態と同様にトランジスタMR1, MR2のゲートおよびドレインは電流I_{bias}が供給されるバイアス電流設定ラインBLに接続され、ソースは電源ラインV_{ss}に接続されている。

【0051】本実施形態によると、カレントミラー回路を形成する入力側トランジスタMR1, MR2と増幅回路61~6N内の出力側トランジスタM1~MNとの距離を短くして両トランジスタのマッチングを良くし、カレントミラー回路の特性ばらつきを低減することができる。

【0052】また、本実施形態では増幅回路61~6Nが既存の1チップ集積回路として存在している場合、この集積回路にトランジスタMR1, MR2を付加するのみで実現できるという利点がある。

【0053】図11は、本発明の第6の実施形態に係る集積回路装置の構成を示す。本実施形態は、チップ内に並べられた複数の増幅回路の途中にバイアス用のカレントミラー回路を設けた例である。すなわち、増幅回路71, ..., 7i, 7(i+1), ..., 7Nのうち、増幅回路7iとこれに隣接する増幅回路7(i+1)との間に、カレントミラー回路のダイオード接続された入力側トランジスタMR2, MR3が配置されている。さらに、本実施形態では第4の実施形態と同様に、両端の増幅回路71, 7Nの外側にも、カレントミラー回路のダイオード接続された入力側トランジスタMR1, MR2がそれぞれ配置されている。

【0054】また、これまでの実施形態と同様に、それぞれの入力側トランジスタMR1, MR2, MR3, MR4のゲートおよびドレインは電流I_{bias}が供給されるバイアス電流設定ラインBLに接続され、ソースは電源ラインV_{ss}に接続されている。

【0055】次に、これまでの実施形態で説明した増幅回路を説明する。図12に示される増幅回路は入力増幅段と出力増幅段と抵抗R_fとにより構成される。入力増幅段は、差動トランジスタ対(a pair of differential transistors)を構成するトランジスタMp1, Mp2と該差動トランジスタ対にテール電流(tail current)を与えるトランジスタMp4による電流源(current source)および差動トランジスタ対の二つの出力端であるドレインに電流入力端および電流出力端が接続されたトランジスタMn1, Mn2によるカレントミラー回路とで構成される。出力増幅段は、トランジスタMp3, Mn3によるコンプリメンタリトランジスタ対によって構成される。なお、M_pxはPチャネルMOSトランジスタ、M

n_xはNチャネルMOSトランジスタをそれぞれ表す。

【0056】この増幅回路によると、出力増幅段の出力端(トランジスタMn3およびMp3のドレイン)と信号出力端子OUT間に挿入された抵抗R_fと容量性負荷C_Lの容量成分により、開ループ周波数特性に第1のゼロ点が形成され、このゼロ点で位相が進むことにより、ポールによる位相の遅れを補償することができる。すなわち、利得が1となるときの位相と-180°の差である位相余裕を大きくすることができるので、増幅回路の動作安定化のための位相補償容量C_fを基本的に必要とせず、また位相補償容量C_fを必要とする場合でも、その値は非常に小さくてよいので、チップ面積を削減することができる、という利点を有する。この作用については、米国特許出願No. 09/128, 414に詳しく説明されている。

【0057】ここで、図12におけるダイオード接続されたトランジスタMp5およびバイアス電流源I_{b1}は、トランジスタMp3, Mp4のゲートバイアスを決定するため、カレントミラー回路の出力側トランジスタMi(i=1, 2, ..., N)によって構成される。

【0058】図13は、他の増幅回路を示す。図12に示した増幅回路では、破線で示すように出力増幅段の出力端(トランジスタMn3およびMp3のドレイン)から負側の信号入力端子I_N-に帰還を施したボルテージフォロア構成の場合、立上がりのスルーレート(slew rate)はトランジスタMp3から供給される電流と容量性負荷C_Lの値により決定され、トランジスタMp3から供給される電流が小さいため、十分なスルーレートが得られない。

【0059】この点を改善するため、図13の増幅回路は入力信号電圧が正側に変動したことを検出して、出力増幅段のバイアス電流を供給するトランジスタMp3の出力電流を増加させることにより、立上がりのスルーレートを改善している。すなわち、トランジスタMn4, Mp6により入力信号電圧が正極性に变化したことを検出し、入力信号電圧が正極性に変動したときにトランジスタMp7をオンさせて、電流源ILより供給される電流をトランジスタMp3のゲートバイアスを決定しているダイオード接続されたトランジスタMp5に流し、トランジスタMp3のゲートバイアスの電圧を大きくする構成となっている。

【0060】さらに詳細に説明すると、トランジスタMp6は電流源を構成し、そのゲートはバイアス電流決定用トランジスタMp5のドレインおよびゲートに接続されている。トランジスタMp7はゲートがトランジスタMn4およびMp6のドレインに接続され、ソースがバイアス電流決定用トランジスタMp5のドレインおよびゲートに接続され、ドレインが電流源ILに接続されている。

【0061】説明を簡単にするために、トランジスタM

$n 4$ と入力増幅段 2 のトランジスタ $M n 1$ は同一サイズ、つまり W / L (W は MOS トランジスタのチャネル幅、 L は MOS トランジスタのチャネル長) が同一であると、また、トランジスタ $M p 6$ のサイズ (W / L) $M p 6$ は、入力増幅段 2 の電流源トランジスタ $M p 4$ のサイズ (W / L) $M p 4$ の 0.6 倍であるとする。

【0062】信号入力端子 $I N^+$ 、 $I N^-$ 間に印加される電圧がゼロまたは負のとき、つまり、正側の信号入力端子 $I N^+$ の電圧が負側の信号入力端子 $I N^-$ の電圧より低いときは、トランジスタ $M n 1$ にトランジスタ $M p 4$ から供給される電流の半以下の電流が流れ、このトランジスタ $M n 1$ の電流がトランジスタ $M n 4$ によりコピーされる。このとき、トランジスタ $M p 6$ から供給される電流は、トランジスタ $M p 4$ より供給される電流の 0.6 倍であり、トランジスタ $M n 4$ に流れる電流より大きいため、トランジスタ $M p 6$ のドレイン電圧が高くなり、トランジスタ $M p 7$ はオフとなるため、電流源 $I L$ から供給される電流はトランジスタ $M p 5$ に加算されない。

【0063】一方、信号入力端子 $I N^+$ 、 $I N^-$ 間に印加される入力信号電圧が所定の正極性の電圧以上のとき、つまり、正側の信号入力端子 $I N^+$ の電圧が負側の信号入力端子 $I N^-$ の電圧より所定値以上高いときは、トランジスタ $M n 1$ にトランジスタ $M p 4$ から供給される電流の 0.6 倍より大きい電流が流れ、このトランジスタ $M n 1$ の電流がトランジスタ $M n 4$ によりコピーされる。このとき、トランジスタ $M p 6$ から供給される電流は、トランジスタ $M p 4$ から供給される電流の 0.6 倍であり、トランジスタ $M n 4$ に流れる電流より小さいため、トランジスタ $M p 6$ のドレイン電圧が低くなり、トランジスタ $M p 7$ はオンとなる。これにより、電流源 $I L$ から供給される電流はトランジスタ $M p 7$ を介してバイアス電流決定用トランジスタ $M p 5$ に加算されるため、トランジスタ $M p 5$ のゲート・ソース間電圧は大きくなり、トランジスタ $M p 3$ から供給される電流も大きくなる。

【0064】このように図 13 の増幅回路は、入力信号電圧が正極性に变化するときに出力増幅段 3 のトランジスタ $M p 3$ から供給される電流が大きくなるように制御できるので、立上がりのスルーレートを改善することができるという利点を有する。

【0065】ここで、図 12 および図 13 におけるダイオード接続されたトランジスタ $M p 5$ およびバイアス電流源 $I b 1$ は、トランジスタ $M p 3$ 、 $M p 4$ のゲートバイアスを決定するためのものであり、バイアス電流源 $I b 1$ が先に示したカレントミラー回路の出力側トランジスタ $M i$ ($i = 1, 2, \dots, N$) によって構成される。さらに、図 13 における電流源 $I L$ についても同様に構成することができる。

【0066】図 14 は、本発明の第 6 の実施形態に係る

集積回路装置を示す。この集積回路装置は、複数 (N) の増幅回路 $120 - 1 \sim 120 - N$ を有する。増幅回路 $120 - 1 \sim 120 - N$ は、例えば、図 1 に示した液晶ディスプレイ装置の液晶ディスプレイ駆動回路 12 内に含まれる、図 2 中の増幅回路群 25 の一部を構成しており、例えば、チップ内に図の左右方向に沿って直線状に配列される。増幅回路 $120 - 1 \sim 120 - N$ には、バイアス電流供給用のトランジスタ $M 1 \sim M N$ と、バイアス電流供給用のトランジスタ $M 1 \sim M N$ から供給されるバイアス電流を監視するため、同じゲート電圧を入力する監視トランジスタ $M F 1 \sim M F N$ がそれぞれ設けられている。即ち、増幅回路 $120 - 1 \sim 120 - N$ の各々は、ゲートが互いに接続され、かつソースが互いに接続される、バイアス電流供給用のトランジスタ $M 1 \sim M N$ の 1 つと監視トランジスタ $M F 1 \sim M F N$ の 1 つとにより構成される。監視トランジスタ $M F 1 \sim M F N$ の各々のドレインはトランジスタ $M B 1$ と $M B 2$ で構成されるカレントミラー回路に接続される。

【0067】バイアス電流設定用の電流 I_{bias} は、トランジスタ $M B 1$ と $M B 2$ で構成されるカレントミラー回路を介して、監視トランジスタ $M F 1 \sim M F N$ から出力される電流の和と比較され、トランジスタ $M B 2$ のドレイン端で電流の差に応じた電圧に変換され、増幅器 $A 1$ により増幅され、トランジスタ $M 1 \sim M N$ とトランジスタ $M F 1 \sim M F N$ のゲートに共通に印加される。

【0068】説明を簡単にするため、例えば、出力トランジスタ $M i$ ($i = 1 \sim N$) は各々同じサイズであり、また、監視トランジスタ $M F i$ ($i = 1 \sim N$) のサイズも各々同じとする。さらに、トランジスタ $M F i$ ($i = 1 \sim N$) のゲート幅 / ゲート長 (以下、 W / L) をトランジスタ $M i$ ($i = 1 \sim N$) の W / L の $1 / N$ とする。全てのトランジスタ $M i$ ならびに全てのトランジスタ $M F i$ のマッチングが取れている場合、トランジスタ $M i$ とトランジスタ $M F i$ のゲートに同じ電圧が印加されているので、トランジスタ $M F i$ に流れる電流 I_{fi} は、トランジスタ $M i$ に流れる電流 I_i の $1 / N$ である。トランジスタ $M F i$ のドレインは共通に接続されているので、トランジスタ $M F i$ に流れる電流は加算され、その和はトランジスタ $M i$ に流れる電流 I_i と等しくなる。

【0069】このトランジスタ $M F i$ に流れる電流の和は、設定したい電流 I_{bias} とトランジスタ $M B 2$ のドレイン端で比較され、電流 I_{bias} がトランジスタ $M F i$ に流れる電流の和より大きい場合には、トランジスタ $M B 2$ のドレイン電圧が高くなる。このドレイン電圧は、増幅器 $A 1$ にて増幅され、トランジスタ $M i$ ならびにトランジスタ $M F i$ のゲート電圧を高くして、トランジスタ $M F i$ に流れる電流を大きくし、トランジスタ $M F i$ に流れる電流の和が電流 I_{bias} と同じになる。また、逆に電流 I_{bias} がトランジスタ $M F i$ に流れる電流の和より小さい場合は、トランジスタ $M B 2$ のドレイン電圧が低

くなる。このドレイン電圧は、増幅器 A 1 にて増幅され、トランジスタ M_i ならびにトランジスタ M_{F i} のゲート電圧を低くして、トランジスタ M_{F i} に流れる電流を小さくし、トランジスタ M_{F i} に流れる電流の和が電流 I_{bias} と同じになる。

【0070】本実施形態では、上述したように各増幅回路 120 - 1 ~ 120 - N に分散して監視トランジスタが配置されている点が特徴である。つまり、従来は 1 個であった監視トランジスタ M_F が、本実施形態では増幅回路 120 - 1 ~ 120 - N の個数 N に対応する N 個の監視トランジスタ M_{F 1} ~ M_{F N} が設けられ、これらの監視トランジスタ M_{F 1} ~ M_{F N} が各増幅回路 120 - 1 ~ 120 - N のバイアス電流を発生させる出力トランジスタ M₁ ~ M_N に近接して配置される。

【0071】このような本実施形態の構成により、以下のようにして従来のトランジスタの閾値電圧のばらつき*

$$I_d \propto \sum_i k (V_{GS} - V_t + \Delta V_{Fi})^2 \quad (8)$$

$$I_d \propto \sum_i k (V_{GS} - V_t + \Delta V_{Fi})^2 + 2(V_{GS} - V_t) \Delta V_{Fi} + \Delta V_{Fi}^2 \quad (9)$$

$$\sum_i 2k (V_{GS} - V_t) \Delta V_{Fi} \text{ はゼロに近似し、} \sum_i \Delta V_{Fi}^2 \text{ は } \sum_i (V_{GS} - V_t)^2 \text{ より}$$

非常に小さいので、式 (9) は下記のように近似する。即ち、

$$I_d \propto \sum_i k (V_{GS} - V_t)^2 \quad (10)$$

【0075】これは、トランジスタ M_{F 9} ~ M_{F N} に流す電流の和が I_d のとき、閾値電圧のばらつき ΔV_{Fi} があっても $\Delta V_{Fi} = 0$ のときとほぼ等しい V_{GS} となることを意味する。従って、トランジスタ M₁ ~ M_N から供給されるバイアス電流の平均値は I_{bias} に近付くため、増幅回路 120 - 1 ~ 120 - N の消費電流の和は、チップ間によらず、増幅回路 120 - 1 ~ 120 - N の各々のバイアス電流が I_{bias} である時の増幅回路 120 - 1 ~ 120 - N の消費電流の和に近付くので、チップ間の消費電流の差を低減することができる。また、消費電流のチップ間での差を低減することで、増幅回路 120 - 1 ~ 120 - N のチップ間での特性の差も低減させることができる。このように本実施形態によると、増幅回路 120 - 1 ~ 120 - N のチップ間での消費電流の差および特性の差を低減できる。従って、これらの増幅回路 120 - 1 ~ 120 - N を集積化したチップを例えば図 2 中に示した増幅回路群 25 に適用して、図 1 に示した液晶ディスプレイ装置の液晶ディスプレイ駆動回路を構成すると、集積化された液晶ディスプレイ駆動回路 12 のチップ間での消費電流および特性のばらつきを小さくできるので、その設計、特にバイアス回路の設計が容易になると共に、特性のばらつきによる画質劣化を低減できる。

【0076】図 15 は、図 14 の集積回路装置の増幅器 A 1 を、トランジスタ M_{A 1} と電流源 I_{B 1} とで構成し

*による問題点が解決される。

【0072】監視トランジスタ M_{F 1} - M_{F N} に共通に加えられているゲート・ソース間電圧は、トランジスタ M_{F 1} ~ M_{F N} にそれぞれ I_{bias} / N の電流が流れた時のトランジスタ M_{F 1} - M_{F N} の各々のゲート・ソース間電圧の平均値に近い値となる。

【0073】ここで、監視トランジスタ M_{F 1} ~ M_{F N} の閾値電圧 (V_t) のばらつきを V_F とし、出力トランジスタ M₁ ~ M_N の閾値電圧のばらつきを V_N とすると、 V_F の統計的期待値はゼロであり、実際の平均値も統計的期待値に近い値、即ちゼロに近い値となる。トランジスタ M_{F i} を流れる電流の合計は次のように表される：

【0074】

【数 3】

たソースフォロアにて実現した第 7 の実施形態を示している。

【0077】図 16 は、第 8 の実施形態の集積回路装置を示している。この実施例によると、図 14 の集積回路装置の増幅器 A 1 が、増幅器 A 1 の入力電圧に応じた電流を発生させるトランジスタ M_{A 1 0} と、このトランジスタ M_{A 1 0} に流れる電流とバイアス電流 $I_{B 2}$ の差電流を入力とするダイオード接続されたトランジスタ M_{A 1 1} と、トランジスタ M_{A 1 1} と共にカレントミラーを構成し、トランジスタ M_{A 1 0} に流れる電流とバイアス電流 $I_{B 2}$ の差電流を折り返して出力するトランジスタ M_{A 1 2} と、この電流を入力するダイオード接続されたトランジスタ M_{A 1 3} とより構成される。このトランジスタ M_{A 1 3} は出力トランジスタ M₁ ~ M_N ならびに監視トランジスタ M_{F 1} ~ M_{F N} とでカレントミラーを構成している。

【0078】説明を簡単にするため、トランジスタ M_{A 1 0} ~ M_{A 1 2} のサイズは同じとし、トランジスタ M_{A 1 3} のサイズはトランジスタ M₁ ~ M_N のサイズと等しいとする。また、 $I_{B 2} = 2 I_{bias}$ とする。

【0079】トランジスタ M_{A 1 0} で増幅器 A 1 の入力電圧に応じて発生した電流をバイアス電流 $I_{B 2}$ と比較し、差電流は、トランジスタ M_{A 1 1} と M_{A 1 2} によるカレントミラーにて折り返される。この差電流が I_{bias} より大きい時、監視トランジスタ M_{F 1} ~ M_{F N} の各々

21

に流れる電流の平均値は、 I_{bias} / N より大きくなり、よって、監視トランジスタMF 1 ~ MF Nの電流の和は I_{bias} より大きくなるため、トランジスタMB 2のドレイン電圧は下がる。よって、増幅器A 1の入力トランジスタMA 1 0のゲート・ソース電圧が大きくなり、バイアス電流 I_{B2} との差電流が I_{bias} に近づく。

【0080】トランジスタMA 1 0で増幅器A 1の入力電圧に応じて発生した電流とバイアス電流 I_{B2} の差電流が I_{bias} より小さい時、監視トランジスタMF 1 ~ MF Nの各々に流れる電流の平均値は、 I_{bias} / N より小さくなり、よって、監視トランジスタMF 1 ~ MF Nの電流の和は I_{bias} より小さくなるため、トランジスタMB 2のドレイン電圧は上がる。よって、増幅器A 1の入力トランジスタMA 1 0のゲート・ソース電圧が小さくなり、入力電圧に応じて発生した電流とバイアス電流 I_{B2} との差電流が I_{bias} に近づく。

【0081】一般に、監視トランジスタMFを1チップに集積化した増幅回路の個数Nで割ると、例えば、増幅回路の個数が300と大きな値をとることが多いので、監視トランジスタMF i ($i = 1 \sim N$)は、非常に小さなトランジスタとなり、事実上形成するのが不可能な場合がある。この時は、分割数を N / L (L は正数)とし、監視トランジスタMF i を増幅回路のL個おきに配置することでも同様の効果を得ることができる。

【0082】図17は、 $L = 2$ とした第9の実施形態に係る集積回路装置を示している。

【0083】図18の第10の実施形態に係る集積回路装置のように出力トランジスタMi ($i = 1 \sim N$)や監視トランジスタMF i ($i = 1 \sim N$)とカレントミラーを構成する増幅器A 1のダイオード接続された複数のトランジスタMA 1 3 - 1 ~ MA 1 3 - ($N / 2$)が、増幅回路2 4 - 1 ~ 2 4 - Nに複数の監視トランジスタMF i と交互に配置しても良い。

【0084】さらに、図19に示す第11の実施形態に係る集積回路装置のように、2つの監視トランジスタが、複数の増幅回路のアレイの両端に配置されることで、監視トランジスタMF 1とMF 2と増幅回路内のトランジスタM 1 ~ MNとの距離を短くし、マッチングを良くして、ばらつきを低減することもできる。この時、図20に示す第12の実施形態様のように増幅器A 1のダイオード接続されたトランジスタMA 1 3 - 1、1 3 - 2が、複数の増幅回路1 2 6 - 1 ~ 1 2 6 - Nのアレイの両端に配置しても良い。

【0085】図21は、増幅器A 1を差動増幅回路を用いて構成した第13の実施形態に係る集積回路装置を示す。これによると、差動増幅回路の負入力をダイオード接続したトランジスタMB 1のドレインに接続することにより、トランジスタMB 1とMB 2のドレイン電圧が等しくなるように制御をかけることができる。これによりトランジスタMB 1とMB 2で構成されるカレントミ

22

ラーの精度も上げることができる。

【0086】図22に示す第14の実施形態に係る集積回路装置は、図21の増幅器A 1に差動増幅回路を用いて構成されている。この差動増幅回路は、入力差動対をなすトランジスタMA 2 2, MA 2 3と入力差動対に電流を供給するトランジスタMA 2 1と、トランジスタMA 2 2の出力電流を入力し、増幅回路1 2 8 - 1 ~ 1 2 8 - NのトランジスタM 1 ~ MNならびに監視トランジスタMF 1 ~ MF Nと共にカレントミラーを構成するダイオード接続されたトランジスタMA 2 4により構成される。この例では、差動増幅回路の入力電圧が差動増幅回路の動作範囲に入るよう、ダイオード接続したトランジスタMB 3を用いてトランジスタMB 1のドレイン電圧をレベルシフトしている。また、ダイオード接続したトランジスタMB 4は、トランジスタMB 2のドレイン電圧がトランジスタMB 1のドレイン電圧と等しくなるように挿入したレベルシフト用のトランジスタである。

【0087】説明を簡単にするためトランジスタMA 2 1のW/LはトランジスタMB 1のW/Lの2倍とする。よって、トランジスタMA 2 1には I_{bias} の2倍の電流が流れている。また、トランジスタMB 3, MB 4, MA 2 2, MA 2 3は同じサイズとする。さらに、トランジスタMA 2 4とトランジスタM 1 ~ MNのサイズは等しいとする。

【0088】トランジスタMA 2 3のゲートに印加される増幅器A 1の正入力電圧は、トランジスタMA 2 2のゲートに印加される負入力電圧、つまり、トランジスタMB 1のドレイン電圧をダイオード接続したトランジスタMB 3によりゲート・ソース間電圧分をレベルシフトした電圧と比較される。監視トランジスタMF 1 ~ MF Nに流れる電流の和が、トランジスタMB 1とMB 2によりカレントミラーで折り返されたバイアス電流 I_{bias} より大きく、正入力電圧が負入力電圧より低い時は、トランジスタMA 2 1から供給される電流の半分以上がトランジスタMA 2 3に流れ、トランジスタMA 2 2に流れる電流は I_{bias} より小さくなる。トランジスタMA 2 2に流れる電流は、ダイオード接続したトランジスタMA 2 4に入力され、トランジスタMA 2 4のゲート電圧は小さくなり、監視トランジスタMF 1 ~ MF Nに流れる電流の和が小さくなり、 I_{bias} に近づくように動作する。また、監視トランジスタMF 1 ~ MF Nに流れる電流の和が、トランジスタMB 1とMB 2によりカレントミラーで折り返されたバイアス電流 I_{bias} より小さく、正入力電圧が負入力電圧より高い時は、トランジスタMA 2 1から供給される電流の半分以下がトランジスタMA 2 3に流れ、トランジスタMA 2 2に流れる電流は I_{bias} より大きくなる。トランジスタMA 2 2に流れる電流は、ダイオード接続したトランジスタMA 2 4に入力され、トランジスタMA 2 4のゲート電圧は大きくなり、監視トランジスタMF 1 ~ MF Nに流れる電流の和

が大きくなり、 I_{bias} に近付くように動作する。

【0089】

【発明の効果】以上説明したように、本発明の集積回路装置では、複数の増幅回路などの電子回路のバイアス回路を構成するカレントミラー回路において、出力側トランジスタを各電子回路に設けると共に、入力側トランジスタを複数の電子回路に分散して配置するか、あるいは両側の電子回路に隣接して配置することにより、チップ間での入力側トランジスタの閾値電圧のばらつきを小さくして、チップ間での消費電流や特性の差を小さくすることができ

【0090】また、本発明によれば、このような集積回路装置を駆動回路に用いて特に電源の設計が容易で、しかもチップ間の特性差による画質劣化を低減させた液晶ディスプレイ装置を提供することができる。

【0091】更に、複数の監視トランジスタが、各回路内のバイアス電流を発生する出カトランジスタに隣接して配置されることにより、監視トランジスタと各回路内のバイアス電流を発生するトランジスタのマッチングを向上することができ、チップ間での消費電流や特性の差を低減することができ

【0092】更に、本発明による集積回路装置を用いて液晶ディスプレイ装置の駆動回路における増幅回路群を構成すると、チップ間での消費電流や特性の差が小さいために、特性ばらつきによる画質劣化の少ない液晶ディスプレイ装置を実現することができる。

【図面の簡単な説明】

【図1】液晶ディスプレイ装置の構成を示す図

【図2】図1における液晶ディスプレイ駆動回路の構成を示す図

【図3】本発明の第1の実施形態に係る集積回路装置の構成を示す図

【図4】入力側トランジスタと出力側トランジスタとの配列パターンを示す図

【図5】図3の集積回路装置のトランジスタ配列パターンを示す図

【図6】本発明の第2の実施形態に係る集積回路装置の構成を示す図

【図7】本発明の第3の実施形態に係る集積回路装置の構成を示す図

【図8】同実施形態を説明するためのバイアス回路部分の基本回路と最終回路を示す図

【図9】図8の基本回路および最終回路にそれぞれ対応する基本パターンおよび最終パターンを示す図

【図10】本発明の第4の実施形態に係る集積回路装置

の構成を示す図

【図11】本発明の第5の実施形態に係る集積回路装置の構成を示す図

【図12】本発明が適用される増幅回路の構成例を示す図

【図13】本発明が適用される増幅回路の他の構成例を示す図

【図14】本発明の第6の実施形態に係る集積回路装置の構成を示す図

【図15】本発明の第7の実施形態に係る集積回路装置の構成を示す図

【図16】本発明の第8の実施形態に係る集積回路装置の構成を示す図

【図17】本発明の第9の実施形態に係る集積回路装置の構成を示す図

【図18】本発明の第10の実施形態に係る集積回路装置の構成を示す図

【図19】本発明の第11の実施形態に係る集積回路装置の構成を示す図

【図20】本発明の第12の実施形態に係る集積回路装置の構成を示す図

【図21】本発明の第13の実施形態に係る集積回路装置の構成を示す図

【図22】本発明の第14の実施形態に係る集積回路装置の構成を示す図

【符号の説明】

10...液晶ディスプレイ

11...液晶セル

12...液晶ディスプレイ駆動回路

13...走査線選択回路

14...信号線

15...走査線

21...シフトレジスタ

22...記憶素子

23...記憶素子

24...D/A変換器

25...増幅回路群

26...バイアス回路

31~3N...増幅回路

61~6N...増幅回路

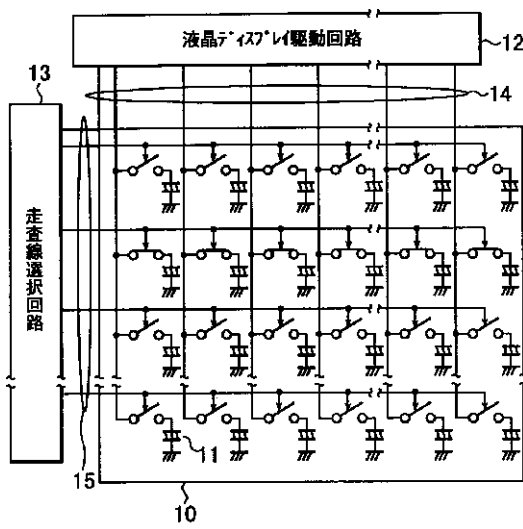
MR1~MRN...入力側トランジスタ

M1~MN...出力側トランジスタ

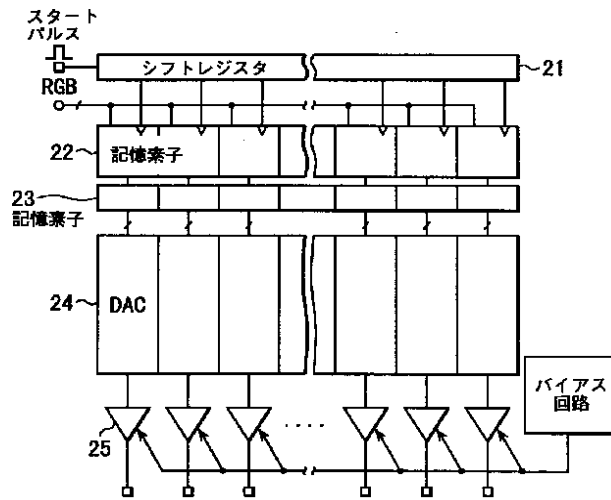
I_{bias} ...バイアス電流設定用電流

V_{ss} ...電源ライン

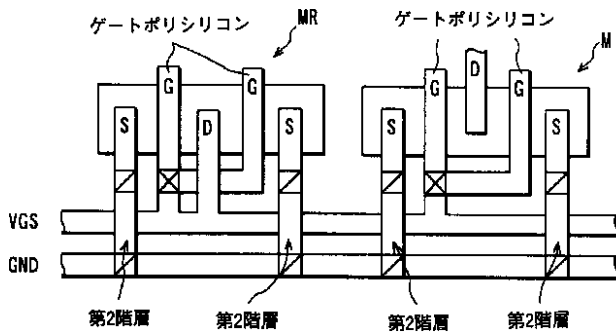
【図 1】



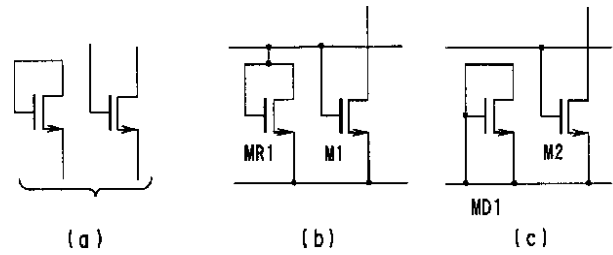
【図 2】



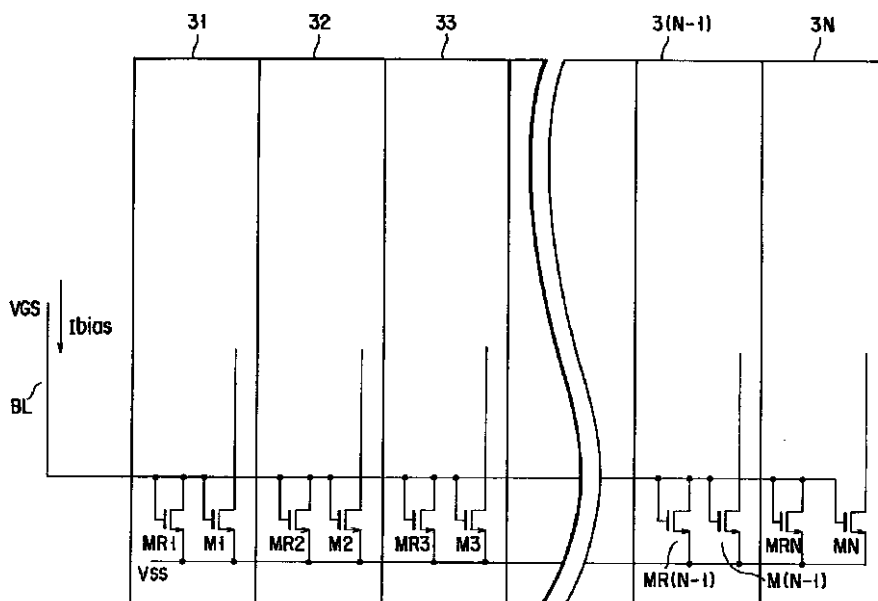
【図 4】



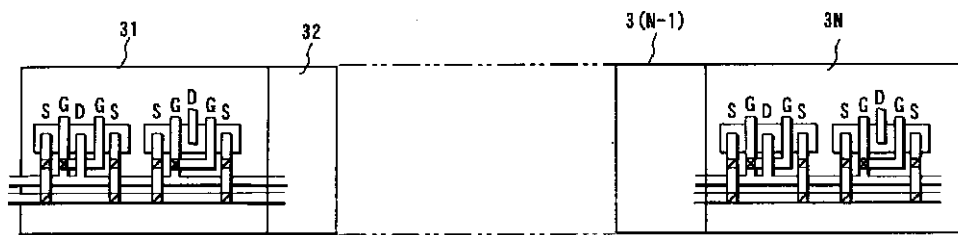
【図 8】



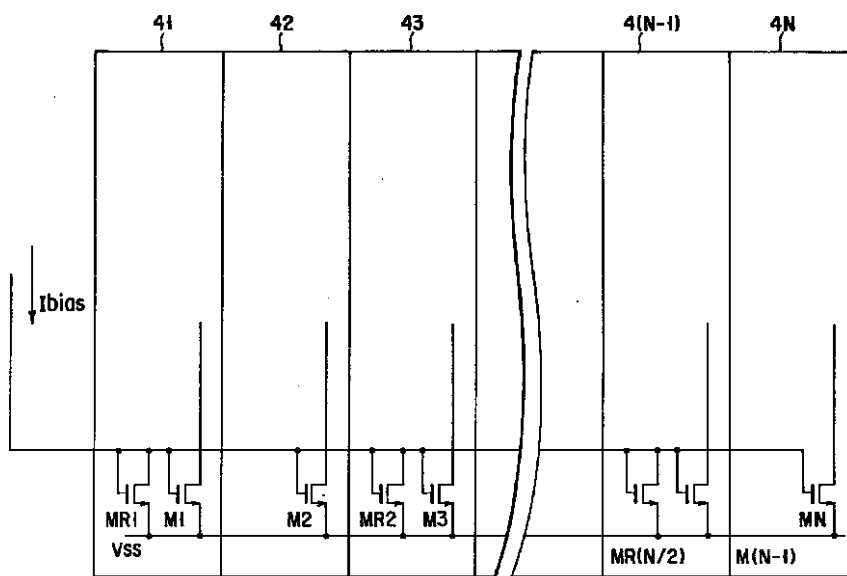
【図 3】



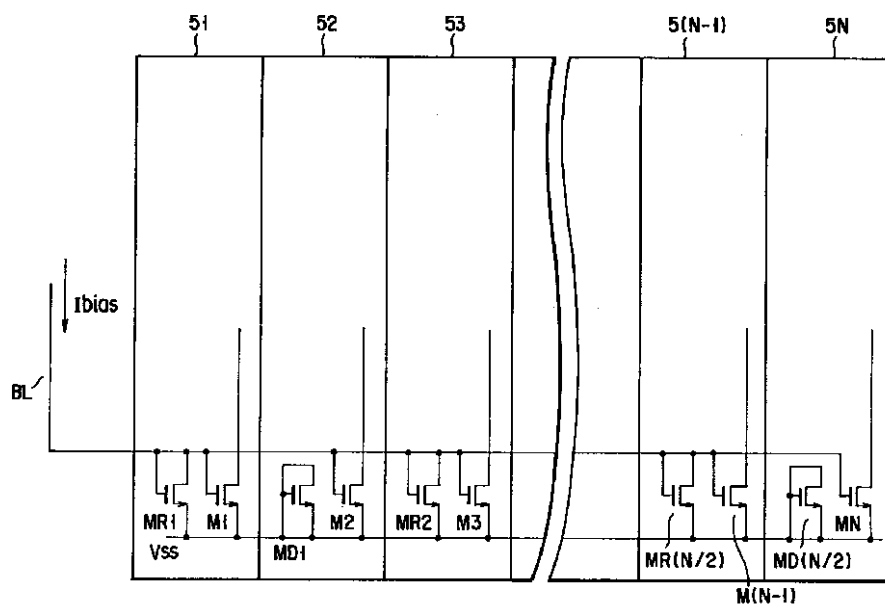
【図 5】



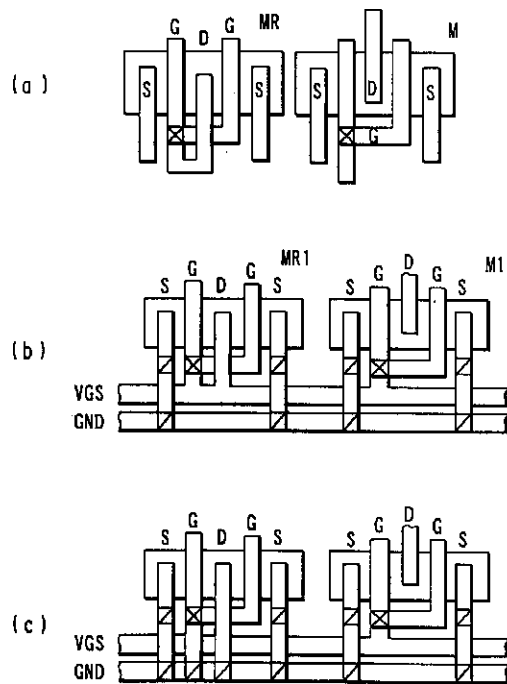
【図 6】



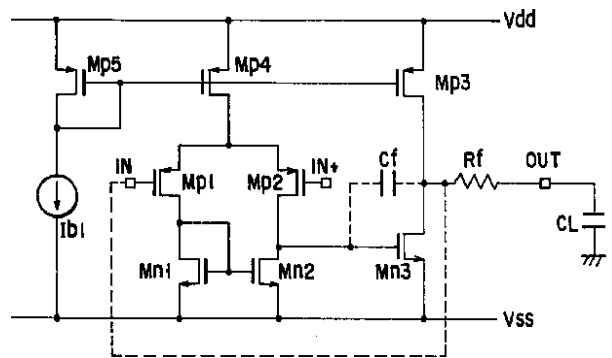
【図 7】



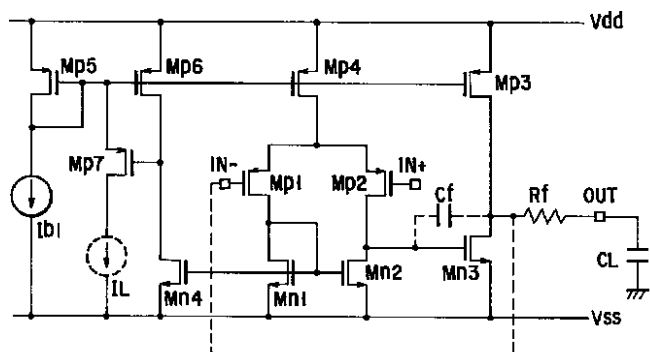
【図 9】



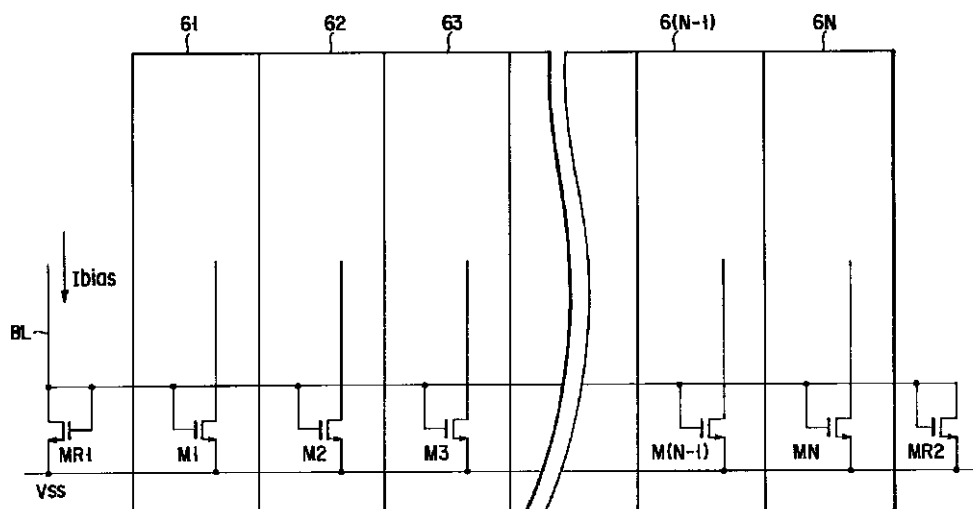
【図 12】



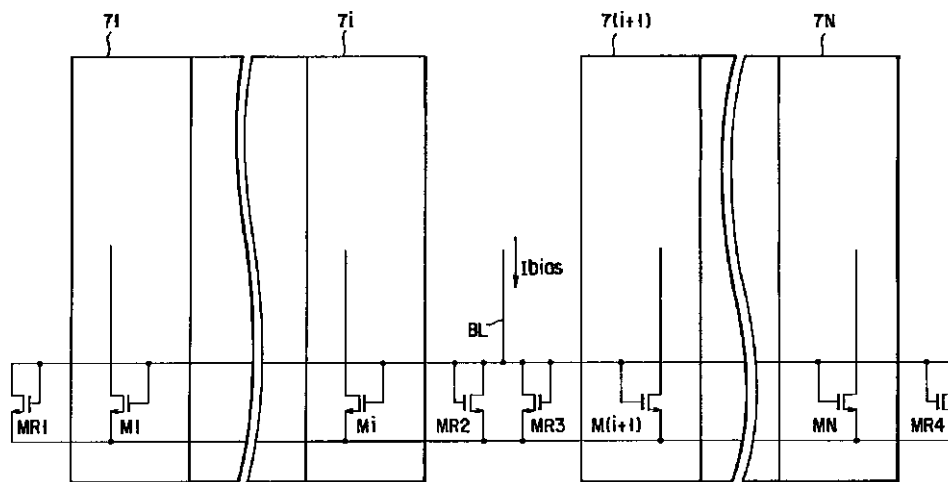
【図 13】



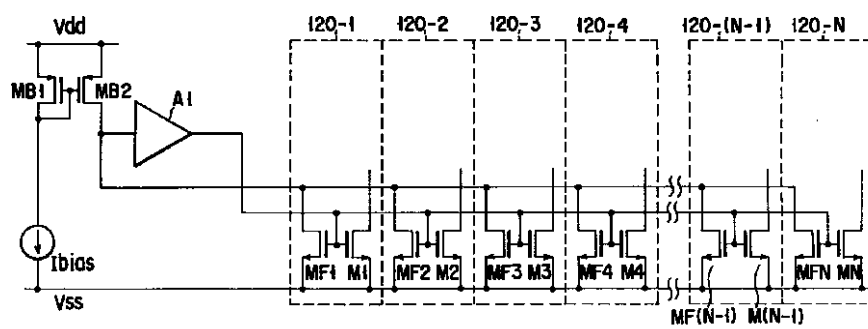
【図 10】



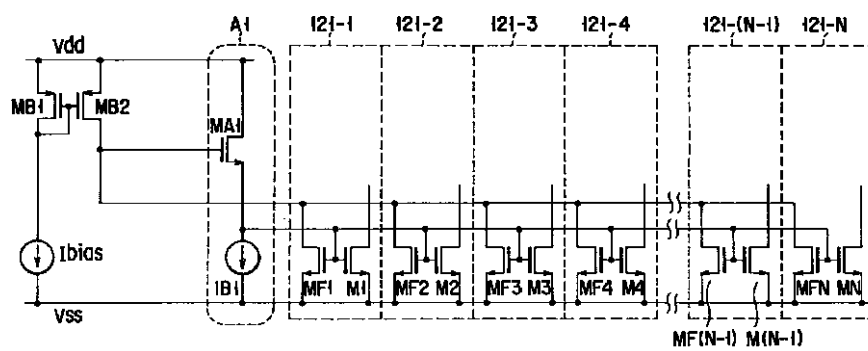
【図 1 1】



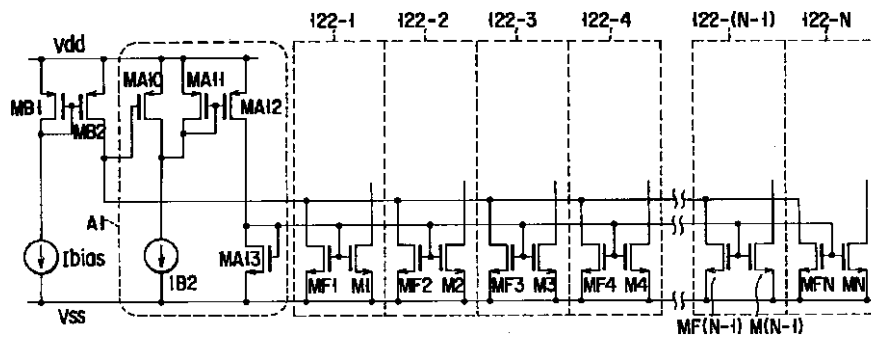
【図 1 4】



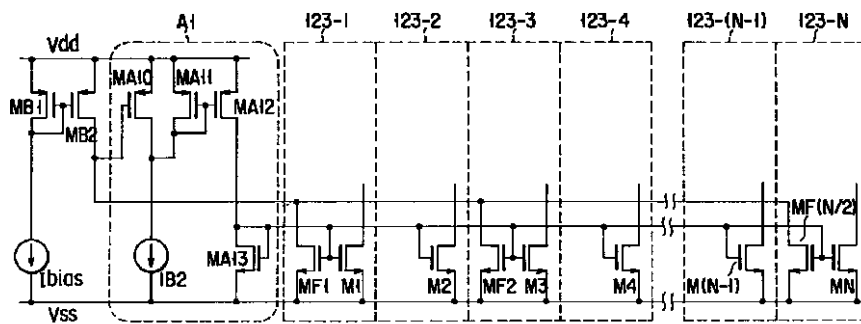
【図 1 5】



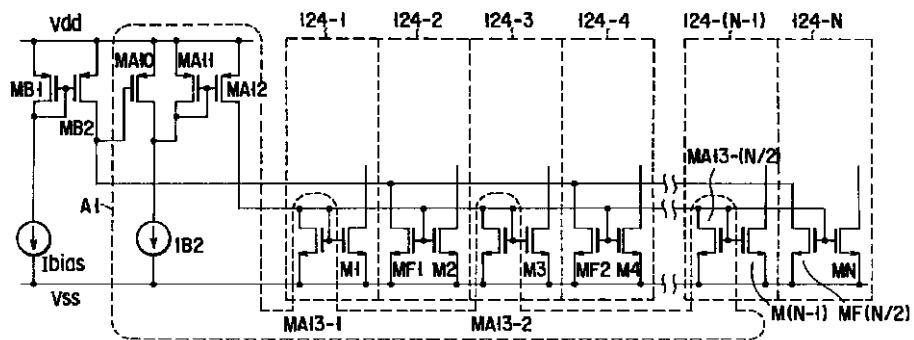
【図 16】



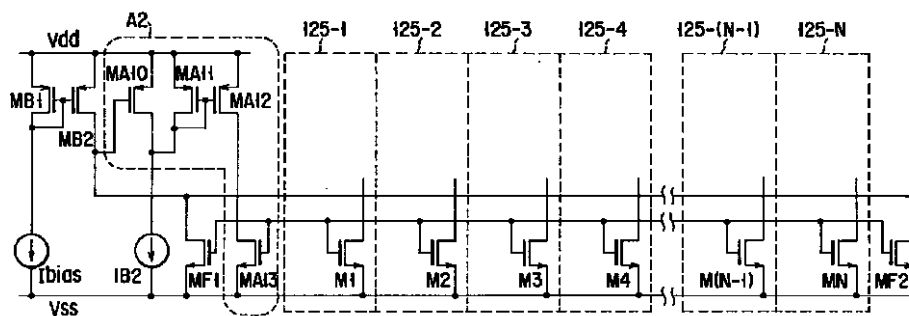
【図 17】



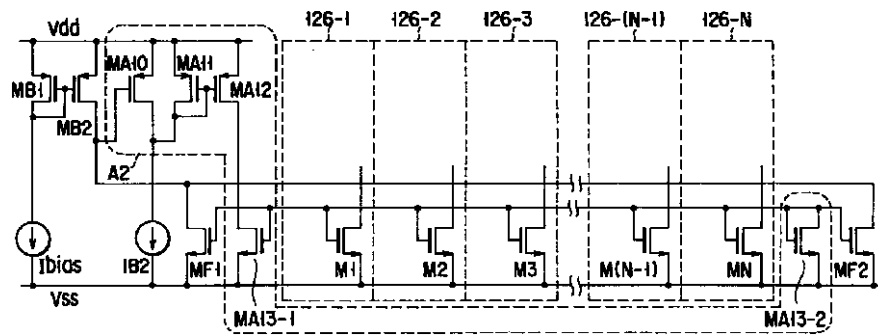
【図 18】



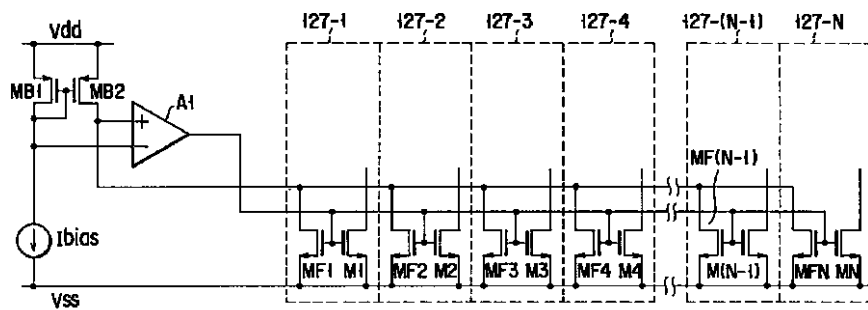
【図 19】



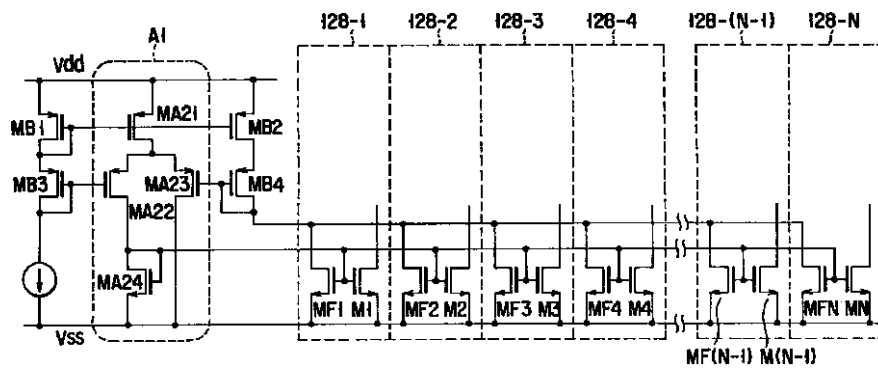
【図 2 0】



【図 2 1】



【図 2 2】



フロントページの続き

(51)Int.Cl.⁷

H 0 3 F 3/68

識別記号

F I

H 0 3 F 3/68

Z

(58)調査した分野(Int.Cl.⁷, D B 名)

G09G 3/36
G02F 1/133 505
G09G 3/20 611
G09G 3/20 623
H03F 3/343
H03F 3/68

专利名称(译)	集成电路器件和使用它的液晶显示器件		
公开(公告)号	JP3406884B2	公开(公告)日	2003-05-19
申请号	JP2000046408	申请日	2000-02-23
[标]申请(专利权)人(译)	株式会社东芝		
申请(专利权)人(译)	东芝公司		
当前申请(专利权)人(译)	东芝公司		
[标]发明人	板倉哲朗		
发明人	板倉 哲朗		
IPC分类号	G09G3/36 G02F1/133 G05F3/26 G09G3/20 H01L21/822 H01L27/04 H03F3/343 H03F3/68 H04N5/66		
FI分类号	G09G3/36 G02F1/133.505 G09G3/20.611.H G09G3/20.623.A H03F3/343.A H03F3/68.Z G05F3/26 H01L27/04.B H03F3/343.210 H03F3/68 H04N5/66.102.B		
F-TERM分类号	2H093/NC22 2H093/NC58 2H093/ND39 2H193/ZH21 5C006/AA22 5C006/AF51 5C006/AF61 5C006/BB11 5C006/BC13 5C006/BF25 5C006/EB05 5C006/FA21 5C006/FA47 5C058/AA09 5C058/AB06 5C058/BA01 5C058/BB25 5C080/AA10 5C080/BB05 5C080/CC03 5C080/DD26 5C080/DD30 5C080/JJ02 5C080/JJ03 5C080/JJ06 5F038/BG06 5F038/CA02 5F038/CA05 5F038/CA06 5F038/CA07 5F038/DF01 5F038/DF08 5F038/DF11 5F038/EZ20 5H420/NA17 5H420/NB22 5H420/NB25 5H420/NB28 5H420/NB31 5H420/NC02 5J069/AA03 5J069/AA43 5J069/AA54 5J069/AA59 5J069/AC03 5J069/CA15 5J069/CA36 5J069/CA81 5J069/FA05 5J069/FA10 5J069/FA15 5J069/FA16 5J069/HA10 5J069/HA16 5J069/HA17 5J069/HA29 5J069/HA38 5J069/KA05 5J069/KA09 5J069/KA12 5J069/KA49 5J069/MA19 5J069/QA03 5J069/SA08 5J069/TA01 5J091/AA03 5J091/AA43 5J091/AA54 5J091/AA59 5J091/CA15 5J091/CA36 5J091/CA81 5J091/FA05 5J091/FA10 5J091/FA15 5J091/FA16 5J091/HA10 5J091/HA16 5J091/HA17 5J091/HA29 5J091/HA38 5J091/KA05 5J091/KA09 5J091/KA12 5J091/KA49 5J091/MA19 5J091/QA03 5J091/SA08 5J091/TA01 5J091/UW03 5J500/AA03 5J500/AA43 5J500/AA54 5J500/AA59 5J500/AC15 5J500/AC36 5J500/AC81 5J500/AF05 5J500/AF10 5J500/AF15 5J500/AF16 5J500/AH10 5J500/AH16 5J500/AH17 5J500/AH29 5J500/AH38 5J500/AK05 5J500/AK09 5J500/AK12 5J500/AK49 5J500/AM19 5J500/AQ03 5J500/AS08 5J500/AT01 5J500/CA03 5J500/WU03		
优先权	1999048327 1999-02-25 JP		
其他公开文献	JP2000310981A		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供集成电路器件，芯片之间的偏置电流变化很小，消耗电流和芯片之间的特性差异减小。 解决方案：在多个放大器电路11至1N集成在同一芯片中的集成电路器件中，多个二极管连接的输入侧晶体管MR1至MRN接收用于设置偏置电流的电流I_{bias}，电流在多个电子电路11至1N中提供由多个输出晶体管M1至MN组成的电流镜像电路，用于分别将与I_{bias}相对应的输出电流作为偏置电流提供给放大器电路11至1N和输入侧晶体管MR1至MRN。如图1所示。

【図1】

