

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-145667

(P2010-145667A)

(43) 公開日 平成22年7月1日(2010.7.1)

(51) Int.Cl.	F I	テーマコード (参考)
G02F 1/1368 (2006.01)	G02F 1/1368	2H088
G02F 1/13 (2006.01)	G02F 1/13 1O1	2H092
G09F 9/30 (2006.01)	G09F 9/30 338	5C094
G09F 9/00 (2006.01)	G09F 9/00 352	5F110
H01L 29/786 (2006.01)	H01L 29/78 612A	5G435
審査請求 未請求 請求項の数 11 O L (全 13 頁)		

(21) 出願番号 特願2008-321742 (P2008-321742)
 (22) 出願日 平成20年12月18日 (2008.12.18)

(71) 出願人 506087819
 株式会社 I P S アルファテクノロジー
 千葉県茂原市早野 3 7 3 2 番地
 (74) 代理人 100116687
 弁理士 田村 爾
 (74) 代理人 100098383
 弁理士 杉村 純子
 (72) 発明者 箱田 秀孝
 千葉県茂原市早野 3 7 3 2 番地 株式会社
 I P S アルファテクノロジー内
 (72) 発明者 岩戸 宏明
 千葉県茂原市早野 3 7 3 2 番地 株式会社
 I P S アルファテクノロジー内
 Fターム(参考) 2H088 FA14 HA02 HA06 HA08 JA03
 MA20

最終頁に続く

(54) 【発明の名称】 液晶表示装置及びその点欠陥修正方法

(57) 【要約】

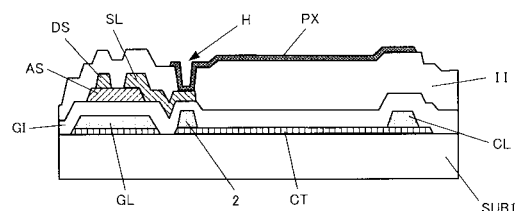
【課題】

画素電極と共通電極又はコモン線との間の確実な短絡を可能とし、また、点欠陥の修正作業の作業効率を高めた液晶表示装置及びその点欠陥修正方法を提供すること。

【解決手段】

ゲート信号線 G L と、該ゲート信号線に直行するドレイン信号線 D L と、該ゲート信号線と該ドレイン信号線によって囲まれた画素領域と、該画素領域のそれぞれには、画素電極 P X 及び共通電極 C T と、該画素電極を駆動するスイッチング素子と、該スイッチング素子と該画素電極とを接続するソース線 S L と、該共通電極に接続されるコモン線 C L が設けられる液晶表示装置において、該共通電極上に形成され、且つ該ソース線と重畳する位置に配置されるメタルパターン 2 を有することを特徴とする。

【選択図】 図 4



【特許請求の範囲】

【請求項 1】

ゲート信号線と、該ゲート信号線に直行するドレイン信号線と、該ゲート信号線と該ドレイン信号線によって囲まれた画素領域と、該画素領域のそれぞれには、画素電極及び共通電極と、該画素電極を駆動するスイッチング素子と、該スイッチング素子に接続されるゲート信号線とドレイン信号線と、該スイッチング素子と該画素電極とを接続するソース線と、該共通電極に接続されるコモン線が設けられる液晶表示装置において、

該共通電極上に形成され、且つ該ソース線と重畳する位置に配置されるメタルパターンを有することを特徴とする液晶表示装置。

【請求項 2】

請求項 1 に記載の液晶表示装置において、該画素電極と該ソース線とは、両者の層間に配置される絶縁膜にスルーホールを設けて接続され、該メタルパターンは、該スルーホール形成位置に重畳する位置に配置されることを特徴とする液晶表示装置。

【請求項 3】

請求項 1 に記載の液晶表示装置において、該画素電極と該共通電極とは、透明電極で形成され、該メタルパターンは、該共通電極上に該コモン線とは孤立して形成されていることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 に記載の液晶表示装置において、横電界方式で駆動されることを特徴とする液晶表示装置。

【請求項 5】

請求項 1 に記載の液晶表示装置において、該スイッチング素子と該ドレイン信号線を接続するドレイン線が該ゲート信号線上に形成され、該ドレイン線の一部の領域において、該ゲート信号線は開口を有することを特徴とする液晶表示装置。

【請求項 6】

請求項 2 に記載の液晶表示装置において、該ゲート信号線と該画素電極及び該共通電極との間に間隙を有し、該ソース線の一部は、該間隙に形成されることを特徴とする液晶表示装置。

【請求項 7】

請求項 6 に記載の液晶表示装置において、該スルーホールは、該間隙に設けられた該ソース線と一直線上になる位置に形成されることを特徴とする液晶表示装置。

【請求項 8】

請求項 1 に記載の液晶表示装置において、該画素電極と該ソース線との間に第 1 および第 2 の絶縁層が形成され、該画素電極と該共通電極との間には該第 1 の絶縁層が形成され、該画素電極と該ソース線は該第 1 及び第 2 の絶縁膜にスルーホールを設けて接続され、該メタルパターンは、該スルーホール形成位置と隣接する位置に配置されることを特徴とする液晶表示装置。

【請求項 9】

ゲート信号線と、該ゲート信号線に直行するドレイン信号線と、該ゲート信号線と該ドレイン信号線によって囲まれた画素領域と、該画素領域のそれぞれには、画素電極及び共通電極と、該画素電極を駆動するスイッチング素子と、該スイッチング素子に接続されるゲート信号線とドレイン信号線と、該スイッチング素子と該画素電極とを接続するソース線と、該共通電極に接続されるコモン線が設けられ、該共通電極上に形成され、且つ該ソース線と重畳する位置に配置されるメタルパターンを有し、該スイッチング素子と該ドレイン信号線を接続するドレイン線が該ゲート信号線上に形成され、該ドレイン線の一部の領域において、該ゲート信号線は開口を有し、また、該ゲート信号線と該画素電極及び該共通電極との間に間隙を有し、該ソース線の一部は、該間隙に形成される液晶表示装置の点欠陥修正方法であって、

該ドレイン線をレーザ光を用いて切断する工程と、

該ソース線をレーザ光を用いて切断する工程と、

10

20

30

40

50

該メタルパターン上からレーザ光を照射し、該メタルパターンの溶解によって該画素電極と該共通電極を短絡させる工程を有することを特徴とする液晶表示装置の点欠陥修正方法。

【請求項 10】

請求項 9 に記載の液晶表示装置の点欠陥修正方法において、該ソース線の切断工程と、該画素電極と該共通電極の短絡工程を時系列的に別のレーザ光照射によって行うことを特徴とする液晶表示装置の点欠陥修正方法。

【請求項 11】

請求項 9 に記載の液晶表示装置の点欠陥修正方法において、該ソース線の切断工程と、該画素電極と該共通電極の短絡工程を同一のレーザ光照射によって行うことを特徴とする液晶表示装置の点欠陥修正方法。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は液晶表示装置及びその点欠陥修正方法、特に、横電界方式で駆動する液晶表示装置及びその点欠陥修正方法に関する。

【背景技術】

【0002】

アクティブ・マトリックス型の液晶表示装置は、マトリックス状に配置された各画素において、行方向に配列された各画素に共通の信号線（ゲート信号線）に走査信号を供給することにより、それらの画素を列方向に順次選択し、その選択のタイミングに合わせ、列方向に配列された各画素に共通の信号線（ドレイン信号線）を通して映像信号を供給するように構成されている。

20

【0003】

各画素には、画素電極と共通電極とが設けられ、該画素電極には、該画素電極を駆動するスイッチング素子としての薄膜トランジスタがソース線（ソース電極）を介して接続されている。そして、該走査信号の供給によって、該薄膜トランジスタが、ドレイン信号線からの映像信号を該画素（画素電極）に取り込む動作を行う。

【0004】

薄膜トランジスタには、上記ソース線以外に、ドレイン信号線に接続されるドレイン線（ドレイン電極）がある。

30

【0005】

このような液晶表示装置では、製造工程において、ドレイン線とソース線の短絡などの配線間ショート、パターンニング不良などによって薄膜トランジスタが回路として正常に動作できなくなると、輝点と言われる表示欠陥を生じさせることになる。しかも、近年の液晶表示装置は大画面化や高精細化が進み、画素数が増加しているため、このような表示欠陥が発生する確率も高くなり、製造時の歩留低下の原因となる。

【0006】

このような表示欠陥を修正する方法として、例えば、特許文献 1 に示すように、薄膜トランジスタとの接続部分をレーザ光で切断し、黒点化することが行われている。

40

【特許文献 1】特開平 8 - 87024 号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

ノーマリーブラックのパネルにおいて、代表的な黒点化処理は、薄膜トランジスタのドレイン線およびソース線のうち、少なくとも一方をたとえばレーザ光の照射（走査）によって切断することにより、画素電極に走査信号あるいは映像信号が供給されないようにする。

【0008】

また、このように、薄膜トランジスタのドレイン線あるいはソース線の切断を行う際に

50

、映像信号に対して基準となる信号が供給される信号線（後述するコモン線等）がある場合には、このような信号線と画素電極とを電氣的に接続させる処理も併せて行なわれる。切断した画素電極の電位を安定させ、より確実に黒点化を行うためである。

【 0 0 0 9 】

現在の液晶表示パネルにおいて、透過効率を上げるために、画素電極は専らITO（Indium Tin Oxide）などの透明電極が用いられる。

【 0 0 1 0 】

黒点化の際には、レーザ光の照射により、コモン線を構成するメタル材料と画素電極を短絡させるようにするが、画素電極を構成するITOとコモン線を構成するメタル材料とでは、材料の差異による接続不良が生じ易く、両者の間に十分な電氣的接続を確保するのが難しい。

10

【 0 0 1 1 】

また、コモン線と画素電極との間には、複数層の絶縁膜が配置されていることが多い。このため、コモン線と画素電極の電氣的接続は、電極間絶縁膜の膜厚分布やレーザ光出力のバラツキなどにより、必ずしも十分な電氣的接続が実現できない場合があった。

【 0 0 1 2 】

本発明が解決しようとする課題は、上述した問題を解消し、画素電極と共通電極又はコモン線との間の確実な短絡を可能とし、また、点欠陥の修正作業の作業効率を高めた液晶表示装置及びその点欠陥修正方法を提供することである。

【課題を解決するための手段】

20

【 0 0 1 3 】

上記課題を解決するための手段は、以下のとおりである。

【 0 0 1 4 】

（１）ゲート信号線と、該ゲート信号線に直行するドレイン信号線と、該ゲート信号線と該ドレイン信号線によって囲まれた画素領域と、該画素領域のそれぞれには、画素電極及び共通電極と、該画素電極を駆動するスイッチング素子と、該スイッチング素子に接続されるゲート信号線とドレイン信号線と、該スイッチング素子と該画素電極とを接続するソース線と、該共通電極に接続されるコモン線が設けられる液晶表示装置において、該共通電極上に形成され、且つ該ソース線と重畳する位置に配置されるメタルパターンを有することを特徴とする。

30

【 0 0 1 5 】

（２）上記（１）に記載の液晶表示装置において、該画素電極と該ソース線とは、両者の層間に配置される絶縁膜にスルーホールを設けて接続され、該メタルパターンは、該スルーホール形成位置に重畳する位置に配置されることを特徴とする。

【 0 0 1 6 】

（３）上記（１）に記載の液晶表示装置において、該画素電極と該共通電極とは、透明電極で形成され、該メタルパターンは、該共通電極上に該コモン線とは孤立して形成されていることを特徴とする。

【 0 0 1 7 】

（４）上記（１）に記載の液晶表示装置において、横電界方式で駆動されることを特徴とする。

40

【 0 0 1 8 】

（５）上記（１）に記載の液晶表示装置において、該スイッチング素子と該ドレイン信号線を接続するドレイン線が該ゲート信号線上に形成され、該ドレイン線の一部の領域において、該ゲート信号線は開口を有することを特徴とする。

【 0 0 1 9 】

（６）上記（２）に記載の液晶表示装置において、該ゲート信号線と該画素電極及び該共通電極との間に間隙を有し、該ソース線の一部は、該間隙に形成されることを特徴とする。

【 0 0 2 0 】

50

(7) 上記(6)に記載の液晶表示装置において、該スルーホールは、該間隙に設けられた該ソース線と一直線上になる位置に形成されることを特徴とする。

【0021】

(8) 上記(1)に記載の液晶表示装置において、該画素電極と該ソース線との間に第1および第2の絶縁層が形成され、該画素電極と該共通電極との間には該第1の絶縁層が形成され、該画素電極と該ソース線は該第1及び第2の絶縁膜にスルーホールを設けて接続され、該メタルパターンは、該スルーホール形成位置と隣接する位置に配置されることを特徴とする。

【0022】

(9) ゲート信号線と、該ゲート信号線に直行するドレイン信号線と、該ゲート信号線と該ドレイン信号線によって囲まれた画素領域と、該画素領域のそれぞれには、画素電極及び共通電極と、該画素電極を駆動するスイッチング素子と、該スイッチング素子に接続されるゲート信号線とドレイン信号線と、該スイッチング素子と該画素電極とを接続するソース線と、該共通電極に接続されるコモン線が設けられ、該共通電極上に形成され、且つ該ソース線と重畳する位置に配置されるメタルパターンを有し、該スイッチング素子と該ドレイン信号線を接続するドレイン線が該ゲート信号線上に形成され、該ドレイン線の一部の領域において、該ゲート信号線は開口を有し、また、該ゲート信号線と該画素電極及び該共通電極との間に間隙を有し、該ソース線の一部は、該間隙に形成される液晶表示装置の点欠陥修正方法であって、該ドレイン線をレーザ光を用いて切断する工程と、該ソース線をレーザ光を用いて切断する工程と、該メタルパターン上からレーザ光を照射し、該メタルパターンの溶解によって該画素電極と該共通電極を短絡させる工程を有することを特徴とする。

【0023】

(10) 上記(9)に記載の液晶表示装置の点欠陥修正方法において、該ソース線の切断工程と、該画素電極と該共通電極の短絡工程を時系列的に別のレーザ光照射によって行うことを特徴とする。

【0024】

(11) 上記(9)に記載の液晶表示装置の点欠陥修正方法において、該ソース線の切断工程と、該画素電極と該共通電極の短絡工程を同一のレーザ光照射によって行うことを特徴とする。

【発明の効果】

【0025】

本発明によれば、画素電極と共通電極とを短絡させる場合には、ソース線と共通電極に接続されたメタルパターンとの間で確実な電氣的接続が実現できる。特に、ソース線は、メタル材料で構成されるため、メタルパターンとの接合性が高く、さらに、メタルパターンにより短絡部を構成する材料も十分に供給されることが可能となる。

【0026】

また画素電極と共通電極の短絡作業時に、画素電極とソース線を接続するスルーホールを利用するため、改めて開口を形成する必要が無く、レーザ光の出力が軽減され、より効率的な短絡を実現することが可能となる。

【0027】

画素電極と共通電極とは、透明電極で形成され、メタルパターンは、該共通電極上にコモン線とは孤立して形成されているため、共通電極上であるなら、コモン線の配置によらず、任意の箇所にメタルパターンを配置でき、短絡箇所を設定することができる。しかも、メタルパターンがコモン線と同じ共通電極上に位置するため、コモン線を形成する際に同時にメタルパターンも形成することが可能となる。

【0028】

液晶表示装置が横電界方式を採用している場合には、画素電極と共通電極が同一の透明基板上に絶縁層を挟んで配置されているため、本発明の構成を適用して、より効果的に点欠陥を修正することが可能となる。

10

20

30

40

50

【 0 0 2 9 】

また、ソース線の切断と、画素電極と共通電極の短絡を同時に行えるため、点欠陥修正の作業効率を向上することが出来る。

【 発明を実施するための最良の形態 】

【 0 0 3 0 】

以下、本発明による液晶表示装置の第 1 の実施例について、図面を用いて説明をする。

【 0 0 3 1 】

図 1 は、本発明が適用される液晶表示装置の概略構成図である。まず、観察者側から、液晶表示パネル P A、光学シート O S、およびバックライト B L が順次配置されている。

【 0 0 3 2 】

液晶表示パネル P A は、一对の平行配置された例えばガラスからなる基板 S U B 1、S U B 2 を有し、これら各基板 S U B 1、S U B 2 の間に液晶が封入されている。

【 0 0 3 3 】

基板 S U B 1、S U B 2 の液晶側の面には、マトリックス状に配置された画素（不図示）が形成され、これら画素ごとに液晶の光透過率を制御できるようになっている。

【 0 0 3 4 】

そして、これら各画素が形成された領域を画像表示領域 A R（図中一点鎖線で囲まれた領域）とし、バックライト B L からの光を画像表示領域 A R の全域にわたって照射し、各画素を透過する光を通して観察者に映像を認識させるようになっている。

【 0 0 3 5 】

観察者側から見て後方に配置された基板 S U B 1 は、たとえばその図中左側辺および上側辺において基板 S U B 2 から露出された部分を有し、これらの部分において、複数のドライバ基板 S C D h、S C D v の一辺部が接続されるようになっている。これらドライバ基板 S C D h、S C D v はいわゆる T A B（Tape Automated Bonding）と呼ばれる T C P（Tape Carrier Package）や C O F（Chip on Film）などによって形成され、配線が形成されたフレキシブル基板 F B の上面に半導体チップ C H が搭載されて構成されている。

【 0 0 3 6 】

これら各ドライバ基板 S C D h、S C D v は各画素を独立に駆動させる回路であり、たとえば図中 y 方向に並設されるドライバ基板 S C D v は走査信号駆動回路であり、図中 x 方向に並設されるドライバ基板 S C D h は映像信号駆動回路である。

【 0 0 3 7 】

映像信号駆動回路である複数のドライバ基板 S C D h には、基板 S U B 1 と接続された辺と対向する他の辺においてプリント基板 P C B が接続され、プリント基板 P C B を通して外部入力信号が入力される。

【 0 0 3 8 】

なお、走査信号駆動回路である複数のドライバ基板 S C D v は、その外部入力信号が基板 S U B 1 の表面に形成された配線（不図示）を通して入力されるため、プリント基板 P C B に相当する基板は備えられていない。

【 0 0 3 9 】

このように構成された液晶表示パネル P A の背面には、たとえばプリズムシートおよび拡散板等の積層体からなる光学シート手段（光学部材）O S を介してバックライト B L が配置されている。光学部材 O S はバックライト B L からの光を拡散、集光させたりして液晶表示パネル P A 側へ導くようになっている。

【 0 0 4 0 】

図 1 では、バックライト B L は、いわゆる直下型と称され、箱状の筐体（フレーム部材 D F R）内に、線状光源である複数の蛍光管 F L を並設させた構成となっている。これ以外に、発光ダイオードなどの点状光源を面状に配置するバックライトも採用可能である。

【 0 0 4 1 】

次に、図 2 を用いて、基板 S U B 1 に形成される電極及び配線について説明する。基板 S U B 1 は、基板 S U B 2 と比較して、その面積が大きく形成され、たとえば図中左側辺

10

20

30

40

50

部および上側辺部において、前記基板SUB2から露出された領域を有する。

【0042】

基板SUB1の左側辺部の領域には、複数のドライバ基板SCDv（走査信号駆動回路）が並設され、基板SUB1の上側辺部の領域には、複数のドライバ基板SCDh（映像信号駆動回路）が並設されている。ドライバ基板SCDvは走査信号駆動回路を構成し、ゲート信号線GLに接続され、ドライバ基板SCDhは映像信号駆動回路を構成し、ドレイン信号線DLに接続されている。

【0043】

基板SUB1の液晶側の面であって液晶表示領域AR内には、図中x方向に延在しy方向に並設されるゲート信号線GLが、また、図y方向に延在しx方向に並設されるドレイン信号線DLが形成されている。

10

【0044】

隣接する一対のゲート信号線GLと隣接する一対のドレイン信号線DLで囲まれる矩形状の領域は画素が形成される領域を構成し、これにより、各画素は液晶表示領域AR内においてマトリクス状に配置されるようになる。

【0045】

前記各ゲート信号線GLは、その左側端部がシール材SEを越えて液晶表示領域ARの外側にまで延在され、近接するドライバ基板SCDvの出力端子に接続され、該ドライバ基板SCDvによって走査信号（電圧）が供給されるようになっている。

【0046】

前記各ドレイン信号線DLは、その上側端部がシール材SLを越えて液晶表示領域ARの外側にまで延在され、近接するドライバ基板SCDhの出力端子に接続され、該ドライバ基板SCDhによって映像信号（電圧）が供給されるようになっている。

20

【0047】

前記画素は、たとえば図中丸枠Pの拡大図である丸枠P'に示すように、ゲート信号線GLからの走査信号（電圧）によってオンされる薄膜トランジスタTF Tと、このオンされた薄膜トランジスタTF Tを介してドレイン信号線DLからの映像信号（電圧）が供給される画素電極PXと、一定の基準信号（電圧）が印加されて、前記画素電極PXとの間の電位差によって電界を生じせしめる共通電極CTが備えられている。画素電極PXと共通電極CTはともに同じ基板SUB1に形成されており、前記電界は基板SUB1の表面と平行な電界成分を一部に含むもので、このような電界によって液晶の分子を挙動（駆動）させるものを横電界（In-Plane-Switching）方式と称されている。

30

【0048】

なお、前記共通電極CTはゲート信号線GLと平行に配置される共通配線（コモン線）CLを通して所定の電圧が印加されるようになっており、該コモン線CLは前記シール材SEを越えて延在され、基板SUB1面に形成されたコモン電圧端子CTMに接続されている。

【0049】

次に、本発明の特徴である、点欠陥修正に適した構成について説明する。

図3は、本発明に係る液晶表示装置の各画素における電極や配線の一部を図示した平面図であり、図4は、図3の一点鎖線A-Bにおける断面図を示している。透明基板SUB1上には、各画素に対応して、画素電極PXと共通電極CTが配置され、画素電極PXにはスイッチング素子である薄膜トランジスタのソース線SLが、スルーホールHにより接続され、表示駆動に合わせて映像信号が供給されている。また、共通電極CTには、共通配線（コモン線CL）が接続され、基準電位が供給されている。

40

【0050】

画素電極PXや共通電極CTには、ITO（Indium Tin Oxide）などの透明電極が使用され、光の透過性が確保されている。さらに、横電界方式の液晶表示装置の場合には、画素電極PXに部分的な開口部が形成され、共通電極CTとの間で透明基板SUB1の表面と平行な方向の電界（横電界）を生じるよう構成されている。

50

【 0 0 5 1 】

スイッチング素子の構成としては、アモルファスシリコンなどの半導体層 A S には、ゲート絶縁膜 G I を介してゲート信号線 G L が接続され、半導体層 A S の直下にあるゲート信号線がゲート電極として機能している。また、ドレイン信号線 D L から半導体層 A S 上に配線が延長されドレイン電極（ドレイン線）が形成されている。さらに、半導体層 A S 上には、上述したソース線 S L が延在している。

【 0 0 5 2 】

更に、本発明の液晶表示装置では、スルーホール H の位置であり且つソース線 S L の下部に、共通電極 C T に積層したメタルパターン 2 が形成されている。メタルパターン 2 は、コモン線 C L と同一材料且つ同一プロセスで形成される。

10

ここで、図 5 に、薄膜トランジスタ上に導電性の異物 1 0 が存在し、ソース線 S L とドレイン線 D S がショートしている例を示す。このような場合、黒点化の点欠陥修正が必要である。尚、図 6 は、図 4 と同じ位置での断面図であり、点欠陥修正時の様子を示している。

【 0 0 5 3 】

点欠陥修正時には、図 5 のような画素の場合、レーザ光 L 1 を符号 C 1 と C 2 の位置で照射し、ソース線 S L とドレイン線 D S を切断する。これにより、異物 1 0 が存在する画素のスイッチング素子を画素電極 P X とドレイン信号線 D L から電氣的に切り離す。更にレーザ光 L 3 をスルーホール H の位置で照射し、画素電極 P X と共通電極 C T をメタルパターン 2 を介して短絡する。これにより、画素電極 P X と共通電極 C T は同電位となり、且つ薄膜トランジスタからも切り離されるため、この画素を黒点化することが出来る。

20

【 0 0 5 4 】

本実施例を実現するための構成としては、ドレイン線 D S にゲート信号線 G L と重複しない領域を設けることと、ゲート信号線 G L と画素電極及び共通電極 C T 間に間隙を有し、この間隙内に、ソース線 S L が配置されることである。

【 0 0 5 5 】

図 7 は、図 6 の符号 D におけるレーザ光 L 3 照射後の様子を図示したものである。レーザ光 L 3 は、画素電極 P X , ソース線 S L およびゲート絶縁膜 G I を貫通する強さで照射される。これにより、メタルパターン 2 又はソース線 S L を構成するメタル材料がレーザ光の照射によって溶解し、レーザ光照射によって形成された貫通口の壁面を溶解したメタル材料が覆うことで、画素電極 P X とメタルパターン 2 を電氣的に接続する短絡部 3 が形成される。

30

【 0 0 5 6 】

本発明では、ソース線もメタルパターンも共にメタル材料であるため、両者の結合が強く、良好な電氣的接続を確保することができる。

【 0 0 5 7 】

また、図 7 に示すように、画素電極 P X とソース線 S L の短絡箇所として、画素電極 P X とソース線 S L とが接続されるスルーホール H を利用することにより、ソース線 S L とメタルパターン 2 との間には、S i N 膜などで形成されるゲート絶縁膜 G I のみが存在し、保護膜である層間絶縁膜 I I をレーザ光で開口する必要がないため、電極間の絶縁膜の膜厚変動の影響を低減でき、更には、レーザ光の出力を減少させ、より効率良く短絡作業を行うことができる。

40

【 0 0 5 8 】

さらに、図 5 及び 6 が示すように、スルーホール H は、ソース線 S L の切断箇所 C 1 やドレイン線 D S の切断箇所 C 2 に近接して配置できるため、レーザ光の照射領域が集約化し、点欠陥修正の作業効率を高めることも可能となる。

【 0 0 5 9 】

次に、図 8 乃至 1 0 を参考に、第 2 の実施例について説明する。

液晶表示装置の構成は、基本的に、図 5 及び 6 と同様な構成であるが、ソース線 S L の切断箇所を変更していることが違いである。具体的には、図 8 で示される切断箇所 C 3 の

50

位置にレーザ光 L 4 を照射することにより、図 1 0 に示すように、1 回のレーザ光照射で、ソース線 S L とメタルパターン 2 との短絡及びソース線 S L の切断を実現することができる。

【0060】

なお、図 1 0 は、図 9 の切断箇所 C 3 にレーザ光 L 4 を照射した場合における、符号 E の部分の拡大図を示している。図 1 0 に示されるように、スルーホール H の部分にレーザ光 L 4 が照射されることで、ソース線 S L とメタルパターン 2 が溶解し、レーザ光 L 4 によって形成された貫通口の壁面に短絡部 4 が形成される。

【0061】

本実施例を実現するための構成としては、ドレイン線 D S にゲート信号線 G L と重複しない領域を設けることと、ゲート信号線 G L と画素電極及び共通電極 C T 間に間隙を有し、この間隙内に、ソース線 S L とスルーホール H が配置されることである。好ましくは、ソース線 S L とスルーホール H は、一直線上に配置される。

10

【0062】

これにより、レーザ光 L 4 のビームスポット形を図 9 の C 3 のように構成することで、1 回のレーザ光照射で、短絡と切断の作業を同時に行うことが可能である。

【0063】

図 1 1 及び図 1 3 に、第 3 の実施例を示す。

液晶表示装置の構成は、基本的に、図 5 及び 6 と同様な構成であるが、共通電極 C T の形成層と、メタルパターン 5 の配置位置が異なる。

20

【0064】

本実施例では、共通電極 C T が、画素電極 P X 下の有機絶縁層 O I と層間絶縁膜 I I の間に形成され、ソース線 S L が層間絶縁膜 I I とゲート絶縁膜 G I の間に形成される。ソース線 S L と共通電極 C T とは、層間絶縁層 I I で絶縁され、共通電極 C T と画素電極 P X とは、有機絶縁層 O I で絶縁されている。

【0065】

このような場合には、図 1 1 及び図 1 2 に示すように、ソース線 S L を共通電極 C T 内側に延設し、この延設したソース線 S L と重畳する位置にメタルパターン 5 を形成する。

そして点欠陥修正時には、図 1 2 のように、切断箇所 C 1 の位置にレーザ光 L 1 を照射してソース線 S L を切断するとともに、メタルパターン 5 上にレーザ光 L 5 を照射し、レーザ光をソース線 S L の層まで貫通させ、図 1 3 のようなメタル材料による短絡部 6 を形成する。

30

【0066】

図 1 3 は、レーザ光 L 5 を照射した後の、図 1 1 の符号 G の拡大図であり、レーザ光によりメタルパターン 5 が溶解して、ソース線 S L と共通電極 C L を接続する短絡部 6 が形成された様子を示している。

【0067】

本実施例では、他の実施例よりも、レーザ光の出力を高くする必要があるが、メタルパターン 5 とソース線 S L 間の層構造は、他の実施例と代わりが無いため、ソース線 S L まで貫通する出力が出せれば、他の実施例と同様に、容易に黒点化を行うことが出来る。

40

【産業上の利用可能性】

【0068】

以上のように、本発明によれば、画素電極と共通電極又はコモン線との間の確実な短絡を可能とし、また、点欠陥の修正作業の作業効率を高めた液晶表示装置及びその点欠陥修正方法を提供することが可能となる。

【図面の簡単な説明】

【0069】

【図 1】本発明に係る液晶表示装置の全体を示す概略図である。

【図 2】本発明に係る液晶表示装置に用いられる液晶表示パネルの全体を示す概略図である。

50

【図 3】本発明に係る液晶表示装置における各画素の電極及び配線を示す図である。

【図 4】図 3 に記載の一点鎖線 A - B における断面図である。

【図 5】本発明に係る液晶表示装置における各画素の電極及び配線を示すと共に、本発明に係る点欠陥修正方法の第 1 の実施例を説明する平面図である。

【図 6】図 5 に記載の一点鎖線 A - B における断面図である。

【図 7】レーザ光照射後の図 6 の符号 D の拡大図である。

【図 8】本発明に係る液晶表示装置における各画素の電極及び配線を示すと共に、本発明に係る点欠陥修正方法の第 2 の実施例を説明する平面図である。

【図 9】図 8 に記載の一点鎖線 A - B における断面図である。

【図 10】レーザ光照射後の図 9 の符号 E の拡大図である。

10

【図 11】本発明に係る液晶表示装置の第 3 の実施例における各画素の電極及び配線を示すと共に、本発明に係る点欠陥修正方法の他の実施例を説明する平面図である。

【図 12】図 11 に記載の一点鎖線 A - B における断面図である。

【図 13】レーザ光照射後の図 12 の符号 G の拡大図である。

【符号の説明】

【0070】

1, 3, 4, 6 短絡部

2, 5 メタルパターン

A S トランジスタ部

C 1, C 2 切断箇所

20

C 3 切断及び短絡箇所

C L コモン線

C T 共通電極

D F R フレーム部材

D L ドレイン信号線

F L 蛍光管

G I ゲート絶縁層

G L ゲート信号線

H スルーホール

I I 層間絶縁層

30

L 1 ~ L 5 レーザ光

M 1 ~ M 3 短絡箇所

O I 有機絶縁層

O S 光学部材

P A 液晶表示パネル

P X 画素電極

R S 反射シート

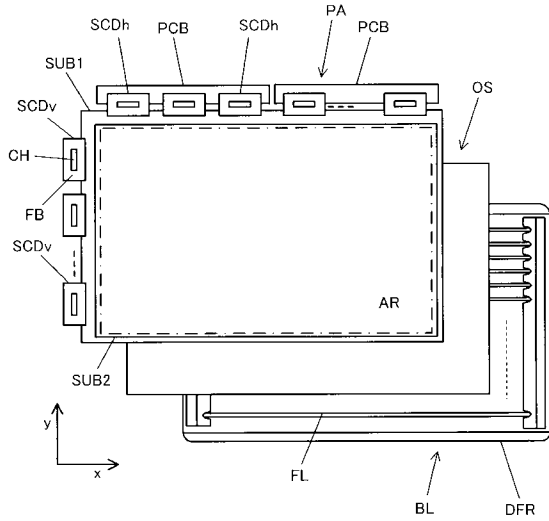
S L ソース線

D S ドレイン線

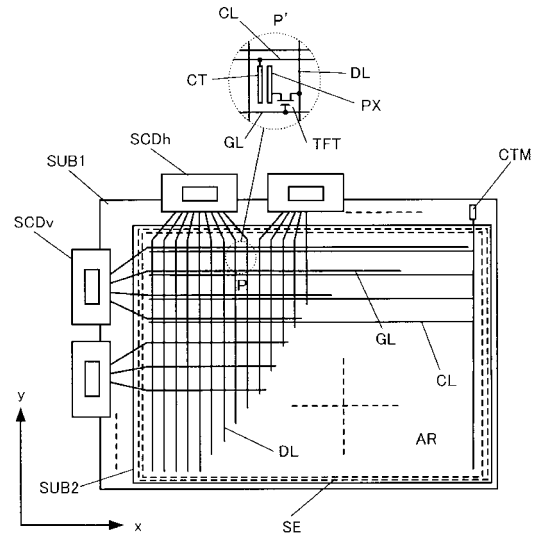
S U B 1, S U B 2 基板

40

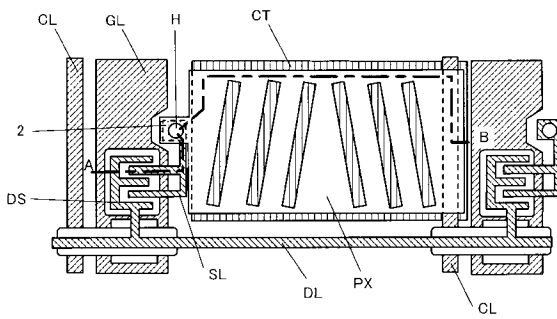
【図 1】



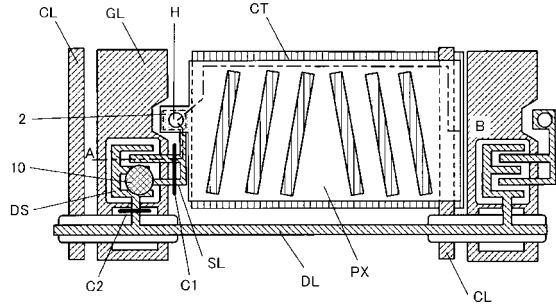
【図 2】



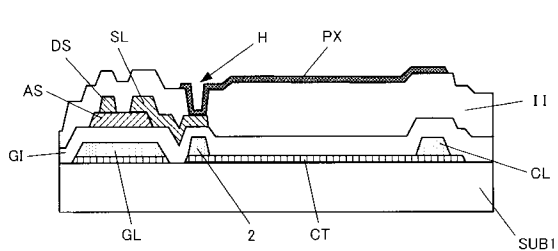
【図 3】



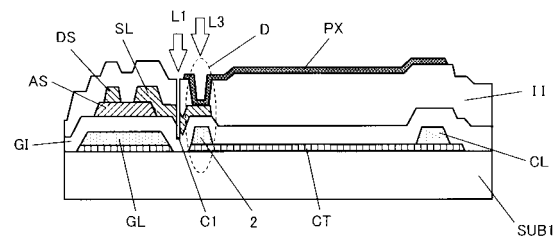
【図 5】



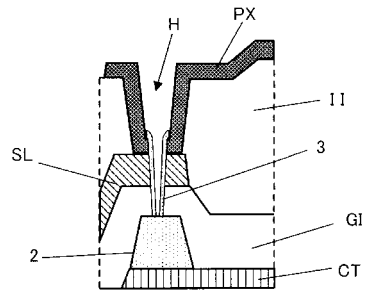
【図 4】



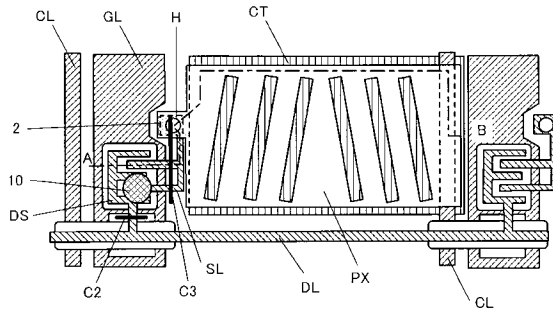
【図 6】



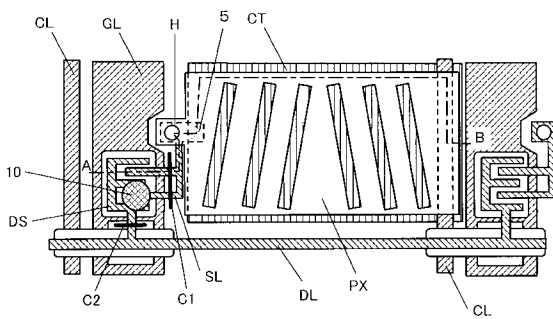
【図 7】



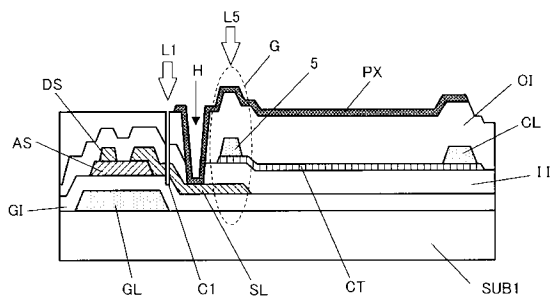
【図 8】



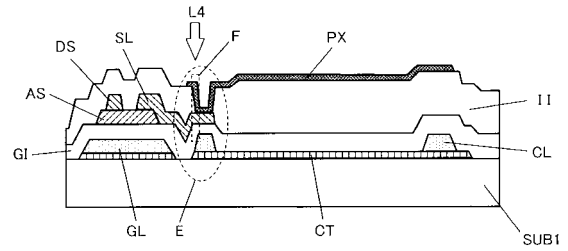
【図 11】



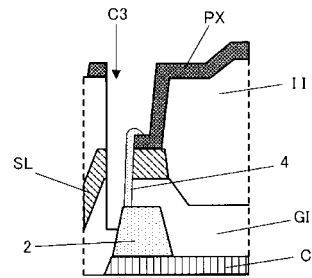
【図 12】



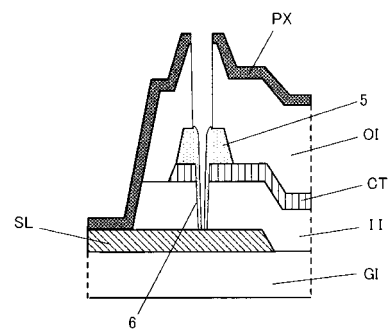
【図 9】



【図 10】



【図 13】



フロントページの続き

F ターム(参考) 2H092 GA11 JA24 JA37 JA41 JA46 JB22 JB31 MA47 NA15 NA16
NA27 PA06 QA05
5C094 AA41 BA03 BA43 DA13 EA10 FB12 FB14 HA08
5F110 AA27 BB01 CC07 DD02 FF03 GG02 GG15 NN02 NN27 QQ30
5G435 AA19 BB12 HH12 HH13 KK10

专利名称(译)	液晶显示装置及其点缺陷校正方法		
公开(公告)号	JP2010145667A	公开(公告)日	2010-07-01
申请号	JP2008321742	申请日	2008-12-18
申请(专利权)人(译)	IPS阿尔法科技有限公司		
[标]发明人	箱田秀孝 岩戸宏明		
发明人	箱田 秀孝 岩戸 宏明		
IPC分类号	G02F1/1368 G02F1/13 G09F9/30 G09F9/00 H01L29/786		
FI分类号	G02F1/1368 G02F1/13.101 G09F9/30.338 G09F9/00.352 H01L29/78.612.A G02F1/1343		
F-TERM分类号	2H088/FA14 2H088/HA02 2H088/HA06 2H088/HA08 2H088/JA03 2H088/MA20 2H092/GA11 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JA46 2H092/JB22 2H092/JB31 2H092/MA47 2H092/NA15 2H092/NA16 2H092/NA27 2H092/PA06 2H092/QA05 5C094/AA41 5C094/BA03 5C094/BA43 5C094/DA13 5C094/EA10 5C094/FB12 5C094/FB14 5C094/HA08 5F110/AA27 5F110/BB01 5F110/CC07 5F110/DD02 5F110/FF03 5F110/GG02 5F110/GG15 5F110/NN02 5F110/NN27 5F110/QQ30 5G435/AA19 5G435/BB12 5G435/HH12 5G435/HH13 5G435/KK10 2H192/AA24 2H192/BB13 2H192/BB53 2H192/BB73 2H192/BC31 2H192/CB05 2H192/CC04 2H192/FB46 2H192/HB33 2H192/HB34 2H192/HB46 2H192/HB64 2H192/JA32		
其他公开文献	JP5179337B2		
外部链接	Espacenet		

摘要(译)

要解决的问题：提供一种液晶显示器，其确保像素电极与公共电极或公共线之间的短路，并提高校正点缺陷工作的可操作性，并提供一种校正点缺陷的方法。液晶显示器。ΣSOLUTION：该液晶显示器包括栅极信号线GL，直接连接到栅极信号线的漏极信号线DL，以及由栅极信号线和漏极信号线围绕的像素区域。液晶显示器包括像素电极PX，公共电极CT，用于驱动设置在像素区域中的像素电极的开关元件，用于将开关元件连接到像素电极的源极线SL，以及公共线CL连接到公共电极。液晶显示器包括金属图案2，金属图案2形成在公共电极上并且布置在其与源极线彼此重叠的位置处。Ž

