

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-298997

(P2008-298997A)

(43) 公開日 平成20年12月11日(2008.12.11)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G09G 3/20 (2006.01)	G09G 3/20 611A	5C006
G02F 1/133 (2006.01)	G09G 3/20 611B	5C080
	G09G 3/20 621A	
	G09G 3/20 650H	
審査請求 未請求 請求項の数 5 O L (全 11 頁) 最終頁に続く		

(21) 出願番号	特願2007-143911 (P2007-143911)	(71) 出願人	302020207
(22) 出願日	平成19年5月30日 (2007.5.30)		東芝松下ディスプレイテクノロジー株式会社
			東京都港区港南4-1-8
		(74) 代理人	100083806
			弁理士 三好 秀和
		(74) 代理人	100100712
			弁理士 岩▲崎▼ 幸邦
		(74) 代理人	100100929
			弁理士 川又 澄雄
		(74) 代理人	100095500
			弁理士 伊藤 正和
		(74) 代理人	100101247
			弁理士 高橋 俊一
		最終頁に続く	

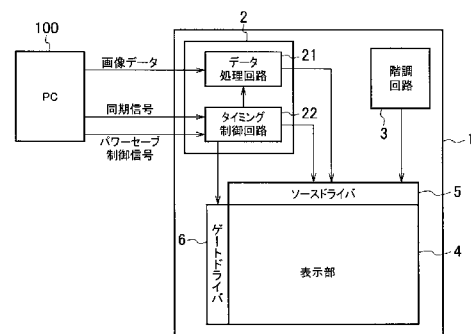
(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【要約】

【課題】 液晶表示装置の消費電力を低減する。

【解決手段】 1 フレームおきに S T H 信号のパルスを生成するタイミングコントローラ 2 を備える。これにより、ソースドライバ 5 およびゲートドライバ 6 を 1 フレームおきに駆動することができるので、消費電力を低減することができる。また、通常モードから省電力モードへ切り替えるときも P C 1 0 0 はパワーセーブ制御信号をオンにするだけでよいので、液晶表示装置 1 の表示画面を乱すことなく省電力モードへ切り替えることが可能となる。

【選択図】 図 1



【特許請求の範囲】**【請求項 1】**

マトリクス状に配置された複数の信号線および複数の走査線を備えた表示部と、
前記信号線に画像信号を印加するとともに、前記走査線に走査信号を印加する駆動回路と、
前記駆動回路に選択的に画像データを送出するパワーセーブ信号に基づいて制御される制御回路と、を具備し、
前記制御回路は、パワーセーブ信号がオンのときには、前記画像データを前記駆動回路へ複数フレームに 1 度の割合で出力すること
を特徴とする表示装置。

10

【請求項 2】

前記制御回路は、パワーセーブ信号がオンのときには、前記画像データをフレーム間引きするように制御することを特徴とする請求項 1 記載の表示装置。

【請求項 3】

前記制御回路に記憶手段を設け、パワーセーブ信号がオンのときには、前記画像データを記憶手段に記憶させるとともに、前記記憶時よりも長い周期で前記記憶手段から前記画像データを読み出して前記駆動回路へ出力すること
を特徴とする請求項 1 記載の表示装置。

【請求項 4】

マトリクス状に配置された複数の信号線および複数の走査線を備えた表示部と、
前記信号線に画像信号を印加するとともに、前記走査線に走査信号を印加する駆動回路と、
前記駆動回路に選択的に画像データを送出するパワーセーブ信号に基づいて制御される制御回路と、を有する表示装置の駆動方法であって、
パワーセーブ信号がオンのときには、前記制御回路が前記画像データを前記駆動回路へ複数フレームに 1 度の割合で出力することを特徴とする表示装置の駆動方法。

20

【請求項 5】

前記制御回路に記憶手段を有する表示装置の駆動方法であって、
パワーセーブ信号がオンのときには、前記制御回路が前記画像データを記憶手段に記憶させるとともに、前記記憶時よりも長い周期で前記記憶手段から前記画像データを読み出して前記駆動回路へ出力することを特徴とする請求項 4 記載の表示装置の駆動方法。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、表示装置を低電力消費で駆動する技術に関する。

【背景技術】**【0002】**

バッテリーで駆動するモバイルノート型コンピュータなどにおいては、低消費電力化が重要な研究課題である。当然、モバイルノート型コンピュータなどに使用される液晶表示装置にも低消費電力の要求がある。液晶表示装置においては、駆動方法の最適化、回路部材の選択など多方面から低消費電力へのアプローチがなされている。例えば、省電力モード設定などにより、液晶表示装置の消費電力を下げる方法としては、コンピュータから入力されるクロック信号の周波数を下げる方法が一般的である。

40

【0003】

一方、液晶表示装置の高精細化による動作周波数の高速化および E M I (Electro Magnetic Interference) 低減のために、コンピュータと液晶表示装置とのインターフェースに L V D S (Low Voltage Differential Signaling) などの差動信号を用いる場合がある (例えば、特許文献 1 参照)。L V D S では高速の差動入力信号をサンプリングするために、入力クロック信号を液晶表示装置内部の P L L (Phase-Locked Loop) 回路や D L L (Delay-Locked Loop) 回路で 7 通倍してサンプリングクロックとして用いている。

50

【特許文献１】特開２００２－１０８２９３号公報

【発明の開示】

【発明が解決しようとする課題】

【０００４】

しかしながら、PLL回路やDLL回路が入力クロック信号の周波数変動に追従するためには、相当時間（約１０ｍｓｅｃ）が必要であるため、省電力モードに変更するために入力クロック信号の周波数を变化させた直後では、液晶表示装置の駆動回路が正確に入力信号を取り込めなくなり、表示装置の画像が一時的に乱れるという問題が生じることがある。

【０００５】

本発明は、上記に鑑みてなされたものであり、その課題とするところは、消費電力を低減するとともに、画像の乱れなく省電力モードに移行する表示装置及び表示装置の駆動方法を提供することにある。

【課題を解決するための手段】

【０００６】

第１の本発明に係る表示装置は、マトリクス状に配置された複数の信号線および複数の走査線を備えた表示部と、信号線に画像信号を印加するとともに、走査線に走査信号を印加する駆動回路と、駆動回路に選択的に画像データを送出するパワーセーブ信号に基づいて制御される制御回路と、を具備し、制御回路は、パワーセーブ信号がオンのときには、画像データを駆動回路へ複数フレームに１度の割合で出力することを特徴とする。

【０００７】

また、上記表示装置において、制御回路は、パワーセーブ信号がオンのときには、画像データをフレーム間引きするように制御することを特徴とする。

【０００８】

本発明にあっては、パワーセーブ信号がオンのときには、画像データを駆動回路へ複数フレームに１度の割合で出力することで、駆動回路は、例えば間引き動作される画像データが入力されるフレームのときだけ駆動すればよいので、消費電力の低減を図ることができる。また、表示装置に画像信号を入力するコンピュータなどの外部装置は、パワーセーブ信号を制御するだけで表示装置を省電力モードで駆動することができ、表示装置に入力する同期信号などを変える必要がなく、入力される同期信号に基づいて生成されるクロック信号が乱れないので、画像の乱れなく省電力モードに移行することが可能となる。

【０００９】

上記表示装置において、制御回路に記憶手段を設け、パワーセーブ信号がオンのときには、画像データを記憶手段に記憶させるとともに、記憶時よりも長い周期で記憶手段から画像データを読み出して駆動回路へ出力することを特徴とする。

【００１０】

本発明にあっては、パワーセーブ信号がオンのときには、画像データを記憶手段に一時的に記憶させるとともに、画像データを入力したときよりも長い周期で読み出して駆動回路へ出力することにより、駆動回路を通常よりも低い周波数で駆動することができるので、消費電力の低減を図ることができる。

【００１１】

第２の本発明に係る表示装置の駆動方法は、マトリクス状に配置された複数の信号線および複数の走査線を備えた表示部と、信号線に画像信号を印加するとともに、走査線に走査信号を印加する駆動回路と、駆動回路に選択的に画像データを送出するパワーセーブ信号に基づいて制御される制御回路と、を有する表示装置の駆動方法であって、パワーセーブ信号がオンのときには、制御回路が画像データを駆動回路へ複数フレームに１度の割合で出力することを特徴とする。

【００１２】

上記表示装置の駆動方法において、制御回路に記憶手段を有する表示装置の駆動方法であって、パワーセーブ信号がオンのときには、制御回路が画像データを記憶手段に記憶さ

10

20

30

40

50

せるとともに、記憶時よりも長い周期で記憶手段から画像データを読み出して駆動回路へ出力することを特徴とする。

【発明の効果】

【0013】

本発明によれば、消費電力を低減するとともに、画像の乱れなく省電力モードに移行する表示装置及び表示装置の駆動方法を提供することができる。

【発明を実施するための最良の形態】

【0014】

以下、本発明の実施の形態について図面を用いて説明する。

【0015】

10

〔第1の実施の形態〕

図1は、第1の実施の形態における液晶表示装置の構成を示すブロック図である。同図に示す液晶表示装置1は、PC100から画像データ、同期信号およびパワーセーブ制御信号を入力するタイミングコントローラ2と、階調基準電圧を生成する階調回路3と、信号線と走査線がマトリクス状に配置された表示部4と、入力された画像データを表示部4の信号線へ出力するソースドライバ5と、表示部4の走査線に走査信号を出力し、画像データを書き込むタイミングを制御するゲートドライバ6とを備える。

【0016】

タイミングコントローラ2は、画像データを入力して表示部4のR（赤）、G（緑）、B（青）に合わせてデータの並べ替えを行うデータ処理回路21と、同期信号やパワーセーブ制御信号を入力してソースドライバ5が画像データを取り込むタイミングを制御するタイミング制御回路22とを備える。タイミングコントローラ2は、PC100から入力されるパワーセーブ制御信号により、省電力モードと通常モードとを切り替える機能を有する。省電力モードについては後述する。

20

【0017】

図2は、ソースドライバ5の構成を示すブロック図であり、図3は、階調回路3とD/Aコンバータ55の構成を示す回路図である。ソースドライバ5は、画像データを取り込むタイミングを制御するシフトレジスタ51と、画像データを取り込むデータレジスタ52と、指定のタイミングでデータをラッチするラッチ回路53と、レベルシフト回路54と、D/Aコンバータ55と、出力アンプ56とを備える。

30

【0018】

シフトレジスタ51には、画像データを取り込むタイミングを制御するスタートパルス信号（STH）、取り込んだ画像データを出力するタイミングを制御するストローク信号（STB）およびクロック信号（CLK）が入力される。データレジスタ52には、画像データが入力される。

【0019】

シフトレジスタ51は、タイミングコントローラ2から入力されるSTH信号のパルスに従って画像データをデータレジスタ52に取り込む。データレジスタ52に取り込まれた画像データは、STB信号に従ってラッチ回路53、レベルシフト回路54を経由してD/Aコンバータ55においてアナログ信号に変換される。

40

【0020】

D/Aコンバータ55には、図3で示す階調回路3で生成された階調基準電圧V1～V14が供給される。D/Aコンバータ55において、階調基準電圧はさらにプラス/マイナス64レベルの電圧に分圧される。D/Aコンバータ55は、入力された画像データ（6bitのデジタルデータ）に基づいてプラス/マイナス64レベルの電圧を選択して出力する。

【0021】

アナログ信号に変換された画像データは、出力アンプ56において表示部4を駆動できる電圧にまで増幅される。増幅された1ライン分の画像データ（S1，S2，S3，・・・，Sn）は、表示部4の信号線へ出力される。

50

【 0 0 2 2 】

なお、液晶を交流駆動するために、極性反転信号（ P O L ）がラッチ回路 5 3 と出力アンプ 5 6 に入力されている。

【 0 0 2 3 】

表示部 4 は、マトリクス状に配置された複数の信号線および複数の走査線を備えている。 T F T （ Thin Film Transistor ： 薄膜トランジスタ ） が信号線と走査線との交点に配置されて画素電極などと画素を構成している。 ソースドライバ 5 が画像データを信号線に印加するとともに、ゲートドライバ 6 が走査線に走査信号を印加することで、 T F T がオンして画素に画像データが書き込まれる。

【 0 0 2 4 】

次に、本実施の形態における液晶表示装置の動作について図を用いて説明する。図 4 は通常モードの動作を示すタイミングチャートであり、図 5 は省電力モードの動作を示すタイミングチャートである。図 4、図 5 には、 P C 1 0 0 がタイミングコントローラ 2 へ出力する信号、タイミングコントローラ 2 が出力する信号、ソースドライバ 5 が出力する信号およびゲートドライバ 6 が出力する信号が示されている。

【 0 0 2 5 】

P C 1 0 0 はタイミングコントローラ 2 へパワーセーブ制御信号、 V S Y N C （ 垂直同期信号 ） 、 H S Y N C （ 水平同期信号 ） 、 D E 信号（ データイネーブル信号 ） および画像データを出力する。タイミングコントローラ 2 はソースドライバ 5 へ S T H 信号、 S T B 信号および画像データを出力する。ソースドライバ 5 は、画像データを 1 ライン分ずつ表示部 4 の信号線へ出力する。ゲートドライバ 6 は、走査信号（ V g 1 , V g 2 , V g 3 , . . . , V g l a s t ） を表示部 4 の走査線へ出力する。

【 0 0 2 6 】

まず、通常モードの動作について図 4 を参照して説明する。このとき、パワーセーブ制御信号は、パワーセーブモードではないことを示す L o w （ L ） レベルであるとする。 P C 1 0 0 は、 V S Y N C の周期をフレーム単位として、 m フレーム、 m + 1 フレーム、 m + 2 フレーム、 m + 3 フレームの順序で 1 画面分ずつの画像データを出力する。 P C 1 0 0 は 1 フレーム間に 1 画面分の画像データを、 1 ライン目から l a s t ライン目まで順番に、 H S Y N C と同じ周期で D E 信号をオンして 1 ライン分ずつ出力する。

【 0 0 2 7 】

タイミングコントローラ 2 は、 H S Y N C と同じ周期で S T H 信号のパルスを生成する。ソースドライバ 5 のシフトレジスタ 5 1 は、 S T H 信号のパルスを契機にデータレジスタ 5 2 に画像データを取り込む。

【 0 0 2 8 】

1 ライン分の画像データの取り込みが終了した後、タイミングコントローラ 2 は、 S T B 信号をオンにする。ソースドライバ 5 は、 S T B 信号がオンになると、画像データをアナログ信号に変換し、表示部 4 の信号線に出力する。ゲートドライバ 6 は、出力された画像データに対応する走査信号をオンにして、出力された画像データを表示部 4 の各画素に書き込む。

【 0 0 2 9 】

この一連の動作を 1 ライン目から l a s t ライン目まで繰り返すことにより、 1 画面分の画像データが表示部 4 に書き込まれる。

【 0 0 3 0 】

続いて、省電力モードの動作について図 5 を参照して説明する。省電力モードは、 1 フレームおきにソースドライバ 5、ゲートドライバ 6 を駆動する点で通常モード動作時と異なっている。

【 0 0 3 1 】

P C 1 0 0 が出力する信号は、パワーセーブ制御信号がオンであることを表わす H i g h （ H ） レベルとなっていること以外は、通常時の動作と同様であるので説明は省略する。

10

20

30

40

50

【 0 0 3 2 】

図 5 の $m + 1$ フレームおよび $m + 3$ フレームに示すように、タイミングコントローラ 2 は、2 フレームのうち 1 フレームにおいては S T H 信号のパルスを生成しない。S T H 信号のパルスが生成されないフレームでは、ソースドライバ 5 は、画像データを取り込まず、ゲートドライバ 6 は、走査信号をオンにしないので、表示部 4 では、2 フレームに 1 回だけ画面の書き換えが行われることになる。

【 0 0 3 3 】

したがって、本実施の形態によれば、1 フレームおきに S T H 信号のパルスを生成するタイミングコントローラ 2 を備えることにより、ソースドライバ 5 およびゲートドライバ 6 は 1 フレームおきに駆動すればよいので、消費電力の低減が可能となる。また、通常モードから省電力モードへ切り替えるときも P C 1 0 0 はパワーセーブ制御信号をオンにするだけでよいので、液晶表示装置 1 の表示画面を乱すことなく省電力モードへ切り替えることが可能となる。

10

【 0 0 3 4 】

なお、本実施の形態においては、2 フレームに 1 回だけ画面の書き換え動作を行っているが、これに限るものではなく、例えば、3 フレームに 1 回など、3 フレーム以上に 1 回画面の書き換えを行うものであってもよい。

【 0 0 3 5 】

また、本実施の形態においては、画面の書き換え動作を行わない $m + 1$ フレーム、 $m + 3$ フレームでも P C 1 0 0 は、画像データを液晶表示装置 1 へ出力しているが、 $m + 1$ フレームや $m + 3$ フレームのように間引かれるフレームにおいては、同期信号のみ液晶表示装置 1 へ出力し、P C 1 0 0 から画像データを出力しないようにしてもよい。

20

【 0 0 3 6 】

[第 2 の実施の形態]

図 6 は、第 2 の実施の形態における液晶表示装置の構成を示すブロック図である。同図 (a) に示す液晶表示装置 1 は、図 1 に示したものに対してフレームメモリ 2 3 およびクロック分周用の分周回路 2 4 を備えた点で異なっている。フレームメモリ 2 3 は、省電力モード時に P C 1 0 0 から入力された画像データを一時的に記憶するメモリである。フレームメモリ 2 3 には 1 画面分の画像データを記憶することができる。省電力モード時には、データ処理回路 2 1 は、P C 1 0 0 から入力された画像データをフレームメモリ 2 3 に記憶させる。そして、P C 1 0 0 から入力されるクロック信号の周波数より低い周波数のクロック信号に基づいてフレームメモリ 2 3 から画像データを読み出してソースドライバ 5 に出力する。このより低い周波数のクロック信号は、P C 1 0 0 から入力されたクロック信号を基にして、分周回路 2 4 により生成する。分周回路 2 4 は、同図 (b) に示すように、カウンタ 2 4 - 1 およびデコーダ 2 4 - 2、アンプ 2 4 - 3 などで構成されている。

30

【 0 0 3 7 】

次に、本実施の形態における液晶表示装置の省電力モードの動作を説明する。通常モードについては、第 1 の実施の形態における液晶表示装置の動作と同様であるので説明は省略する。図 7 は、省電力モードの動作を示すタイミングチャートである。P C 1 0 0 が出力する信号は、パワーセーブ制御信号がオン (H) であること以外は通常モードの動作と同様である。

40

【 0 0 3 8 】

データ処理回路 2 1 は、P C 1 0 0 から H S Y N C の周期で 1 ライン分ずつ入力される画像データを 1 フレーム分だけフレームメモリ 2 3 に記憶させる。

【 0 0 3 9 】

1 フレーム分の画像データのフレームメモリ 2 3 への書込みが終了すると、タイミングコントローラ 2 は、H S Y N C より長い周期で S T H 信号のパルスを生成する。具体的には、例えば 2 フレームで 1 画面を構成するように制御する場合には、2 H S Y N C で 1 つの S T H 信号を発生させる。ソースドライバ 5 およびゲートドライバ 6 に出力するクロッ

50

ク信号も通常モードより低い周波数で生成する。通常モードより S T H 信号のパルスの間隔を長くすることで、ソースドライバ 5 およびゲートドライバ 6 を駆動するクロック信号の周波数を低くし、ソースドライバ 5 およびゲートドライバ 6 の動作速度を下げることができる。

【 0 0 4 0 】

ソースドライバ 5 は、S T H 信号に基づいて画像データをフレームメモリ 2 3 から低速で読み出し、S T B 信号に基づいて画像データを表示部 4 へ出力する。S T B 信号も S T H 信号と同様に通常モードよりも周期を長くしている。

【 0 0 4 1 】

ゲートドライバ 6 は、ソースドライバ 5 の画像データの出力に合わせて制御された走査信号 (V g 1 , V g 2 , V g 3 , . . . , V g l a s t) を表示部 4 の走査線へ出力する。

【 0 0 4 2 】

S T H 信号のパルスの間隔を長くして 2 フレームかけて画像データをソースドライバ 5 に出力するため、図 7 に示すように、P C 1 0 0 から出力した $m + 1$ フレーム、 $m + 3$ フレームの画像データはフレーム間引きされ、液晶表示装置 1 に取り込まれない。

【 0 0 4 3 】

したがって、本実施の形態によれば、1 画面分の画像データを記憶するフレームメモリ 2 3 を備え、省電力モード時には、入力された画像データをフレームメモリ 2 3 に一時的に記憶させるとともに、通常モード時より低速で画像データをソースドライバ 5 へ出力することにより、ソースドライバ 5 およびゲートドライバ 6 の動作速度を下げて駆動することができるので、消費電力を低減することが可能となる。また、通常モードから省電力モードへ切り替えるときも P C 1 0 0 はパワーセーブ制御信号をオンにするだけでよく、クロック分周回路 2 4 も P L L 回路のようなロックアップタイムが不要となるため、液晶表示装置 1 の表示画面を乱すことなく省電力モードへ切り替えることが可能となる。

【 0 0 4 4 】

なお、第 2 の実施の形態の場合においても、第 1 の実施の形態の場合と同様に、3 フレーム以上に 1 回の画面書換えや間引かれるフレームにおける画像データの送出手の停止などの変更を採ることも可能である。

【 図面の簡単な説明 】

【 0 0 4 5 】

【 図 1 】 第 1 の実施の形態における液晶表示装置の構成を示すブロック図である。

【 図 2 】 図 1 の液晶表示装置におけるソースドライバの構成を示すブロック図である。

【 図 3 】 図 1 の液晶表示装置における階調回路の構成を示す回路図である。

【 図 4 】 図 1 の液晶表示装置の通常時の動作を示すタイミングチャートである。

【 図 5 】 図 1 の液晶表示装置の省電力時の動作を示すタイミングチャートである。

【 図 6 】 第 2 の実施の形態における液晶表示装置の構成を示すブロック図である。

【 図 7 】 図 6 の液晶表示装置の省電力時の動作を示すタイミングチャートである。

【 符号の説明 】

【 0 0 4 6 】

- 1 ... 液晶表示装置
- 2 ... タイミングコントローラ
- 3 ... 階調回路
- 4 ... 表示部
- 5 ... ソースドライバ
- 6 ... ゲートドライバ
- 2 1 ... データ処理回路
- 2 2 ... タイミング制御回路
- 2 3 ... フレームメモリ
- 2 4 ... 分周回路

10

20

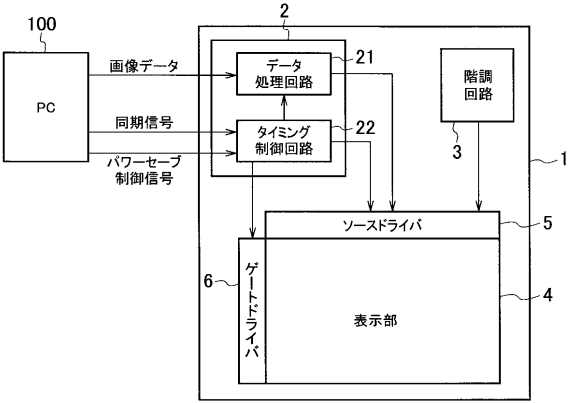
30

40

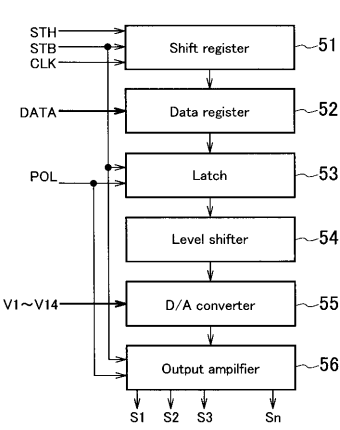
50

- 5 1 ... シフトレジスタ
- 5 2 ... データレジスタ
- 5 3 ... ラッチ回路
- 5 4 ... レベルシフト回路
- 5 5 ... D / A コンバータ
- 5 6 ... 出力アンプ
- 1 0 0 ... P C

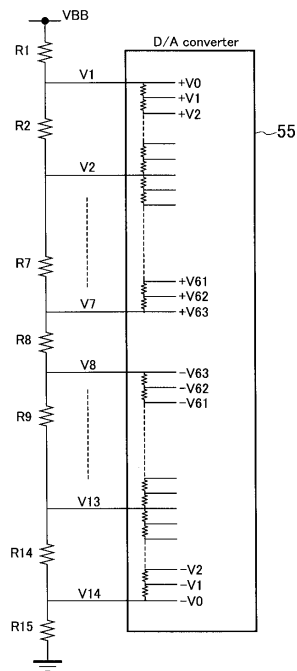
【 図 1 】



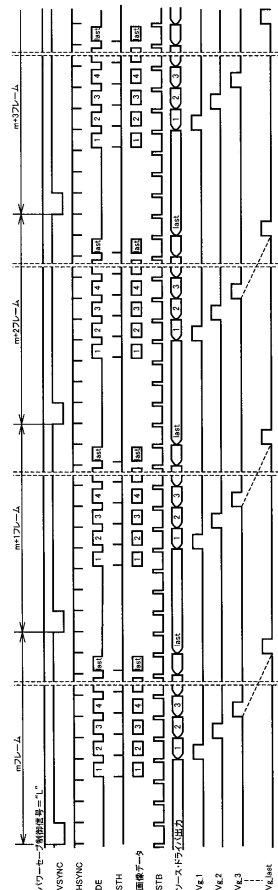
【 図 2 】



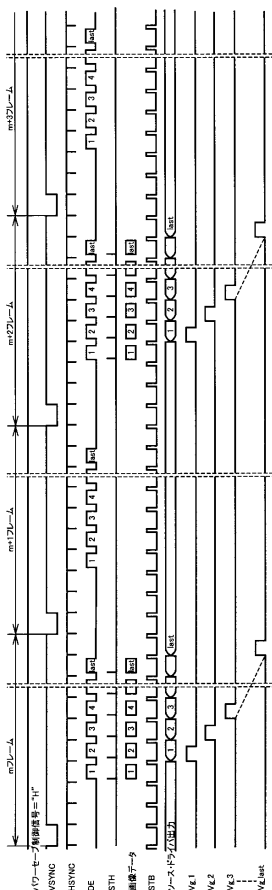
【図 3】



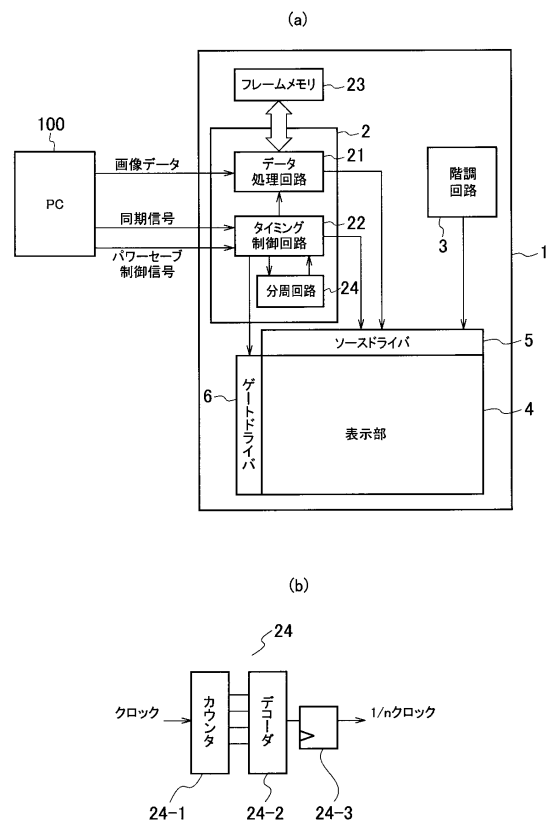
【図 4】



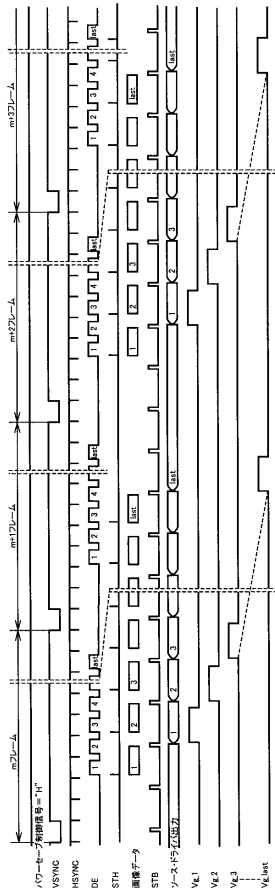
【図 5】



【図 6】



【図 7】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
	G 0 9 G 3/20	6 3 2 C
	G 0 9 G 3/20	6 5 0 J
	G 0 9 G 3/20	6 3 1 B
	G 0 9 G 3/20	6 7 0 E
	G 0 2 F 1/133	5 0 5

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 加藤 博文

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H093 NA16 NA53 NC03 NC10 NC12 NC29 NC34 ND06 ND39
5C006 AA16 AC11 AC24 AC26 AF03 AF04 AF44 AF47 AF51 AF68
AF69 AF72 AF83 BB16 BC12 BF02 BF03 BF04 BF22 BF23
BF25 BF43 FA04 FA16 FA23 FA48
5C080 AA10 BB05 DD06 DD09 DD26 EE26 EE29 FF11 GG13 GG15
GG17 JJ02 JJ04 JJ07 KK04 KK07

专利名称(译)	显示装置和显示装置的驱动方法		
公开(公告)号	JP2008298997A	公开(公告)日	2008-12-11
申请号	JP2007143911	申请日	2007-05-30
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	加藤博文		
发明人	加藤 博文		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G09G3/3696 G09G3/3611 G09G3/3688 G09G2310/027 G09G2330/021		
FI分类号	G09G3/36 G09G3/20.611.A G09G3/20.611.B G09G3/20.621.A G09G3/20.650.H G09G3/20.632.C G09G3/20.650.J G09G3/20.631.B G09G3/20.670.E G02F1/133.505		
F-TERM分类号	2H093/NA16 2H093/NA53 2H093/NC03 2H093/NC10 2H093/NC12 2H093/NC29 2H093/NC34 2H093/ND06 2H093/ND39 5C006/AA16 5C006/AC11 5C006/AC24 5C006/AC26 5C006/AF03 5C006/AF04 5C006/AF44 5C006/AF47 5C006/AF51 5C006/AF68 5C006/AF69 5C006/AF72 5C006/AF83 5C006/BB16 5C006/BC12 5C006/BF02 5C006/BF03 5C006/BF04 5C006/BF22 5C006/BF23 5C006/BF25 5C006/BF43 5C006/FA04 5C006/FA16 5C006/FA23 5C006/FA48 5C080/AA10 5C080/BB05 5C080/DD06 5C080/DD09 5C080/DD26 5C080/EE26 5C080/EE29 5C080/FF11 5C080/GG13 5C080/GG15 5C080/GG17 5C080/JJ02 5C080/JJ04 5C080/JJ07 5C080/KK04 5C080/KK07 2H193/ZA04 2H193/ZD23 2H193/ZF03 2H193/ZF22 2H193/ZF36		
代理人(译)	三好秀 伊藤雅一 高桥俊 高松俊夫		
外部链接	Espacenet		

摘要(译)

要解决的问题要降低液晶显示装置的功耗。提供用于每隔一帧产生STH信号的脉冲的定时控制器2。结果，由于可以每隔一帧驱动源极驱动器5和栅极驱动器6，所以可以降低功耗。此外，当从正常模式切换到省电模式时，PC 100仅需要打开省电控制信号，因此可以在不干扰液晶显示装置1的显示屏的情况下切换到省电模式。点域1

