

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-76732

(P2008-76732A)

(43) 公開日 平成20年4月3日(2008.4.3)

(51) Int.Cl.	F I	テーマコード (参考)
G09G 3/36 (2006.01)	G09G 3/36	2H093
G02F 1/133 (2006.01)	G02F 1/133 550	5C006
G09G 3/20 (2006.01)	G09G 3/20 621M	5C080
	G09G 3/20 621L	
	G09G 3/20 623F	
審査請求 未請求 請求項の数 7 O L (全 15 頁) 最終頁に続く		

(21) 出願番号	特願2006-255612 (P2006-255612)	(71) 出願人	304053854
(22) 出願日	平成18年9月21日 (2006.9.21)		エプソンイメージングデバイス株式会社
			長野県安曇野市豊科田沢6925
		(74) 代理人	100095728
			弁理士 上柳 雅誉
		(74) 代理人	100127661
			弁理士 宮坂 一彦
		(72) 発明者	小橋 裕
			東京都港区浜松町二丁目4番1号 三洋エ
			プソンイメージングデバイス株式会社内
		Fターム(参考)	2H093 NC16 NC22 NC24 NC34 NC50
			ND39 ND54 NF04 NF05 NF09
			NF13
			5C006 AA16 AF83 BB16 BC20 BF04
			BF26 BF27 BF37 EB05 FA41
			最終頁に続く

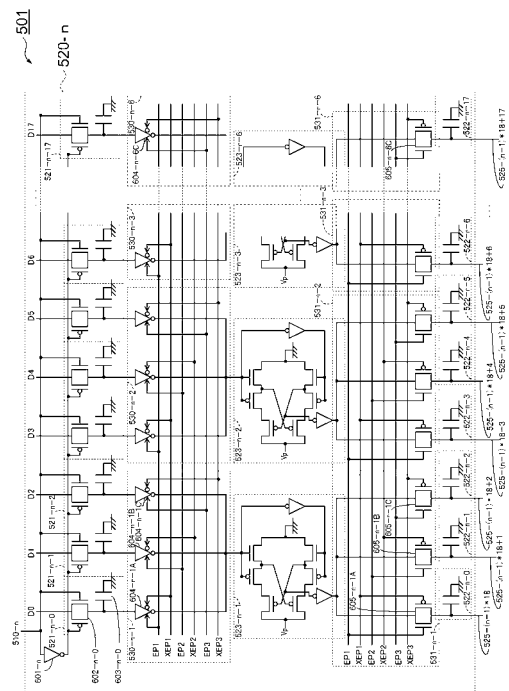
(54) 【発明の名称】 データ線駆動回路、液晶表示装置およびこれを搭載した電子機器

(57) 【要約】

【課題】 高精細で低消費電力なDAC内蔵データ線駆動回路を実現すること。

【解決手段】 メモリ回路を第1メモリと第2メモリとレベルシフト回路で構成し、第1スイッチ回路で第1メモリ回路の出力を切り替えてレベルシフト回路に入力し、その出力を第2スイッチ回路で切り替えて入力することでレベルシフト回路の数を削減することで高精細な表示装置を実現する。

【選択図】 図4



【特許請求の範囲】

【請求項 1】

順次選択される複数の出力端子を有した順次選択回路と、
前記順次選択回路の選択信号に基づき映像信号配線のデータをサンプリングしてメモリする複数の第 1 メモリ回路と、
前記第 1 メモリ回路のデータ信号をレベルシフトして出力する複数のレベルシフト回路と、
前記レベルシフト回路の出力データをメモリする複数の第 2 メモリ回路とを有したデータ線駆動回路であって、
前記第 1 メモリ回路の個数および前記第 2 メモリ回路の個数より前記レベルシフト回路の個数が少なく、
前記第 1 メモリ回路と前記レベルシフト回路の間に第 1 のスイッチ回路があり、
前記第 2 メモリ回路と前記レベルシフト回路の間に第 2 のスイッチ回路がある
ことを特徴としたデータ線駆動回路。

10

【請求項 2】

前記第 1 メモリ回路もしくは前記第 2 メモリ回路の少なくともいずれか一方は蓄積容量にデータを書き込むことでメモリ動作を行ういわゆるダイナミック型メモリであることを特徴とした請求項 1 に記載のデータ線駆動回路。

【請求項 3】

前記第 1 のスイッチ回路と前記第 2 のスイッチ回路の少なくともいずれか一方を制御する制御信号は前記順次選択回路から出力されることを特徴とした請求項 1 または 2 に記載のデータ線駆動回路。

20

【請求項 4】

前記第 1 のスイッチ回路と前記第 2 のスイッチ回路の少なくともいずれか一方を制御する制御信号のパルス幅は前記第 1 メモリ回路に入力される前記選択信号のパルス幅に比べて長いことを特徴とした請求項 1 から 3 のいずれか一つに記載のデータ線駆動回路。

【請求項 5】

前記データ線駆動回路を構成する能動素子はガラス基板上に形成された薄膜トランジスタである
ことを特徴とした請求項 1 から 4 のいずれか一つに記載のデータ線駆動回路。

30

【請求項 6】

請求項 1 から 5 のいずれか一つに記載のデータ線駆動回路を備えた液晶表示装置。

【請求項 7】

請求項 6 に記載の液晶表示装置を備えた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は例えば、データ線駆動回路、液晶表示装置およびこれを搭載した電子機器に関する。

【背景技術】

40

【0002】

近年、低温ポリシリコン薄膜形成技術を用いてガラス基板上に薄膜トランジスタ（TFT）回路を形成する、いわゆる System On Glass（SOG）技術がさかんに開発されており、液晶ディスプレイのガラス基板上にドライバー回路を内蔵する駆動回路一体型液晶表示装置、あるいはモノシリックドライバーと呼ばれる表示装置の開発が進んでおり、特に DAC（Digital Analogue Converter）回路を含むデータ線駆動回路をガラス基板上に形成することでドライバー IC のコストが非常に安価になることが期待され、実用化されている。このような DAC 回路内蔵のデータ線駆動回路（あるいは水平駆動回路、H-DRIVER などと称される）をガラス基板上に構成する場合、順次選択回路（あるいはシフトレジスタ回路）、第 1 メモリ回路（ある

50

いはサンプリングラッチ回路)、第2メモリ回路(あるいは線順次駆動ラッチ回路)、DAC回路(あるいはD/A変換回路)などで構成される。ここで第1メモリ回路は外部から入力されるデジタル映像信号を順次選択回路によって与えられる適切なタイミングで取り込むためのメモリであって、第2メモリ回路は点順次で送信されるデジタルデータを用いて線順次駆動でDAC回路を動作させるためのメモリである。このような液晶表示装置の詳細な構成例としては特許文献1などが提案されている。

【0003】

ここで第1メモリ回路に入力される映像デジタルデータの信号振幅は消費電力の低減およびドライバICのコスト低減の両面からなるべく低いことが要請され、2.5~5.0V程度であることが望ましい。一方、低温ポリシリコン薄膜形成技術で製造したTFTの閾値電圧はMOS-ICのトランジスタに比べて高いことから、DAC回路が精度よく動作するために第2メモリ回路からの出力電位振幅は6~12V程度であることが要求される。この両者の要求から、第1メモリ回路もしくは第2メモリ回路で電位のレベルシフトを行う必要がある。これを実現する回路構成として、特許文献2、特許文献3などが提案されている。これらはいずれも第1メモリ回路及び第2メモリ回路の構成としてS-RAM(Static Random Access Memory)回路を応用したものである。

10

【0004】

【特許文献1】特開2000-242209号公報

【特許文献2】特開2000-221926号公報

20

【特許文献3】特開2000-221929号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

レベルシフト回路をガラス基板上のデータ線駆動回路に用いる際、ICに比べ10倍程度大きなデザインルールで形成する必要があるため、精細度が低いものしかできないという課題があった。本発明は上記の問題点に鑑みてなされてものであり、その目的の一つはレベルシフト回路を内蔵しても精細度の高いディスプレイを実現するものである。

【課題を解決するための手段】

【0006】

30

本発明のある態様によれば、データ線駆動回路が、順次選択される複数の出力端子を有した順次選択回路と、前記順次選択回路の選択信号に基づき映像信号配線のデータをサンプリングしてメモリする複数の第1メモリ回路と、前記第1メモリ回路のデータ信号をレベルシフトして出力する複数のレベルシフト回路と、前記レベルシフト回路の出力データをメモリする複数の第2メモリ回路とを有している。そして、前記第1メモリ回路の個数および前記第2メモリ回路の個数より前記レベルシフト回路の個数が少なく、前記第1メモリ回路と前記レベルシフト回路の間に第1のスイッチ回路があり、前記第2メモリ回路と前記レベルシフト回路の間に第2のスイッチ回路がある。このようなデータ線駆動回路を用いれば、レベルシフト回路の配置ピッチを大きくとれるため、レイアウト上の制約となることがなく、高精細な表示装置が実現できる。

40

【0007】

また本発明の他の態様によれば、前記第1メモリ回路もしくは前記第2メモリ回路の少なくともいずれか一方は蓄積容量にデータを書き込むことでメモリ動作を行ういわゆるダイナミック型メモリである。これによれば、S-RAM型の構成に比べ、D-RAM型の構成は素子数が少ないのでさらに高精細な表示装置が実現できる。

【0008】

また本発明のさらに他の態様によれば、前記第1のスイッチ回路と前記第2のスイッチ回路の少なくともいずれか一方を制御する制御信号は前記順次選択回路から出力される。このような構成によって制御信号を別途外部から入力したり別回路で生成したりする必要がないため、実装端子数が軽減でき、あるいは回路面積を縮小できる。また前記第1のス

50

イッチ回路と前記第2のスイッチ回路の少なくともいずれか一方を制御する制御信号のパルス幅は前記第1メモリ回路に入力される前記選択信号のパルス幅に比べて長いこともあわせて提案する。このような構成により映像信号の転送速度に第1メモリ回路のサンプリング速度が遅れることなくレベルシフト回路による第2メモリ回路への書き込みが間に合わないことを防止できる。

【0009】

さらに本発明の他の態様によれば、前記データ線駆動回路を構成する能動素子はガラス基板上に形成された薄膜トランジスタである。ガラス基板上に形成された閾値電圧が高い薄膜トランジスタでDAC回路を構成するとDAC回路に入力するデジタル信号は高い電位振幅を必要とするが、本回路構成によって映像信号は低い電位振幅のままにおさえることができるから、ガラス基板上に形成された薄膜トランジスタで駆動回路を一体形成する際にも低消費電力な回路とすることが出来るため、DAC回路をガラス基板上に形成することでコストを安価に出来る。

10

【0010】

また、液晶表示装置が上記のデータ線駆動回路を備えることもある。さらに、電子機器がこのような液晶表示装置を備えることもある。上記データ線駆動回路を内蔵した液晶表示装置は従来のものにくらべ高精細で低消費電力であり、ガラス基板上に形成することができるからコストが低くなる。電子機器に応用すれば安価でバッテリー駆動時間が長く、表示品位の高い電子機器を実現できる。

20

【0011】

上記構成によれば、レベルシフト回路によって精細度が制限されることが無く、またメモリ回路に素子数の多いS-RAMでなくD-RAMを用いることができ、かつ映像信号からの入力信号振幅は低いままDAC回路への出力データ振幅を大きくすることができるため、高精細で低消費電力なデータ線駆動回路を低温ポリシリコンTFT回路で構成できる。

【発明を実施するための最良の形態】

【0012】

(実施例1)

図1は本発明の第1の実施例を実現するための6BitDAC内蔵VGA液晶用データ線駆動回路302のブロック図である。

30

【0013】

データ線駆動回路302は順次選択回路500、メモリ回路501、DAC回路503よりなる。順次選択回路500は641個の出力端子510-1~641を有し、適切なクロック信号CLK、スタートパルス信号SPを供給されることにより出力端子510-1~641に順次選択信号を供給し、出力端子510-641を選択した後に終端信号EP1→EP2→EP3信号を順にメモリ回路501へ出力する。

【0014】

メモリ回路501は640個の単位回路520-1~640よりなる回路であって、各単位回路520-nには18本のデジタル映像信号D0~D17が入力され、順次選択回路500からの出力端子510-nも接続される。デジタル映像信号D0~D17の電位は0/3Vの信号である。順次選択回路500から出力端子510-nに選択信号が出力されると、単位回路520-n内にそのデータが取り込まれる。その後、順次選択回路500から終端信号EP1、EP2、EP3が選択されると単位回路520-1~640から先ほど取り込まれた0/3Vのデータが0/8Vに増幅されて出力端子525-1~11520へ出力される。このようにしてメモリ回路501の出力端子525-1~11520からは0~8V信号が出力され、次に終端信号EP1~3が選択される35μ秒後まで保持される。

40

【0015】

DAC回路503はメモリ回路501からの出力端子525-1~11520を元にデジタル・アナログ変換を行い、データ線202-1~1920へアナログ電位を書き込む

50

。ここでDAC回路503は6Bitのデジタル・アナログ変換であって、出力端子525 - $p \times 6 - 5 \sim$ 出力端子525 - $p \times 6$ までの6Bitのデータをもとにデータ線202 - p へのアナログ電位に変換する。ここで、 p は1以上1920以下の整数である。

【0016】

図2は順次選択回路500の回路図である。646段のD - FF回路538 - 1 ~ 646が直列に接続されてなり、D - FF回路538 - n とD - FF回路538 - $n + 1$ の出力端子がNAND回路539 - n の入力段に接続され、NAND回路539 - n の出力がインバーター回路532 - n に接続され、インバーター回路532 - n の出力が出力端子510 - n に繋がる ($n = 1 \sim 640$)。初段のD - FF回路538 - 1の入力端子はスタートパルス信号SPに接続され、D - FF回路538 - 642の出力端子は駆動能力を上げるためのバッファを介して終端信号EP1に、D - FF回路538 - 644の出力端子は同様にして終端信号EP2に、D - FF回路538 - 646の出力端子は同様にして終端信号EP3にそれぞれ接続される。EP1, 2, 3信号はインバーター回路に入力されて反転信号XEP1, 2, 3も同時に出力される。これらの構成回路は全て+8Vと0Vの電源に接続される。スタートパルス信号SPは35 μ 秒周期でパルス長54n秒の矩形波信号であって+8V/0Vのレベルの信号である。クロック信号CLKは周期108n秒の矩形クロック信号であって+8V/0Vのレベルの信号である。このように構成することで、出力端子510 - 1 → 出力端子510 - 2 → 出力端子510 - 3...と各出力端子が順次54n秒ずつ選択され、出力端子510 - 640が選択された後、EP1信号 → EP2信号 → EP3信号がそれぞれ順に108n秒ずつ選択される。なお、順次選択回路としては本実施例であげたようなD - FF回路を用いた構成の他、S - RAMラッチやRS - フリップフロップを用いた構成など、既知のいかなる順次選択回路を用いても差し支えない。また、反転表示を実現するため、双方向転送回路を組み込んでもよい。

【0017】

図3はDAC回路503の回路図である。DAC回路503は6Bitのデジタル・アナログ変換回路であり、1920個のDACユニット回路540 - 1 ~ 1920と基準電位発生源550よりなる。基準電位発生源550は反転する2つの電位VBとVWを与えられ、これを適当な抵抗で分割することで64個の基準電位V1 ~ V64を発生する。ここでVBとVWは互いに極性が反転している0 - 4VのAC電位であり、周期は70 μ 秒であってスタートパルス信号SPが選択される直前に反転する。これによってDAC回路503から出力される信号は1H期間毎に反転する、1H反転駆動が実現される。 p を1以上1920以下の整数とすると、DACユニット回路540 - p はメモリ回路501からの出力端子525 - $p \times 6 - 5 \sim p \times 6$ に接続され、その信号に応じてV1 ~ V64の中から一つの電位を選択(デコード)してデータ線202 - n に出力する。これによって6Bitのデジタル・アナログ変換がなされる。なお、本実施例では基準電位発生源550の出力を直接データ線202 - n に接続する構成をとったが、オペアンプ、ソースフォロアなどのアナログバッファを間にいれる構成にしても差し支えない。また、DAC回路として本実施例であげた構成の他に容量を使ったC - DACや階段波を用いたPWM変調DAC等、既知のあらゆる他方式のDACと組み合わせて構わない。

【0018】

図4はメモリ回路501の単位回路520 - n ($n = 1 \sim 640$)の回路構成である。

【0019】

単位回路520 - n は、18個の第1メモリ回路521 - $n - 0 \sim 17$ と、6個の第1スイッチ回路530 - $n - 1 \sim 6$ と、6個のレベルシフタ回路523 - $n - 1 \sim 6$ と、6個の第2スイッチ回路531 - $n - 1 \sim 6$ と、18個の第2メモリ回路522 - $n - 0 \sim 17$ と、を備えている。18個の第1メモリ回路521 - $n - 0 \sim 17$ のそれぞれには、18個の映像信号配線のそれぞれが接続されており、対応する映像信号配線上に現れるデジタル映像信号Dm ($m = 0 \sim 17$)が供給される。さらに、18個の第1メモリ回路521 - $n - 0 \sim 17$ は、出力端子510 - n が選択されるタイミングに応じて、それぞれ対応したデジタル映像信号Dmに応じたそれぞれの電位を格納する。

10

20

30

40

50

【 0 0 2 0 】

6 個の第 1 スイッチ回路 5 3 0 - n - 1 ~ 6 のそれぞれは、1 8 個の第 1 メモリ回路 5 2 1 - n - 0 ~ 1 7 の 3 つ毎に設けられている。例えば、第 1 スイッチ回路 5 3 0 - n - 1 は、第 1 メモリ回路 5 2 1 - n - 0 ~ 2 のうちのいずれか一つに格納された電位を、レベルシフト回路 5 2 3 - n - 1 に供給する。

【 0 0 2 1 】

レベルシフト回路 5 2 3 - n - 1 ~ 6 のそれぞれは、第 1 スイッチ回路 5 3 0 - n - 1 ~ 6 のそれぞれから供給された電位のレベルをシフトするように構成されている。

【 0 0 2 2 】

6 個の第 2 スイッチ回路 5 3 1 - n - 1 ~ 6 のそれぞれは、1 8 個の第 1 メモリ回路 5 2 1 - n - 0 ~ 1 7 の 3 つ毎に設けられている。そして、例えば、第 2 スイッチ回路 5 3 1 - n - 1 は、終端信号 E P 1 , E P 2 , E P 3 に応じて、レベルシフト回路 5 2 3 - n - 1 が出力する電位に対応した電位を、第 2 メモリ回路 5 2 2 - n - 0 ~ 2 のいずれかに供給する。そして、1 8 個の第 2 メモリ回路 5 2 2 - n - 0 ~ 1 7 のそれぞれは、供給された電位を格納するとともに、1 8 個の出力端子 5 2 5 - (n - 1) * 1 8 ~ (n - 1) * 1 8 - 1 7 にへ出力する。

10

【 0 0 2 3 】

以下では、説明を簡潔にする目的に、第 1 メモリ回路 5 2 1 - n - 0 ~ 2 と、第 1 スイッチ回路 5 3 0 - n - 1 と、レベルシフト回路 5 2 3 - n - 1 と、第 2 スイッチ回路 5 3 1 - n - 1 と、第 2 メモリ回路 5 2 2 - n - 0 ~ 2 と、に着目して詳細に構造を説明するが、この説明は、第 1 メモリ回路 5 2 1 - n - 3 ~ 1 7 と、第 1 スイッチ回路 5 3 0 - n - 2 ~ 6 と、レベルシフト回路 5 2 3 - n - 2 ~ 6 と、第 2 スイッチ回路 5 3 1 - n - 2 ~ 6 と、第 2 メモリ回路 5 2 2 - n - 3 ~ 1 7 と、にも当てはまる。

20

【 0 0 2 4 】

第 1 メモリ回路 5 2 1 - n - 0 ~ 2 のそれぞれは、1 つの第 1 伝送ゲート 6 0 2 - n - 0 ~ 2 と、1 つの第 1 蓄積容量 6 0 3 - n - 0 ~ 2 と、を備えている。

【 0 0 2 5 】

第 1 伝送ゲート 6 0 2 - n - 0 ~ 2 のそれぞれのソースは、それぞれの映像信号配線に接続されている。第 1 伝送ゲート 6 0 2 - n - 0 ~ 2 のそれぞれのドレインは、第 1 蓄積容量 6 0 3 - n - 0 ~ 2 のそれぞれの一端に接続されている。また、第 1 伝送ゲート 6 0 2 - n - 0 ~ 2 の正負のゲート入力には、出力端子 5 1 0 - n からの信号と、第 1 インバーター回路 6 0 1 - n からの信号と、が供給されている。なお、第 1 インバーター回路 6 0 1 - n は、出力端子 5 1 0 - n からの信号を反転するように構成されている。

30

【 0 0 2 6 】

このような構成によって、出力端子 5 1 0 - n の選択 / 非選択に応じて、第 1 伝送ゲート 6 0 2 - n - 0 ~ 2 のそれぞれは、それぞれ対応する映像信号配線上に現れるデジタル映像信号 D m (ここでは D 0 ~ D 2) に対応した電位を、それぞれの第 1 蓄積容量 6 0 3 - n - 0 ~ 2 に書き込む。

【 0 0 2 7 】

第 1 スイッチ回路 5 3 0 - n - 1 は、終端信号 E P 1 と、終端信号 E P 1 に対して反転した信号 X E P 1 と、が正負のクロック端子に供給される第 1 クロックド・インバーター 6 0 4 - n - 1 A と、終端信号 E P 2 と、終端信号 E P 2 に対して反転した信号 X E P 2 と、が正負のクロック端子に供給される第 1 クロックド・インバーター 6 0 4 - n - 1 B と、終端信号 E P 3 と、終端信号 E P 3 に対して反転した信号 X E P 3 と、が正負のクロック端子に供給される第 1 クロックド・インバーター 6 0 4 - n - 1 C と、を備えている。

40

【 0 0 2 8 】

第 1 クロックド・インバーター 6 0 4 - n - 1 A は、終端信号 E P 1 に応じて、第 1 蓄積容量 6 0 3 - n - 0 に書き込まれた電位に対応した電位を、レベルシフト回路 5 2 3 - n - 1 に供給するように構成されている。また、第 1 クロックド・インバーター 6 0 4 -

50

$n - 1 B$ は、終端信号 $EP2$ に応じて、第1蓄積容量 $603 - n - 1$ に書き込まれた電位に対応した電位を、レベルシフト回路 $523 - n - 1$ に供給するように構成されている。同様に、第1クロックド・インバータ $604 - n - 1 C$ は、終端信号 $EP3$ に応じて、第1蓄積容量 $603 - n - 2$ に書き込まれた電位に対応した電位を、レベルシフト回路 $523 - n - 1$ に供給するように構成されている。

【0029】

レベルシフト回路 $523 - n - 1$ はいわゆるフリップフロップ型のレベルシフトである。レベルシフト出力は入力に対して逆相になっており、 $0V$ を入力されれば $8V$ 、 $3V$ が入力されれば $0V$ を出力する。

【0030】

第2スイッチ回路 $531 - n - 1$ は、終端信号 $EP1$ と、信号 $XEP1$ と、が正負のクロック端子に供給される第2伝送ゲート $605 - n - 1 A$ と、終端信号 $EP2$ と、信号 $XEP2$ と、が供給される第2伝送ゲート $605 - n - 1 B$ と、終端信号 $EP3$ と、信号 $XEP3$ と、が供給される第2伝送ゲート $605 - n - 1 C$ と、を備えている。

【0031】

第2伝送ゲート $605 - n - 1 A$ は、終端信号 $EP1$ に応じて、レベルシフト回路 $523 - n - 1$ が出力する電位に対応した電位を、第2メモリ回路 $522 - n - 0$ に供給するように構成されている。また、第2伝送ゲート $605 - n - 1 B$ は、終端信号 $EP2$ に応じて、レベルシフト回路 $523 - n - 1$ が出力する電位に対応した電位を、第2メモリ回路 $522 - n - 1$ に供給するように構成されている。同様に、第2伝送ゲート $605 - n - 1 C$ は、終端信号 $EP3$ に応じて、レベルシフト回路 $523 - n - 1$ が出力する電位に対応した電位を、第2メモリ回路 $522 - n - 2$ に供給するように構成されている。

【0032】

第2メモリ回路 $522 - n - 0, 1, 2$ のそれぞれは、蓄積容量である。本実施例では、それらの他端は接地されている。

【0033】

以上のような構成を有する単位回路 $520 - n$ は、以下のように動作する。

【0034】

まず、出力端子 $510 - n$ (選択信号) が選択される ($= +8V$ 電位となる) と、第1インバータ回路 $601 - n$ からは Low ($= 0V$) が出力される。第1インバータ回路 $601 - n$ の電源電位は $+8V / 0V$ である。すると第1メモリ回路 $521 - n - 0 \sim 17$ 内の第1伝送ゲート $602 - n - 0 \sim 17$ は全て開となり、第1蓄積容量 $603 - n - 0 \sim 17$ にはデジタル映像信号 $D0 \sim D17$ の電位 ($+3V$ 又は $0V$) が書き込まれる。

【0035】

次に信号 CLK が反転し、出力端子 $510 - n$ (選択信号) が非選択になる ($= 0V$ 電位となる) と、第1インバータ回路 $601 - n$ からは $High$ ($= +8V$) が出力され、第1伝送ゲート $602 - n - 0 \sim 17$ は全て閉となる。ここで第1蓄積容量 $603 - n - 0 \sim 17$ の容量は $1pF$ であって、第1伝送ゲート $602 - n - 0 \sim 18$ のリーク電流が $1nA$ 以下であるので第1蓄積容量 $603 - n - 0 \sim 18$ の電位は次に出力端子 $510 - n$ が選択になる 35μ 秒後までに最大でも $35mV$ しか変動せず、データが保持されることになる。

【0036】

出力端子 $510 - 640$ が選択となって、第1蓄積容量 $603 - 1 \sim 640 - 0 \sim 17$ の書き込みが終了すると、次に信号 CLK が反転するタイミングで終端信号 $EP1$ が選択 ($8V$) となる ($XEP1$ は $0V$)。すると第1スイッチ回路 $530 - 1 \sim 640 - 1$ 内の第1クロックド・インバータ $604 - 1 \sim 640 - 1 A \sim 6 A$ (電源電圧 $+3 / 0V$) が動作し、第1メモリ回路 $521 - 1 \sim 640 - 0, 3, 6, 9, 12, 15$ のデータが $0V$ なら $+3V$ 、第1メモリ回路 $521 - 1 \sim 640 - 0, 3, 6, 9, 12, 15$ のデータが $+3V$ なら $0V$ をレベルシフト回路 $523 - 1 \sim 640 - 1 \sim 6$ へ出力する。

このとき、終端信号 E P 2、E P 3 は非選択であるから、第 1 クロックド・インバーター 6 0 4 - 1 ~ 6 4 0 - 1 B ~ 6 B と、第 1 クロックド・インバーター 6 0 4 - 1 ~ 6 4 0 - 1 C ~ 6 C と、は非動作である。レベルシフト回路 5 2 3 - 1 ~ 6 4 0 - 1 ~ 6 はいわゆるフリップフロップ型のレベルシフトであって、出力は逆相になっており、0 V を入力されれば 8 V、3 V が入力されれば 0 V を出力する ($V_p = +8 V$)。

【0037】

終端信号 E P 1 が 8 V、信号 X E P 1 は 0 V であるから、第 2 スイッチ回路 5 3 1 - 1 ~ 6 4 0 - 1 ~ 6 内の第 2 伝送ゲート 6 0 5 - 1 ~ 6 4 0 - 1 ~ 6 A はゲート開である (第 2 伝送ゲート 6 0 5 - 1 ~ 6 4 0 - 1 ~ 6 B, C はゲート閉)。従って第 2 メモリ回路 5 2 2 - 1 ~ 6 4 0 - 0, 3, 6, 9, 15 にはレベルシフト回路 5 2 3 - 1 ~ 6 4 0 - 1 ~ 6 の出力が充電される。すなわち、第 1 メモリ回路 5 2 1 - 1 ~ 6 4 0 - 0, 3, 6, 9, 12, 15 のデータが 0 V なら第 2 メモリ回路 5 2 2 - 1 ~ 6 4 0 - 0, 3, 6, 9, 12, 15 にも 0 V、第 2 メモリ回路 5 2 1 - 1 ~ 6 4 0 - 0, 3, 6, 9, 12, 15 のデータが 3 V なら第 2 メモリ回路 5 2 2 - 1 ~ 6 4 0 - 0, 3, 6, 9, 12, 15 には 8 V がそれぞれメモリされる。

【0038】

1 0 8 n 秒後、終端信号 E P 1 は 0 V (X E P 1 は 8 V) となり、終端信号 E P 2 が 8 V (信号 X E P 2 は 0 V) になる。すると第 1 クロックド・インバーター 6 0 4 - 1 ~ 6 4 0 - 1 A ~ 6 A は非動作、第 2 伝送ゲート 6 0 5 - 1 ~ 6 4 0 - 1 A ~ 6 A はゲート閉となって第 1 クロックド・インバーター 6 0 4 - 1 ~ 6 4 0 - 1 B ~ 6 B が動作、第 2 伝送ゲート 6 0 5 - 1 ~ 6 4 0 - 1 B ~ 6 B はゲート開になる。先ほどと同様の動作で今度は第 2 メモリ回路 5 2 2 - 1 ~ 6 4 0 - 1, 4, 7, 10, 13, 16 に 0 / 8 V 信号が書き込まれる。さらに 1 0 8 n 秒後、終端信号 E P 2 は 0 V (X E P 2 は 8 V) となり、終端信号 E P 3 が 8 V (X E P 3 は 0 V) になって第 2 メモリ回路 5 2 2 - 1 ~ 6 4 0 - 2, 5, 8, 11, 14, 17 に 0 / 8 V 信号が書き込まれて全ての第 2 メモリ回路 5 2 2 - 1 ~ 6 4 0 - 0 ~ 17 に書き込みが完了し、出力端子 5 2 5 - 1 ~ 1 1 5 2 0 から 0 / 8 V 信号が出力されることになる。第 2 伝送ゲート 6 0 5 - n - 1 ~ 6 A, B, C のリーク電流が 1 n A 以下、第 2 メモリ回路 5 2 2 - 1 ~ 6 4 0 - 0 ~ 17 の蓄積容量を 1 p F とすれば E P 1 ~ 3 信号が選択するまでの期間は 3 5 μ 秒であるから、出力端子 5 2 5 - 1 ~ 1 9 2 0 の電位はせいぜい 3 5 m V しか変動しないので、次の E P 1 ~ 3 信号が選択までの期間、出力端子 5 2 5 - 1 ~ 1 1 5 2 0 の電位は保持されることとなる。

【0039】

なお、レベルシフト回路 5 2 3 - n - 1 ~ 6 の個数と第 1 メモリ回路 5 2 1 - n - 0 ~ 17 および第 2 メモリ回路 5 2 2 - n - 0 ~ 17 の個数の比を j としたとき、本実施例では $j = 3$ であり、第 1 スイッチ回路 5 3 0 及び第 2 スイッチ回路 5 3 1 を 1 : j ($j = 3$) あるいは $j : 1$ ($j = 3$) の切り替え回路で構成したが、要求されるピッチ、レベルシフト回路 5 2 3 の動作速度に応じて $j = 2, 4, 5, 6, \dots$ と任意の倍数で設定して差し支えない。また、回路を構成するトランジスタの閾値 (V_{th}) が十分小さい場合は第 1 伝送ゲート 6 0 2 を CMOS 伝送ゲートではなく片チャネル伝送ゲートとしてもよい。この場合、第 1 インバーター回路 6 0 1 - n は省略しても差し支えない。同様に、第 2 伝送ゲート 6 0 5 も片チャネル伝送ゲートとしてもよい。また、第 1 メモリ回路 5 2 1 は本実施例のような容量を用いたダイナミック型でなく、スタティック型の構成としても良い。第 1 メモリ回路 5 2 1 にかわるこのような構成例として、図 10 に CMOS 型 S - R A M 構成の第 1 メモリ回路 5 9 1 - n - m (m は 0 以上 17 以下の整数) を示す。第 1 メモリ回路 5 9 1 - n - m の電源電圧は + 3 V / 0 V である。このようにスタティック型のメモリ構成とすることで、第 1 伝送ゲート 6 0 2 のリーク電流や保持時間を気にする必要が無く、プロセスマージンが増大する。一方で素子数は図 10 の構成のほうが多くなるので、レイアウト面積は増大する。どちらを選択するかはプロセスマージン、精細度などから決定すればよい。また、同様に第 2 メモリ回路 5 2 2 - n - 0 ~ 17 もスタティック型の構成としても良い。このような構成例を図 11 の第 2 メモリ回路 5 9 2 - n - m (m は

10

20

30

40

50

0以上17以下の整数)に示す。第2メモリ回路592 - n - mの電源電圧は+8V/0Vである。この場合のメリットとデメリットは第1メモリ回路521 - n - 0~17で述べたことと同様である。

【0040】

図5は図1のデータ線駆動回路302を用いたアクティブマトリクス基板101の構成図である。アクティブマトリクス基板101上には、480本の走査線(201 - 1~480)と1920本のデータ線(202 - 1~1920)が直交して形成されており、480本の容量線(203 - 1~480)は走査線(201 - 1~480)と平行に配置されている。容量線(203 - 1~480)は相互に短絡され、対向導通部(330)に接続され、電源回路304から適切な共通電位を与えられる。

10

【0041】

走査線(201 - 1~480)は走査線駆動回路301に接続されて駆動信号を与えられる。また、データ線(202 - 1~1920)はデータ線駆動回路302に接続されて映像信号を与えられる。走査線駆動回路301、データ線駆動回路302は電源回路304および信号回路305に接続され、必要な信号(例えばSP,CLK信号)と必要な電位(例えば+8、+3、0VDC電源)を供給される。データ線駆動回路302は信号入力端子320からデジタル映像信号D0~D17を与えられる。また信号回路305および電源回路304も必要な信号(マスタークロック、SYNC信号など)および電源電位(例えば+2V)を与えられる。

【0042】

20

走査線駆動回路301、データ線駆動回路302、電源回路304、信号回路305はアクティブマトリクス基板の一部となるガラス基板上にポリシリコン薄膜トランジスタを集積することで形成されており、後述する画素スイッチング素子(401 - n - m)と同一工程で製造される、いわゆる駆動回路内蔵型の液晶表示装置となっている。なお、ここでのmは1以上1920以下の整数であり、nは1以上480以下の整数である。

【0043】

図6は図5の点線310部で示す画素表示領域中のm番目のデータ線(202 - m)とn番目の走査線(201 - n)の交差点付近の回路図である。走査線(201 - n)とデータ線(202 - m)の各交点にはNチャネル型電界効果ポリシリコン薄膜トランジスタよりなる画素スイッチング素子(401 - n - m)が形成されており、そのゲート電極は走査線(201 - n)に、ソース・ドレイン電極はそれぞれデータ線(202 - m)と画素電極(402 - n - m)に接続されている。画素電極(402 - n - m)及び同一電位に短絡される電極は容量線(203 - n)と補助容量コンデンサ(403 - n - m)を形成し、また液晶表示装置として組み立てられた際には液晶素子をはさんで対向基板電極930(コモン電極)とやはりコンデンサを形成する。

30

【0044】

図7は図6のアクティブマトリクス基板を用いた第1の実施例における6BitDAC内蔵透過型VGA解像度液晶表示装置の斜視構成図(一部断面図)である。液晶表示装置910は、アクティブマトリクス基板101(第1の基板)と対向基板912(第2の基板)とをシール材923により一定の間隔で貼り合わせ、ネマティック相液晶材料922を挟持してなる。アクティブマトリクス基板101上には図示しないがポリイミドなどからなる配向材料が塗布されラビング処理されて配向膜が形成されている。また、対向基板912は、図示しないが画素に対応したカラーフィルタと、光抜けを防止し、コントラストを向上させるためのブラックマトリクスと、アクティブマトリクス基板101上の対向導通部330と短絡されるコモン電位が供給されるITO膜からなる対向基板電極930が形成される。液晶材料922と接触する面にはポリイミドなどからなる配向材料が塗布され、アクティブマトリクス基板101の配向膜のラビング処理の方向とは直交する方向にラビング処理されている。さらに対向基板912の外側には、上偏光板924を、アクティブマトリクス基板101の外側には、下偏光板925を各々配置し、互いの偏光方向が直交するよう(クロスニコル状)に配置する。さらに下偏光板925下には、面光源を

40

50

成すバックライトユニット 926 が配置される。バックライトユニット 926 は、冷陰極管や LED に導光板や散乱板をとりつけたものでも良いし、EL 素子によって全面発光するユニットでもよい。図示しないが、さらに必要に応じて、周囲を外殻で覆っても良いし、あるいは上偏光板 924 のさらに上に保護用のガラスやアクリル板を取り付けても良いし、視野角改善のため光学補償フィルムを貼っても良い。

【0045】

また、アクティブマトリクス基板 101 は、対向基板 912 から張り出す張り出し部 927 が設けられ、その張り出し部 927 にある信号入力端子 320 には、FPC（可撓性基板）928 が実装され電氣的に接続されている。

【0046】

図 8 は本実施例での電子機器 990 の具体的な構成を示すブロック図である。電子機器 990 において、液晶表示装置 910 は図 7 で説明した 6 Bit DAC 内蔵 VGA 解像度液晶表示装置であって、電源回路 784、映像処理回路 780 が FPC（可撓性基板）928 および信号入力端子 320 を通じて必要な信号と電源を液晶表示装置 910 に供給する。中央演算回路 781 は外部 I/F 回路（782）を介して入出力機器（783）からの入力データを取得する。ここで入出力機器（783）とは例えばキーボード、マウス、トラックボール、LED、スピーカー、アンテナなどである。中央演算回路（781）は外部からのデータをもとに各種演算処理を行い、結果をコマンドとして映像処理回路 780 あるいは外部 I/F 回路 782 へ転送する。映像処理回路 780 は中央演算回路 781 からのコマンドに基づき映像情報を更新し、液晶表示装置 910 への信号を変更することで、液晶表示装置 910 の表示映像が変化する。

【0047】

このように構成された電子機器 990 は表示装置が高精細であって、駆動回路や信号回路がアクティブマトリクス基板 101 上に一体形成されているゆえにコストが安い上に信頼性が高い。このため、表示品位の良好で高信頼性の電子機器を安価に提供できるのである。

【0048】

ここで電子機器とは具体的にはモニター、TV、ノートパソコン、PDA、デジタルカメラ、ビデオカメラ、携帯電話、携帯フォトビューワー、携帯ビデオプレイヤー、携帯 DVD プレイヤー、携帯オーディオプレイヤーなどである。

【0049】

（実施例 2）

図 9 は第 2 の実施例を実現するためのメモリ回路 501 を構成する単位回路 520 - n（ $n = 1 \sim 640$ ）の回路構成であり、第 1 の実施例の図 4 にかわるものである。なお、データ線駆動回路 302 の構成、DAC 回路 503 の回路構成、順次選択回路 500 の回路構成は第 1 の実施例と基本的に同じなので説明を省略する。また、図 9 中、図 4 と構成・動作が変わらない部分については同じ記号を用いることで詳細な説明は省略する。

【0050】

図 9 の構成は図 4 の構成に比べ、レベルシフト回路 534 - $n - 1 \sim 6$ の構成が変更となっている。ここで V_p は第 1 の実施例と同じく 8 V である。第 1 の実施例でのレベルシフト回路 523 で用いたフリップフロップ型のかわりにレベルシフト回路 534 はカレントミラーを用いた差動アンプ式レベルシフト回路となっている。本方式は第 1 の実施例と比べ、出力電位振幅 ÷ 入力電位振幅の比が大きくとりやすく、回路を構成するトランジスタの閾値（ V_{th} ）ばらつきに対する動作マージンが広いと言う利点を有する。一方、本実施例のレベルシフト回路 534 - $n - 1 \sim 6$ はリーク電流が流れる構成であるため、消費電力が増大する。そのため、論理回路 535 にて EP1、EP2、XEP3 信号の論理合成をとって ENB 信号を生成し、EP1、EP2、XEP3 信号いずれかが選択（EP1 又は EP2 が 8 V、もしくは XEP3 が 0 V）のタイミングでのみレベルシフト回路 534 - $n - 1 \sim 6$ が動作するようにしている。なお、論理回路 535 は電源電位 8 V / 0 V であるので、ENB 信号も 8 V / 0 V 信号である。すなわち、順次選択回路 500 の

10

20

30

40

50

出力端子 5 1 0 - 1 ~ 6 4 0 のいずれかが選択されている状態ではレベルシフト回路 5 3 4 - n - 1 ~ 6 のリーク電流はほぼ 0 A に抑制される。このため、消費電力の増大をおさえつつトランジスタの閾値 (V_{th}) ばらつきに対する動作マージンが広い回路となっている。

【 0 0 5 1 】

なお、レベルシフト回路 5 3 4 - n - 1 ~ 6 の構成については第 1 の実施例および本実施例であげた構成だけでなく、既知のあらゆるレベルシフト回路を用いて構わない。採用するレベルシフト回路が電流駆動型でリーク電流が流れる場合には本実施例のようにリーク電流抑制の対策を行えばよい。また、レベルシフト回路 5 3 4 の個数と第 1 メモリ回路数・第 2 メモリ回路数の比 (j) は任意の数でよいのは第 1 の実施例で述べた通りである。また、第 1 メモリ回路 5 2 1 のかわりに図 1 0 の第 1 メモリ回路 5 9 1 を、第 2 メモリ回路 5 2 2 のかわりに図 1 1 の第 2 メモリ回路 5 9 2 を用いて S - R A M 型構成としてもよいのも第 1 の実施例と変わらない。

10

【 0 0 5 2 】

その他の回路構成等については第 1 の実施例と何ら変わる点はない。本実施例のデータ線駆動回路 3 0 2 を用いたアクティブマトリクス基板 1 0 1、液晶表示装置 9 1 0、電子機器 9 9 0 の構成も第 1 の実施例と同様であるので省略する。

【 産業上の利用可能性 】

【 0 0 5 3 】

本発明は実施例の形態に限定されるものではなく、T N モードではなく垂直配向モード (V A モード)、横電界を利用した I P S モード、フリンジ電界を利用した F F S モードなどの液晶表示装置に利用しても構わない。また、全透過型のみならず全反射型、反射透過兼用型であっても構わない。

20

【 図面の簡単な説明 】

【 0 0 5 4 】

【 図 1 】 本発明の実施例に係るデータ線駆動回路のブロック図。

【 図 2 】 本発明の実施例に係る順次選択回路の回路図。

【 図 3 】 本発明の実施例に係る D A C 回路の回路図。

【 図 4 】 本発明の実施例に係るメモリ回路の単位回路の回路図。

【 図 5 】 本発明の実施例に係るアクティブマトリクス基板の構成図。

30

【 図 6 】 本発明の実施例に係るアクティブマトリクス基板の画素回路図。

【 図 7 】 本発明の実施例に係る液晶表示装置の斜視図。

【 図 8 】 本発明の電子機器の実施例を示すブロック図。

【 図 9 】 本発明の実施例に係るメモリ回路の単位回路の回路図。

【 図 1 0 】 本発明の別実施例に係わるメモリ回路の第 1 メモリ回路の回路図。

【 図 1 1 】 本発明の別実施例に係わるメモリ回路の第 2 メモリ回路の回路図。

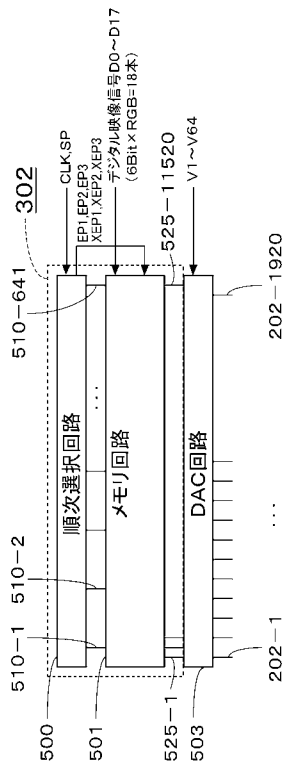
【 符号の説明 】

【 0 0 5 5 】

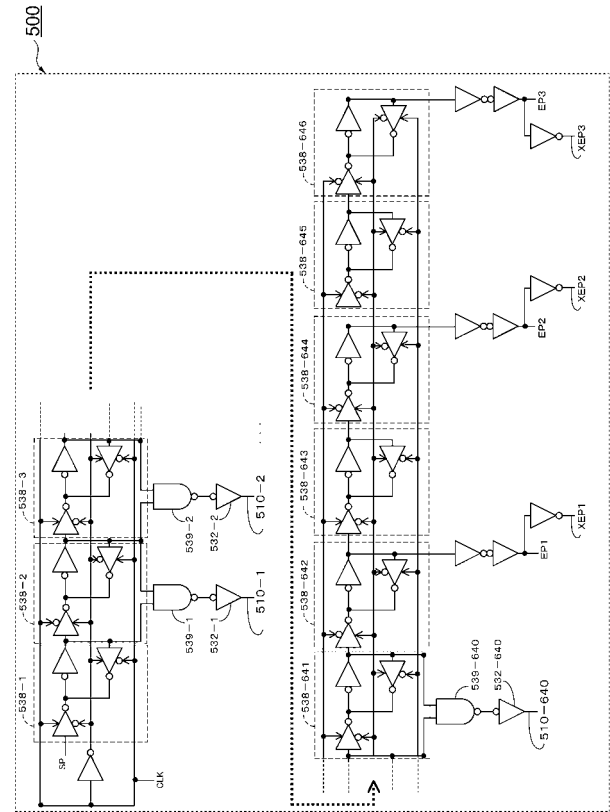
1 0 1 ... アクティブマトリクス基板、2 0 1 ... 走査線、2 0 2 ... データ線、3 0 2 ... データ線駆動回路、5 0 1 ... メモリ回路、5 0 3 ... D A C 回路、5 2 0 - 1 ~ 6 4 0 ... メモリ回路の単位回路、5 2 5 - 1 ~ 1 1 5 2 0 ... メモリ回路の出力端子、4 0 1 ... 画素スイッチング素子、4 0 2 ... 画素電極、9 1 0 ... 液晶表示装置。

40

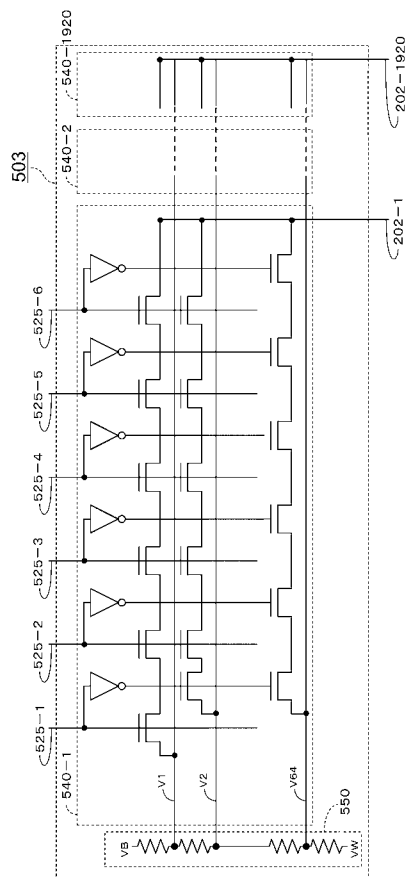
【図 1】



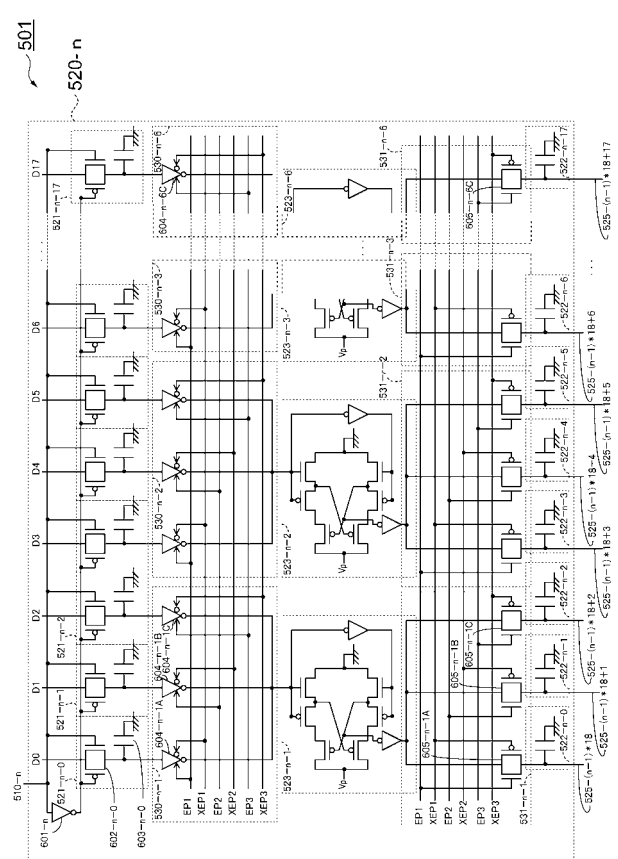
【図 2】



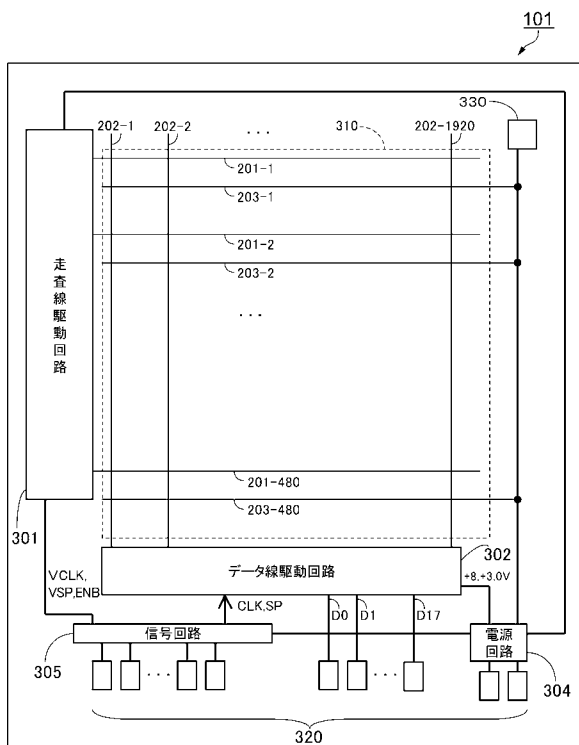
【図 3】



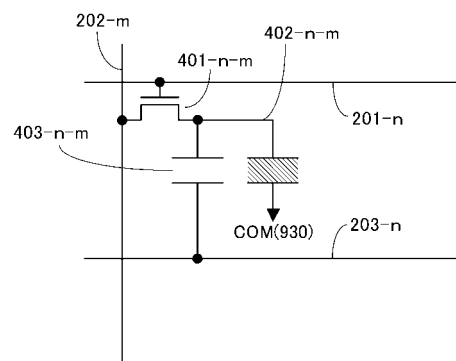
【図 4】



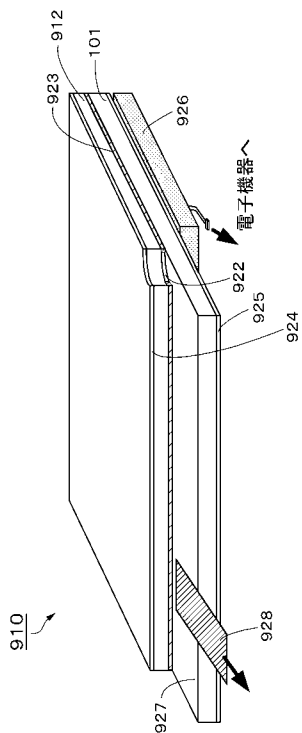
【図 5】



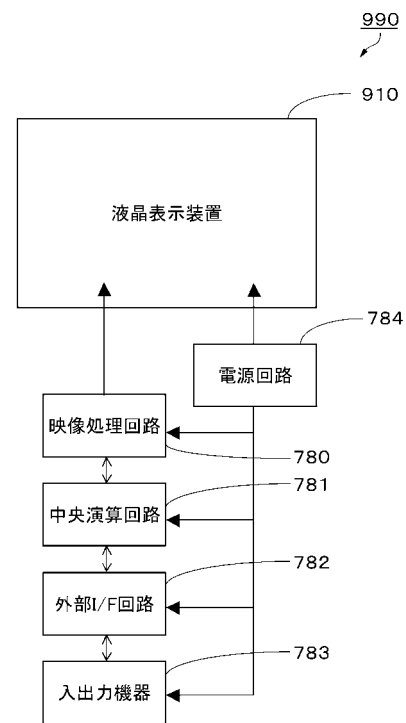
【図 6】



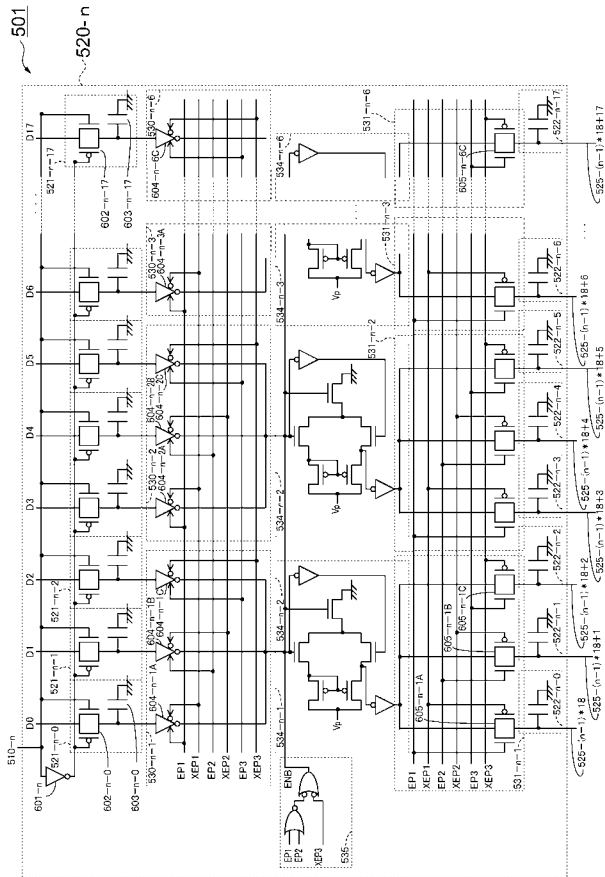
【図 7】



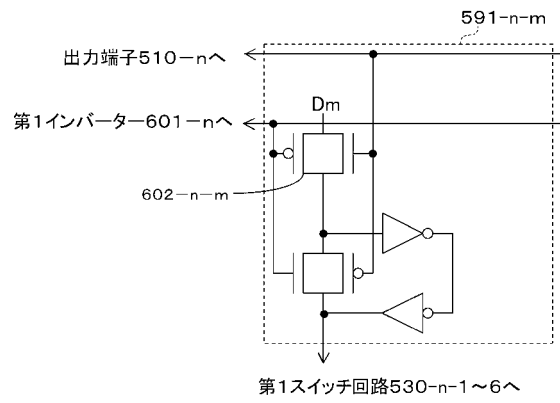
【図 8】



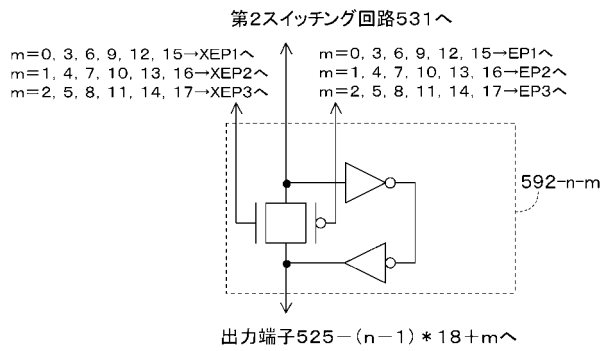
【図 9】



【図 10】



【図 11】



フロントページの続き

(51)Int.Cl.

F I

テーマコード(参考)

G 0 9 G 3/20 6 2 3 G

G 0 9 G 3/20 6 4 1 C

G 0 9 G 3/20 6 8 0 G

F ターム(参考) 5C080 AA10 BB05 DD22 EE29 FF11 JJ02 JJ03 JJ04 JJ06

专利名称(译)	数据线驱动电路，液晶显示设备和带SAM的电子设备		
公开(公告)号	JP2008076732A	公开(公告)日	2008-04-03
申请号	JP2006255612	申请日	2006-09-21
[标]申请(专利权)人(译)	爱普生映像元器件有限公司		
申请(专利权)人(译)	爱普生影像设备公司		
[标]发明人	小橋裕		
发明人	小橋 裕		
IPC分类号	G09G3/36 G02F1/133 G09G3/20		
FI分类号	G09G3/36 G02F1/133.550 G09G3/20.621.M G09G3/20.621.L G09G3/20.623.F G09G3/20.623.G G09G3/20.641.C G09G3/20.680.G		
F-TERM分类号	2H093/NC16 2H093/NC22 2H093/NC24 2H093/NC34 2H093/NC50 2H093/ND39 2H093/ND54 2H093/NF04 2H093/NF05 2H093/NF09 2H093/NF13 5C006/AA16 5C006/AF83 5C006/BB16 5C006/BC20 5C006/BF04 5C006/BF26 5C006/BF27 5C006/BF37 5C006/EB05 5C006/FA41 5C080/AA10 5C080/BB05 5C080/DD22 5C080/EE29 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 2H193/ZA04 2H193/ZQ06 2H193/ZQ08 2H193/ZQ09		
代理人(译)	宫坂和彦		
其他公开文献	JP2008076732A5		
外部链接	Espacenet		

摘要(译)

问题得以解决：实现高清，低功耗DAC内置数据线驱动电路。 解决方案：存储电路由第一存储器，第二存储器和电平移位电路构成，第一存储电路的输出由第一开关电路切换并输入到电平移位电路，其输出由第二开关电路切换从而减少了电平移位器电路的数量，从而实现了高清晰度显示装置。 点域4

