

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-534052

(P2005-534052A)

(43) 公表日 平成17年11月10日(2005.11.10)

(51) Int.Cl.⁷

G09G 3/36
G02F 1/133
G02F 1/1345
G09G 3/20

F I

G09G 3/36
G02F 1/133 550
G02F 1/1345
G09G 3/20 611A
G09G 3/20 624B

テーマコード (参考)

2H092
2H093
5C006
5C080

審査請求 未請求 予備審査請求 未請求 (全 15 頁) 最終頁に続く

(21) 出願番号 特願2004-522618 (P2004-522618)
(86) (22) 出願日 平成15年7月8日 (2003.7.8)
(85) 翻訳文提出日 平成17年1月18日 (2005.1.18)
(86) 国際出願番号 PCT/IB2003/003026
(87) 国際公開番号 W02004/010408
(87) 国際公開日 平成16年1月29日 (2004.1.29)
(31) 優先権主張番号 0216904.3
(32) 優先日 平成14年7月20日 (2002.7.20)
(33) 優先権主張国 英国 (GB)

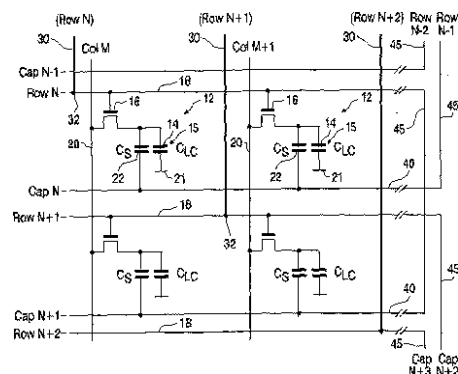
(71) 出願人 590000248
コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ
Koninklijke Philips Electronics N. V.
オランダ国 5621 ペーアー アイン
ドーフエン フルーネヴァウツウェッハ
1
Groenewoudseweg 1, 5
621 BA Eindhoven, The Netherlands
(74) 代理人 100075812
弁理士 吉武 賢次
(74) 代理人 100088889
弁理士 橘谷 英俊

最終頁に続く

(54) 【発明の名称】 アクティブマトリックス液晶表示装置

(57) 【要約】

アクティブマトリックス液晶表示装置は、画素のアレイにおいて、各画素は、画素電極 (14) とスイッチングデバイス (16) とを備え、交差する選択 (行) およびデータ (列) アドレス導線 (18, 20) のセットによりアドレスされる、画素 (12) のアレイと、データアドレス導線 (20) の方向に延び、それぞれの行アドレス導線 (18) に接続され、一方側または両側からのアレイのアドレッシングを可能にする、補助的な接続ライン (30) のセットとを有する。各画素は、その画素電極に接続された蓄積キャパシタ (22) と、画素の同一の行により共有されたキャパシタライン (40) とを含む。画素の1行の選択導線は、例えばその末端にて接続ライン (45) を介して異なる行に關係付けられた各キャパシタラインに結合され、これにより、各接続ラインが、画素の行のための各選択導線と、それに結合された他の行のためのキャパシタラインとに接続される。疑似寄生容量により発生する望ましくない表示アーテファクトの回避を可能にすることに加え、この配置は、接続ラインを介して供給される必要な駆動信号による容量性結



【特許請求の範囲】**【請求項 1】**

アクティブマトリックス液晶表示装置であって、

画素のアレイであって、各画素は、画素電極とスイッチングデバイスとを備え、前記画素に接続された選択およびデータアドレス導線の交差するセットの間の各交点に配置されている画素のアレイと、

選択信号を前記選択アドレス導線のセットに供給するための接続ラインのセットと、を有し、

前記接続ラインは、前記アレイの一方側から、前記データアドレス導線のセットの方向に延び、かつ、前記選択アドレス導線のセットのそれぞれ 1 つに接続され、

各画素は、前記画素電極と、画素の同一の行により共有されたキャパシタラインとの間に接続された蓄積キャパシタを含み、

画素の 1 行と関係付けられた前記選択アドレス導線は、画素の異なる行と関係付けられた前記キャパシタラインに結合され、各接続ラインが、画素の 1 行のための各選択アドレス導線と、これに結合された画素の他の行のためのキャパシタラインとに接続される、ことを特徴とする装置。

【請求項 2】

画素の 1 行と関係付けられた前記選択アドレス導線は、画素の隣接する行と関係付けられた前記キャパシタラインに結合されることを特徴とする請求項 1 に記載の装置。

【請求項 3】

選択アドレス導線とキャパシタラインが、アレイの一方側におけるそれらの末端の間の相互接続により結合されることを特徴とする請求項 1 または請求項 2 に記載の装置。

【請求項 4】

連続する選択アドレス導線のための前記相互接続およびこれらに関係付けられた各キャパシタラインは、前記アレイの両側に交互に配置されることを特徴とする請求項 3 に記載の装置。

【請求項 5】

各接続ラインは、前記アレイの一方側から延び、かつ、各接続ラインは、この一方側に最も近い、それが関係付けられた前記選択アドレス導線または前記キャパシタラインに、接続点において接続され、

前記接続ラインは、この接続点にて終端となる、ことを特徴とする前記請求項のいずれかに記載の装置。

【請求項 6】

画素の 1 つの行に関係付けられた前記キャパシタラインおよび選択アドレス導線は、画素の行の両側に沿って延びることを特徴とする請求項 1 乃至請求項 5 のいずれかに記載の装置。

【請求項 7】

前記画素アレイは、前記画素電極に印加される駆動電圧の一部が、前記蓄積キャパシタを介して供給される、容量性結合駆動方法を用いて駆動される、ことを特徴とする前記請求項のいずれかに記載の装置。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、画素のアレイにおいて、各画素は、画素電極とスイッチングデバイスとを備え、画素に接続された交差する選択およびデータアドレス導線のセットの間の各交点に配置されている画素のアレイと、選択信号を選択アドレス導線のセットに供給するための接続ラインのセットと、を有し、接続ラインは、アレイの一方側から、データアドレス導線のセットの方向に延び、かつ、選択アドレス導線のセットのそれぞれ 1 つに接続されている、アクティブマトリックス液晶表示装置に関する。

【背景技術】

【 0 0 0 2 】

この種の、例えば、携帯電話、カメラビューファインダ、電子手帳等の携帯分野での使用に適したアクティブマトリックス液晶表示装置（AMLCD：Active Matrix Liquid Crystal Device）の例が、WO 02 / 0 6 3 3 8 7（PHNL 0 1 0 0 7 4）に記述されている。この装置では、各接続ラインが、データアドレス導線の各ペアの間にて、アレイの一方側から反対側まで延びているとともに、接続ラインが、この導線の上を延びる、その長さに沿った位置において、その関係付けられた選択アドレス導線に接続されている。

【 0 0 0 3 】

選択（行）アドレス導線のセットに接続された接続ラインのセットによって、データ（列）アドレス導線に印加された選択（スキャン）信号および表示データ信号を、従来のAMLCDにおける2つの相互に直交する側からではなく、アレイの共通側、またはアレイの平行する両側のいずれかに供給することが可能となる。以下、このようなアドレス構造を有するAMLCDを、並列駆動型AMLCDと呼ぶ。一般に、従来のAMLCDにおいては、選択信号を運ぶ行アドレス導線のセットおよびデータ信号を運ぶ列アドレス導線のセットは、アドレス導線のセットとの電気的な接触を可能にするために、それぞれ矩形の支持体上を、画素のアレイの領域を越えて、支持体の2つの隣接する端部へと延びている。例えば、行および列駆動回路ICを、支持体のこれらの周辺境界部に、それらの出力端子を延長されたアドレス導線に接続した状態で、直接搭載することができ、あるいは、それらの出力端子がフォイル上のトラックを介してアドレス導線に接続された状態で、フォイルに搭載することができる。上述の方法における接続導線ラインのセットを用いて、ICを、支持体の一方側のみに沿った共通の周辺境界部または支持体の平行する両側に沿った各周辺境界部のいずれかに設けること、あるいはこのような部分にフォイル接続を行えるようにすることができる。

【 0 0 0 4 】

この特徴を用いて、例えば、支持体の所与の大きさにおける効果的な表示領域を、一次元にて増加させることができる。これは、表示装置が小さな携帯用製品に用いられる場合に有益である。類似の種類の接続方法が、R・グリーン（Greene）らによる論文“ビジネスおよび消費者向け分野のための大型ワイドビューアングルシームレススタイルAMLCDの製造（Manufacturing of Large Wide-View angle Seamless Tiled AMLCDs for Business and Consumer Applications）”、IDMC 2 0 0 0、ページ191～194に記載されている。このケースの利点は、一方の端部のみからのアドレス導線の駆動を可能とすることにより、個別の表示パネルのタイリング（tiling）が容易になる点である。

【 0 0 0 5 】

AMLCDにおいては、印加されたデータ信号を蓄積し、LC表示素子における駆動電圧の維持をアシストする蓄積キャパシタを、各画素に設けることが一般的である。このキャパシタの一方側は、画素電極に接続され、他方側は、画素の隣接行に関係付けられた選択アドレス導線または選択アドレス導線に並行して延びる専用の補助的ラインのいずれかに接続することができる。

【 0 0 0 6 】

しかしながら、上述の種類のAMLCDにおいて蓄積キャパシタを使用した場合、表示の非均一性の形で問題が生じる場合がある。

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 7 】

本発明の目的は、冒頭の段落で述べた種類の改善された表示装置を提供することである。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明によると、冒頭の段落で述べた種類のアクティブマトリックス液晶表示装置が提供され、この装置では、各画素が、画素電極と画素の同一の行により共有されたキャパシ

10

20

30

40

50

タラインとの間に接続された蓄積キャパシタを含み、画素の1行と関係付けられた選択アドレス導線は、画素の異なる行と関係付けられたキャパシタラインに結合され、これにより、各接続ラインが、画素の1行のための各選択アドレス導線と、これに結合された画素の他の行のためのキャパシタラインとに接続される。

【0009】

本発明は、重要な利点を提示し、前述した表示の非均一性の問題の克服を可能にする。さらに、同等に重要に、再び表示の非均一性の問題が生じるリスクなしに、いわゆる容量性結合駆動方法の使用を可能にする。画素内のLC材料に印加された駆動電圧の一部が、画素蓄積キャパシタを介して画素電極に結合される、このような駆動方法は、データ信号に必要な電圧範囲を減少させ、表示装置の全体的な電力消費の減少をもたらすことができるため、特に表示データ信号のデータアドレス導線への印加に使用される列駆動回路の設計および動作に関して、大いに有益である。

10

【0010】

好ましくは、各接続ラインは、アレイの一方側から延び、かつ、各接続ラインは、アレイの一方側に最も近い、それが関係付けられた選択アドレス導線またはキャパシタラインに、接続点において接続されるとともに、接続ラインは、この接続点にて終端となる。よって、前述の表示の非均一性の問題は除去され、あるいは少なくとも実質的に減少する。

【0011】

本発明は、部分的には、表示の非均一性の問題および関係する特定の容量性効果の原因の理解から得られたものである。1つの画素行の選択アドレス導線を、異なる画素行の蓄積キャパシタラインに接続し、ペアにする配置は、このような問題の回避を促進する。好ましくは、異なる画素行は、隣接する画素行である。これは、接続配置の簡素化をもたらす。

20

【0012】

選択アドレス導線は、好ましくは、その関係付けられたキャパシタラインに、アレイの一方側におけるこれらの末端の間の相互接続によって接続される。この方法において、画素アレイの領域の外に相互接続が位置することは、これらの提供を容易にし、かつ、画素回路自体は影響を受けず、したがって、相互接続がアレイの領域内に設けられた場合に生じ得るような、何らの追加的な寄生容量効果をも受けないことを確実にする。これらの構成要素の一方または他方に使用される被覆導電層のパターニングを適切に修正することにより、相互接続は、選択アドレス導線および/またはキャパシタラインと同時に、容易かつ便利に製造することができる。

30

【0013】

相互接続は、すべて、アレイの一方側に配置してもよい。しかしながら、連続する選択アドレス導線に関係付けられた相互接続は、アレイの両側に交互に配置することが好ましい。このような配置は、製造をより容易にし、必要とするクロスオーバーがより少なくなる。

【0014】

本発明に係るアクティブマトリックス液晶表示装置(AMLCD)の実施形態を、例として、添付の図面を参照してこれより説明する。

40

【発明を実施するための最良の形態】

【0015】

図1および図2を参照すると、並列駆動アレイ構造型のAMLCDの第1および第2実施例は、概して、従来のAMLCDに類似しており、主な違いは、行および列アドレス導線のセットが、2つの隣接側ではなく、アレイの両側(または同一側も可能)に引き回されている点である。AMLCDは、画素12のアレイを備え、各画素は、画素電極14と、スイッチングデバイスとを備え、スイッチングデバイスは、ここではTFT(Thin Film Transistor)16の形態であり、行(選択)および列(データ)アドレス導線18および20のセットのそれぞれに接続されている。Col M, Col M+1, および Col M+2、の3つの列と、N, N+1、の2つの行における6つの画素のみのグループ

50

を、簡素化のために示しているが、典型的な装置においては、数千の画素がアレイに存在し得ることを理解されたい。

【0016】

装置の構成は、従来の実施に従い、画素電極14が、行および列に組織化され、相互に直交する行アドレス導線18と列アドレス導線20のセットが、画素電極14の間で延びており、各電極は、アドレス導線の各ペアの交点に隣接して配置されている。画素電極、アドレス導線のセット、およびTFTが、すべて、例えばガラス板などの共通の支持体に保持される。第2の、例えば再びガラス板である、離された支持体が、第1支持体に平行に重ねて配置され、図1および図2において21で示された共通電極を保持する。液晶材料が、支持体の間に配置され、この液晶材料は、支持体の間でアレイの外周を延びるシールによって收容されている。各画素電極14は、共通電極21の重なり位置およびその間の液晶材料と共に、各表示要素15を定義し、ここではキャパシタンス C_{LC} として示される。

10

【0017】

同一の行における画素のすべてのTFT16のゲート端子は、動作中に選択パルス(ゲート)信号が供給される共通の行アドレス導線18に接続される。同様に、同一の列におけるすべての画素のTFTのソース端子は、データ(ビデオ)信号が印加される共通の列アドレス導線20に接続される。TFTのドレイン端子は、表示要素の部分を形成し定義する各画素電極14にそれぞれ接続される。

【0018】

装置は、選択パルス信号によって行導線18を順に走査することによって、行において時間を基に駆動され、TFT16の各行を、各行アドレス期間において順番にオンにし、データ(ビデオ)信号を、表示要素の各行のための列導線に、適宜、順番にゲート信号と同期させて印加し、完全な表示画像を1つのフィールドに形成する。一度に1つの行を用いてアドレスし、アドレスされた行のすべてのTFT16が、データ信号が列導線20から画素電極14へと転送される選択パルス信号の持続時間によって決定される期間にわたって、スイッチオンされる。選択信号が終了すると、導線18は、より低いホールドレベルに戻り、行のTFT16は、残りのフレーム時間の間オフにされ、これにより、表示要素を導線20から分離し、次回に、通常は次のフレーム期間においてこれらがアドレスされるまで、印加された電荷を表示要素に蓄積することを確実にする。典型的なAMLCD

20

30

【0019】

各画素12は、また、画素電極14と基準電位源の間に接続された、キャパシタンス C_s を有する蓄積キャパシタ22を含む。基準電位源は、ここでは、画素の次の行と関係付けられた行アドレス導線18を備え、容量性結合型駆動方法の使用を可能にし、アドレッシングにより表示要素に印加された駆動電圧の一部が、蓄積キャパシタ22を介して電極14に結合される。この目的のために、通常は選択およびホールドレベルに加えて電圧レベルを含んだ、特定の種類の信号波形が、行アドレス導線18に印加される。容量性結合駆動方法を用いて、その関係するTFTのゲート-ドレインキャパシタンスを介して表示要素に結合されたDC電圧を補償することにより、特に画像スティッキング効果など、表示出力の質を向上させ、かつ、より低い電圧列駆動回路の使用を可能にする。これらは、隣接する行アドレス導線(すなわち、表示要素のTFTが接続されたものとは異なるもの)に接続された蓄積キャパシタを使用し、かつ、ライン(行)またはフィールド反転モードで動作する表示装置に適用可能である。単にホールドレベルと、各行アドレス期間においてこの導線に接続されたTFTをオンにする動作が可能な、フレーム期間ごとに一度の、選択(ゲート)パルスレベルとを含む、各行アドレス導線に供給される波形よりも、この駆動方法において用いられる波形は、中間ステップレベルをさらに含む。動作においては、表示要素が、供給されたデータ信号の値に応じ、かつ、選択パルス信号の終わりにTFTがオフにされた後に、その関係するTFTを通じて特定のレベルに充電されて、表示

40

50

要素を分離させ、隣接する行アドレス導線に印加される波形の電圧ステップが、蓄積キャパシタを介して表示要素に結合され、表示要素電圧を最終の所望のレベルにし、要求される表示効果、すなわちグラデーションレベルを生成する。このように、1つの行アドレス導線に印加される波形のステップレベルは、隣接する異なる行アドレス導線により、これらの関係する蓄積キャパシタを介して選択された行内の表示要素、において得られた電圧に貢献する。ステップレベルの適切な調整により、この技術を用いて、キックバック効果を補償することができる。

【0020】

TFT-LC表示装置に用いられる容量性結合駆動方法の例は、Proc. Japan Display (Japan Display) 89、580～583頁において公開されたタケダ (Takeda) らによる論文“TFT-LCDのための容量性結合駆動の簡素化された方法 (Simplified Method of Capacitively Coupled Driving for TFT-LCD)”、およびProc. AMLCD '94、東京、60～62頁において公開されたカミヤ (Kamiya) らによる論文“低電力消費によるTFT-LCDの新規な駆動方法 (A Novel Driving Method of TFT-LCD with Low Power Consumption)”に記載されており、これらの開示を、参考のために本明細書に引用する。前者では、表示要素に関係付けられた蓄積キャパシタが、先行の隣接する行アドレス導線に接続され、ステップレベルは、選択パルス信号に続き、一方で後者では、蓄積キャパシタは、後続の隣接する行アドレス導線に接続され、ステップレベルは、選択パルスの前にある。ここで、用語「先行する」および「後続の」は、行がアドレスされる順番を示し、これは通常、上から下に向かう。

10

20

【0021】

図1の装置においては、行アドレス導線18は、画素アレイの両端のすぐ側で終端となり、接続ライン30のセットが、列アドレス導線20と同一方向かつ並行に延びる補助的な列導線の形で設けられ、各ライン30は、アレイの下部から、それぞれの隣接する列アドレス導線18のペアの間を延び、接続点32において終端となり、ここで行アドレス導線18のそれぞれに接続される。これにより、補助的な接続ライン30は、行選択信号を、データ信号が列アドレス導線20に印加されるアレイの上側に対向するアレイの下側から、行アドレス導線18に印加することを可能にする。

【0022】

画素を駆動するために、従来の形の行および列駆動回路(図示せず)が、選択ライン30および列アドレス導線20のセットに、それぞれの一端にて接続される。行駆動回路は、ライン30を介して、行アドレス導線18に選択信号を順に供給し、TFT16の各行を最も上の行から開始して順番にオンにする。列駆動回路は、例えば入力ビデオ信号をサンプリングすることにより得られたデータ(ビデオ)信号を、列アドレス導線20のそれぞれに行選択と同期して供給する。各行は、この方法で、最初は最も上から、最後に最も下まで順にアドレスされ、アレイから表示出力を形成する。行は、連続するフレームにおいて、この方法で繰り返しアドレスされる。駆動回路は、アレイの両側における導線18、20および30を保持する支持体の部分に搭載されるICの形で提供してもよい。あるいは、ポリシリコンデバイスを備えるTFTの場合、駆動回路を、代わりに、支持体の両側に、同一のプロセスを用いて実際に加工し、同時に、TFTおよびアドレス導線等を備えるアクティブマトリックス回路として、支持体上に完全に集積してもよい。

30

40

【0023】

したがって、理解されるように、装置の駆動は、一般的に、行選択信号がライン30のセットを介して行アドレス導線18に印加されることを除いて、従来のAMLCDの駆動に類似している。これにより、支持体の周辺部分を、2つの隣接する側に沿って、ICの積載用、または、相互接続の提供用に確保する必要性が避けられ、装置の対称性および製品内への実装に関して有益となる。

【0024】

図2のAMLCDは、行アドレス導線への駆動信号の接続の代わりに構成を使用しているが、それ以外は図1のAMLCDに類似している。ここで、接続ライン30は、アレイ

50

の上側から、それぞれの行アドレス導線 18 へと延びており、そこで接続点 32 において終端となる。

【0025】

表示装置の構成は、ここでは説明しないが、一般に従来の方法が用いられる。TFT16 は非晶質、微晶質、または多結晶質シリコンタイプのものでとすることができる。表示装置は、反射または透過型のものでとすることができる。前者の種類では、接続ライン 30 は、画素電極の下に配置することができる。後者の種類では、接続ライン 30 は、画素電極の一端側に沿って延びるように配置することができる。

【0026】

図 1 および図 2 の両方の装置の動作において、画素の表示明るさレベルのエラーが見られる場合がある。その理由を、これより説明する。

【0027】

図 1 の装置の場合、アレイの下側の端部から、それぞれの列の画素電極 14 の下またはこれに隣接して走っている接続ライン 30 は、接続 30 と画素電極 14 の間に、図 1 では C_L で示される追加的な寄生容量を生じさせる。ほとんどの画素内では、この追加的な容量の効果は、画素の動作において重要ではない。しかしながら、例えば、図 1 に A として標示された画素では、寄生容量 C_L は、オフセット電圧を増加させ、これは、画素の TFT16 が、その関係する導線 18 に印加される選択信号の終了によってオフにされた場合に生じる。これは、この画素内の TFT16 のゲート・ドレインキャパシタンスに並行して現れる寄生容量 C_L を原因とする。その結果、画素 A は、同じ画素の行内の他のすべての画素とは異なるオフセット電圧を持つ。この違いは、画素 A により表示される明るさ（グレースケール）レベルに、可視のエラーを生じる場合がある。同一の効果は、図 1 の画素 D、およびアレイ内の他のすべての画素において、ライン 30 と導線 18 の間の接続点 32 の位置、すなわち行駆動信号を運んでいるライン 30 が選択信号を画素の TFT16 のゲートに供給する位置にも生じる。

【0028】

行駆動信号がアレイの上から導線 18 に印加される図 2 の構成の場合では、寄生容量 C_L の効果は、図 1 の装置での効果とは異なるが、容量性結合駆動方法を用いる場合に顕著となる。図 2 に A として標示された画素においては、追加的な寄生容量 C_L は、事実上、画素の蓄積キャパシタ 22 に並列に接続されている。これは、容量性結合駆動を用いる場合、画素 A の電極 14 に結合される駆動電圧の大きさは、同一行の他の画素へのそれよりも大きく、この画素に、異なる明るさレベルを持たせてしまう。同一の効果は、D として標示された、接続ライン 30 がその蓄積キャパシタ 22 に信号を運ぶ画素、および、同様に、接続点 32 に隣接して位置する他のすべての画素に生じる。

【0029】

図 3 および図 4 は、明るさエラーに関するこれらの問題を避ける本発明に係る AMLCD の 2 つの例示的な実施形態の回路構成を示す。各ケースでは簡素化のために、2 つの行、Row N, Row N+1、および 2 つの列、Col M, Col M+1 における 4 つのみの画素 12 が示されている。両方の例において、接続ライン 30 が、TFT16 向けの選択信号または蓄積キャパシタ 22 向けの駆動信号のいずれかの供給先である画素 12 を通過しない、修正されたアレイ構造が使用されている。代わりに、ライン 30 は、選択信号またはキャパシタライン駆動信号のいずれかの供給先である画素の、接続ラインが延びてくるアレイの側に最も近い端部、の近くでそれぞれ終端となり、ライン 30 と画素電極 14 の間の追加的な寄生容量 C_L を最小化している。

【0030】

これは、行アドレス導線 18 および蓄積キャパシタ 22 に対し、以前のように両方の目的に同一の導線を使用せずに、分離された水平電極を使用することによって達成される。このように、装置は、行アドレス導線 18 のセットと、行アドレス導線に並行して延びる分離された蓄積キャパシタライン 40 のセット (cap N, Cap N+1, 等) とを有する。画素の個別行のための行アドレス導線 18 および蓄積キャパシタライン 40 は、

画素の両側に配置されており、例えば、行アドレス導線が、画素の上部に向き、キャパシタラインが画素の下部に向き、あるいはその反対となっている。各行アドレス導線 18 に接続された接続ライン 30 により運ばれる各行駆動信号を用いて、関係付けられた画素の行向けの選択 (TFT ゲート) 信号、および、第 2 の、異なる画素の行向けの蓄積キャパシタ駆動信号が供給される。この目的のために、関係する行アドレス導線 18 およびキャパシタライン 40 は、表示領域の外側で、アレイの一方側にて導線 18 とライン 40 をリンクする、短い、縦方向の相互接続ライン 45 によって、互いにペアとして接続される。アレイ内のすべての画素用の行アドレス導線およびキャパシタラインが、この方法で互いにペアとしてリンクされる。原則的には、互いにペアにされた行アドレス導線とキャパシタラインを、互いに隣接させる必要はないが、これらを隣接させた場合は、必要とされるアレイの端部においてリンクする相互接続のレイアウトが簡素化される。 10

【0031】

外部で生成された行駆動信号は、アレイの下 (図 4) または上 (図 3) のいずれかから、それぞれ図 1 および図 2 の構成のように、縦方向の接続ライン 30 にて供給することができる。特定の接続ライン 30 が、その接続先である行アドレス導線 18 またはキャパシタライン 40 のいずれかのうちの 1 つめ、すなわち接続ラインが延びてくるアレイの側に最も近い導線またはライン、にぶつかる箇所で、ライン 30 はその導線またはラインに接続され、ここで終端となる。同じ行駆動信号を運ばなければならないこの導線またはラインと、そのペアであるラインまたは導線との間に必要な接続は、それぞれ、アレイの端部での相互接続を通して達成される。これにより、行駆動信号を運ぶライン 30 が、駆動信号の供給先である画素のいずれかを通過する必要が避けられる。 20

【0032】

図 3 の構成に関しては、導線ライン 30 が、最初に、これらが関係付けられ、駆動信号を供給する先である、アドレス導線とキャパシタラインのペアのうち、行アドレス導線 18 にぶつかる。例えば、第 N の行にある画素 12 の TFT 16 をスイッチングする行駆動信号を運ぶ接続ライン 30 は、ポイント 32 において Row N のアドレス導線 18 に接続される。この信号は、このラインの終端と Row N のアドレス導線 18 をリンクする相互接続 45 を介して、次の第 N + 1 の画素の行のキャパシタライン Cap N + 1 に接続される。同様に、駆動信号を、第 N + 1 の行の、Row N + 1 の行アドレス導線 18 に供給するための接続ライン 30 は、相互接続 45 を介して第 N + 2 の画素の行のキャパシタライン 40 に供給され、以下同様となる。アレイの側部にある相互接続 45 は、ライン 30 を、その関係する画素を通して適当なキャパシタラインに通す必要性を回避することが理解されよう。 30

【0033】

図 4 の構成では、アレイの下から来る接続ライン 30 は、最初に、これらが運んでいる信号が供給されるべき各行アドレス導線 18 / キャパシタライン 40 のペアのうち、キャパシタライン 40 にぶつかる。各接続ライン 30 は、その各キャパシタライン 40 にて終端となり、そこで接続点 32 によってキャパシタラインに接続され、また、ライン 30 の駆動信号は、キャパシタライン 40 を行アドレス導線 18 にリンクする、アレイの側部の相互接続 45 を通して、関係する行アドレス導線 18 に供給される。こうして、例えば、第 N + 1 の行における画素の蓄積キャパシタおよび第 N の行の画素の TFT 16 向けの駆動信号を供給する接続ライン 30 は、第 N + 1 の行の画素のキャパシタライン Cap N + 1 に接続され、このキャパシタライン Cap N + 1 は、相互接続 45 を介して、その末端が Row N の行アドレス導線 18 に接続され、以下同様となる。 40

【0034】

両方の構成において、特定の画素におけるキャパシタンス C_L の前述の効果は、もはや存在しないことが明白であろう。よって、先に見出された望まれない表示の非均一性の類は、回避される。

【0035】

図 3 および図 4 の両方の装置において、キャパシタライン 40 と行アドレス導線 18 の 50

各ペアの間の相互接続 45 は、アレイの一方側のみに配置する必要はない。図 5 では、簡素化のために、画素の 5 つの行 R1 ~ R5 と、4 つの列 C1 ~ C4 とにより構成されるアレイを備えた AMLCD の代わりの構成の回路配列の一部が、模式的に示されており、この中で、行駆動信号は、行駆動回路 50 により、図 3 の実施形態のように接続ライン 30 を介して上から供給され、画素向けのデータ信号は、アレイの下にある列駆動回路 60 により列アドレス導線 20 に供給される。この配列において、関係する行アドレス導線 18 とキャパシタライン 40 の連続するペアの間の相互接続 45 は、一方側のみにすべて配置するのではなく、アレイの両側に交互に設けられる。その結果、必要な導線交差はより少なくなる。

【0036】

10

図 5 から明らかなように、画素の第 1 の行のキャパシタライン 40 は、行アドレス導線 18 とはペアにされていない。実際には、この第 1 の行は、ビューからマスクされた、表示出力の部分形成しないダミー行としてもよい。代わりに、キャパシタライン 40 を、図示されるように、単に行駆動回路 50 の専用の出力 R₀ に接続しても良い。

【0037】

図 5 は、また、典型的な容量性結合駆動方法において連続する行の接続ラインに印加される行駆動信号波形の例を示す。A に示される信号波形は、上から下へと順にスキャンされアドレスされる画素の行に適しており、一方、B に示される波形は、下から上へと順にスキャンされアドレスされる行に適している。各接続ライン 30 に印加され、よってこの接続ライン 30 に接続されている行アドレス導線 18 およびキャパシタライン 40 へと印加される信号波形は、関係する行アドレス導線 18 に結合された TFT16 を行アドレス期間中にオンにする選択（ゲート）信号レベル V_s を含み、これにより、画素の行の画素電極 14 が、それらの各列アドレス導線 20 に同時に印加されるデータ信号のレベルと、画素のアドレッシングに従い TFT16 を OFF 状態に維持するホールド（非選択）信号レベル V_h に応じて充電され、電極 14 を列導線から分離する。A および B のそれぞれにて、1 行に対する波形における選択信号 V_s の直後または直前に、隣接する画素の行の行駆動波形の選択信号成分と一致する追加のレベル V_p があり、この追加のレベル V_p は、この隣接する行における画素の蓄積キャパシタを介して結合することにより、この行の画素電極 14 において確立された電圧に貢献する。理解されるように、連続するフレームの LC 表示要素に印加される駆動電圧の極性を逆転させる必要があるため、信号 V_p は、連続するフレームのために反転される。こうして、この容量性結合駆動方法における行駆動信号波形は、4 つのレベルを有する。

20

30

【0038】

上述の実施形態において、接続ライン 30 は、それぞれが関係する行アドレス導線 18 またはキャパシタライン 40 への接続点において終端となるよう配置されている。しかしながら、接続点の前と後における画素の容量的環境は、結果的に異なるため、WO03/014808 (PHGB010132) に記載されるように、特定の望まれない表示アーテファクト効果が生じる場合がある。したがって、接続点の近くから、アレイの、接続ラインが延びてくる側の反対側へ延び、かつ、接続ラインから電氣的に分離され、基準電圧に保持された補償導線ラインを使用して、前述の明細書に記載されているような問題を避け、または減少させることが望まれるであろう。

40

【0039】

上述の実施形態においては、一般的な矩形の画素アレイを用いたが、アレイを異なる形状、例えば半円形にしてもよいことが、考えられる。アレイの同じ側または両側に沿って行および列駆動回路、またはそのための接続部分を提供する能力は、利用されるアレイの形状の選択および実施において大きな自由を与えるものである。

【0040】

本開示を読むことにより、当業者には、他の修正も明白となるであろう。そのような修正は、アクティブマトリックス表示装置およびそのための構成部品の分野において周知の他の特徴を含むこともでき、これらの特徴は、本明細書に既に記載された特徴の代わりま

50

たは追加として用いることができる。

【図面の簡単な説明】

【0041】

【図1】図1は、並列駆動型のAMLCDの第1の実施例における画素の典型的なグループの同等の電子回路を模式的に示している。

【図2】図2は、並列駆動型のAMLCDの第2の実施例における画素の典型的なグループの同等の電子回路を模式的に示している。

【図3】図3は、本発明に係る表示装置の第1および第2実施形態における画素の典型的なグループの同等の回路を模式的に示している。

【図4】図4は、本発明に係る表示装置の第1および第2実施形態における画素の典型的なグループの同等の回路を模式的に示している。

【図5】図5は、代わりの回路構成を有する、本発明に係る表示装置の他の実施形態を、駆動波形の例と共に模式的に示している。

【0042】

全図面において、同一の参照番号を用いて、同一または類似の部品を示している。

【図1】

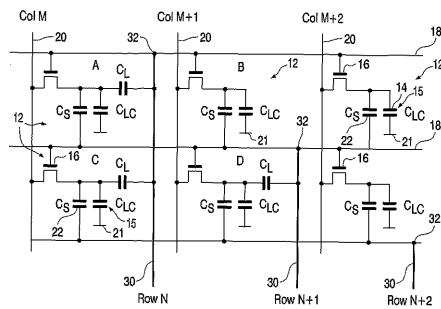


FIG.1

【図2】

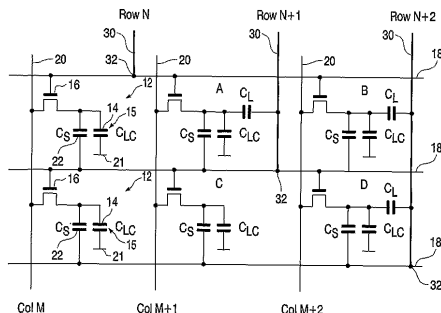


FIG.2

【図3】

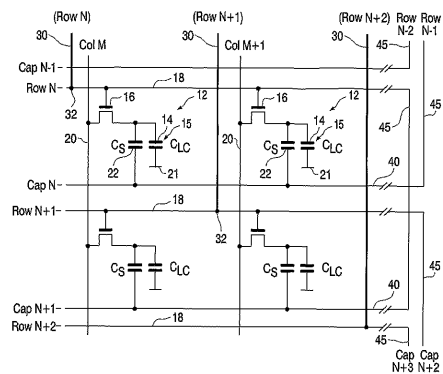


FIG.3

【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/IB 03/03026
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G09G3/36 G02F1/1362		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) IPC 7 G09G G02F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 5 706 023 A (TAKEDA ETSUYA ET AL) 6 January 1998 (1998-01-06) abstract column 7, line 45 - column 8, line 52; figures 6-9	1,2,5-7
Y	US 2002/075440 A1 (DEANE STEVEN C) 20 June 2002 (2002-06-20) abstract paragraph '0022! - paragraph '0027!; claim 1; figure 2	1,2,5-7
Y	US 5 748 169 A (ITOH GOH ET AL) 5 May 1998 (1998-05-05) abstract column 8, line 22 - column 9, line 42; figures 10,14,15,19 column 13, line 38 - line 65	1,2,5-7
-/--		
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance: the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance: the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 2 February 2004		Date of mailing of the international search report 16/02/2004
Name and mailing address of the ISA European Patent Office, P.B. 5816 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Tx: 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Wolff, L

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No.
PCT/IB 03/03026

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 140 990 A (SCHLIG EUGENE S) 31 October 2000 (2000-10-31) abstract column 7, line 5 - line 52; figures 5,6 ---	3,4
Y	WO 01 53883 A (SERAPHIM DONALD P ;KRUSIUS J PETER (US); SKINNER DEAN W (US); GREE) 26 July 2001 (2001-07-26) abstract page 28, line 5 -page 30, line 30; figure 9 ---	1,2
Y	US 5 852 488 A (TAKEMURA YASUHIKO) 22 December 1998 (1998-12-22) abstract column 1, line 40 - line 67 column 2, line 37 -column 3, line 8 column 8, line 14 - line 35; figures 1A-1D ---	1,2
A	FR 2 662 290 A (FRANCE TELECOM) 22 November 1991 (1991-11-22) the whole document ---	1,2
P,A	US 2003/076451 A1 (HUGHES JOHN R ET AL) 24 April 2003 (2003-04-24) abstract -----	1,2

Form PCT/ISA210 (continuation of second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

 Internat^l application No
 PCT/IB 03/03026

Patent document cited in search report		Publication date		Patent family member(s)	Publication date
US 5706023	A	06-01-1998	DE	68912173 D1	24-02-1994
			DE	68912173 T2	19-05-1994
			EP	0336570 A1	11-10-1989
			JP	2000913 A	05-01-1990
			JP	2737209 B2	08-04-1998
US 2002075440	A1	20-06-2002	CN	1404583 T	19-03-2003
			EP	1254395 A1	06-11-2002
			WO	0250605 A1	27-06-2002
US 5748169	A	05-05-1998	JP	3229156 B2	12-11-2001
			JP	8254685 A	01-10-1996
			KR	209543 B1	15-07-1999
US 6140990	A	31-10-2000	NONE		
WO 0153883	A	26-07-2001	EP	1194810 A1	10-04-2002
			JP	2003520994 T	08-07-2003
			TW	527502 B	11-04-2003
			WO	0153883 A1	26-07-2001
			US	6654449 B1	25-11-2003
US 5852488	A	22-12-1998	JP	2814161 B2	22-10-1998
			JP	5307194 A	19-11-1993
			US	6337731 B1	08-01-2002
			US	5757444 A	26-05-1998
FR 2662290	A	22-11-1991	FR	2662290 A1	22-11-1991
			CA	2042427 A1	16-11-1991
			DE	69112123 D1	21-09-1995
			DE	69112123 T2	04-04-1996
			EP	0457670 A1	21-11-1991
			JP	6347821 A	22-12-1994
			US	5394258 A	28-02-1995
			US	5238861 A	24-08-1993
US 2003076451	A1	24-04-2003	WO	03034379 A2	24-04-2003

フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 4 C	
	G 0 9 G 3/20 6 4 2 A	

(81) 指定国 AP (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100082991
弁理士 佐藤 泰和

(74) 代理人 100096921
弁理士 吉元 弘

(74) 代理人 100103263
弁理士 川崎 康

(74) 代理人 100107582
弁理士 関根 毅

(72) 発明者 マーティン、ジェイ・エドワーズ
イギリス国サリー、レッドヒル、クロス、オーク、レーン、ケアオブ、フィリップス、インテレク
チュアル、プロパティ、アンド、スタンダーズ

F ターム(参考) 2H092 GA59 JA24 JB22 JB31 JB69 NA01
2H093 NA16 NC03 NC09 NC11 NC34 NC35 ND05
5C006 AA16 AC11 AC24 AF42 AF69 BB16 BC22 FA22 FA47
5C080 AA10 BB05 DD05 EE29 FF11 JJ03

【要約の続き】

合駆動方法の使用を可能にする。

专利名称(译)	有源矩阵液晶显示装置		
公开(公告)号	JP2005534052A	公开(公告)日	2005-11-10
申请号	JP2004522618	申请日	2003-07-08
[标]申请(专利权)人(译)	皇家飞利浦电子股份有限公司		
申请(专利权)人(译)	皇家飞利浦电子股份有限公司的Vie		
[标]发明人	マーティンジェイエドワーズ		
发明人	マーティン、ジェイ.エドワーズ		
IPC分类号	G02F1/1345 G02F1/133 G02F1/1362 G09G3/20 G09G3/36		
CPC分类号	G09G3/3655 G02F1/136213 G02F1/136286 G09G3/3648 G09G3/3659 G09G2300/0876 G09G2320/0219 G09G2320/043 G09G2330/021		
FI分类号	G09G3/36 G02F1/133.550 G02F1/1345 G09G3/20.611.A G09G3/20.624.B G09G3/20.624.C G09G3/20.642.A		
F-TERM分类号	2H092/GA59 2H092/JA24 2H092/JB22 2H092/JB31 2H092/JB69 2H092/NA01 2H093/NA16 2H093/NC03 2H093/NC09 2H093/NC11 2H093/NC34 2H093/NC35 2H093/ND05 5C006/AA16 5C006/AC11 5C006/AC24 5C006/AF42 5C006/AF69 5C006/BB16 5C006/BC22 5C006/FA22 5C006/FA47 5C080/AA10 5C080/BB05 5C080/DD05 5C080/EE29 5C080/FF11 5C080/JJ03		
代理人(译)	耀希达凯贤治 弘吉 川崎靖		
优先权	2002016904 2002-07-20 GB		
外部链接	Espacenet		

摘要(译)

有源矩阵型液晶显示装置中，像素阵列，每个像素具有像素电极（14）和所述开关装置（16），一个选择相交（行）和数据（列）地址导线（18，20）它是由一组，和像素的阵列（12），在所述数据地址导体（20）的方向上延伸的寻址，被连接到相应的行地址导体（18），而使从一侧或两侧阵列的寻址，以及一组辅助连接线（30）。每个像素包括连接到其像素电极的存储电容器（22）和由同一行像素共享的电容器线（40）。一行像素的选择导体，例如，被耦合到通过在其端部的连接线（45）与所述的不同行相关联的每个电容线，由此每个连接线，用于像素的行连接到每条选择线和连接到其上的另一行的电容器线。除了允许由伪寄生电容产生的不希望的显示伪影的避免，这种布置允许根据经由连接线提供所需的驱动信号的使用电容耦合驱动方法的。

