

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-165304

(P2005-165304A)

(43) 公開日 平成17年6月23日(2005.6.23)

(51) Int.Cl.⁷

F I

テーマコード (参考)

G O 2 F 1/1343

G O 2 F 1/1343

2 H O 9 2

G O 2 F 1/1345

G O 2 F 1/1345

5 F O 5 2

G O 2 F 1/1368

G O 2 F 1/1368

5 F 1 1 0

H O 1 L 21/20

H O 1 L 21/20

H O 1 L 21/336

H O 1 L 29/78 6 1 2 D

審査請求 未請求 請求項の数 11 O L (全 30 頁) 最終頁に続く

(21) 出願番号 特願2004-328461 (P2004-328461)
 (22) 出願日 平成16年11月12日 (2004.11.12)
 (31) 優先権主張番号 特願2003-386013 (P2003-386013)
 (32) 優先日 平成15年11月14日 (2003.11.14)
 (33) 優先権主張国 日本国 (JP)

(71) 出願人 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 前川 慎志
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 桑原 秀明
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 守屋 芳隆
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 最終頁に続く

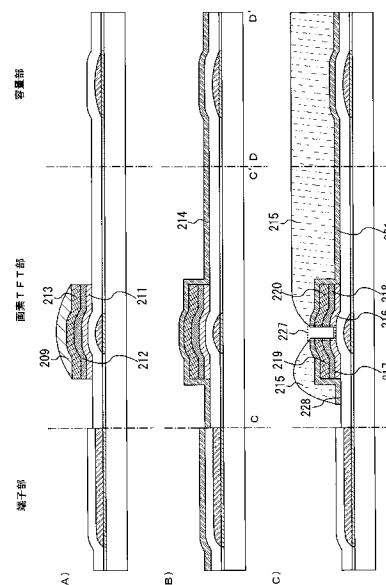
(54) 【発明の名称】 液晶表示装置および液晶表示装置の作製方法

(57) 【要約】

【課題】液晶表示装置の作製工程において、フォトリソグラフィを1枚使用することによって、レジスト塗布、プリベーク、露光、現像、ポストベークなどの工程と、その前後の工程において、被膜の形成およびエッチング工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、煩雑なものとなり、問題となっていた。

【解決手段】上記課題を解決するために、本発明では、チャネルエッチ型のボトムゲート（逆スタガ）型TFT構造を用いて、ソース領域およびドレイン領域のパターニングと画素電極のパターニングを同じマスクで行うことを特徴とする。また本発明は、配線層若しくは電極を形成する導電層や、所定のパターンを形成するためのマスクなど半導体装置を作製するために必要なパターンのうち、少なくとも一つ若しくはそれ以上を、選択的にパターンを形成可能な方法により形成して、液晶表示装置を作製することを特徴とするものである。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

絶縁表面上に形成されたゲート電極と、
前記ゲート電極上に絶縁膜を介して形成された半導体膜と、
前記半導体膜上に形成されたソース領域およびドレイン領域と、
前記ソース領域上に形成された前記ソース電極と、
前記ドレイン領域上に形成されたドレイン電極と、
前記ソース電極および前記ドレイン電極の少なくとも一部の端面を覆って形成されたバリア層と、
前記ドレイン電極および前記バリア層を覆って形成された画素電極と、を有し、
前記ソース領域の端面の少なくとも一部は、前記半導体膜の端面および前記ソース電極の端面と概略一致し、
前記ドレイン領域の端面の少なくとも一部は、前記半導体膜の端面および前記ドレイン電極の端面と概略一致することを特徴とする液晶表示装置。

10

【請求項 2】

絶縁表面上に形成されたゲート電極と、
前記ゲート電極上に絶縁膜を介して形成された半導体膜と、
前記半導体膜上に形成されたソース領域およびドレイン領域と、
前記ソース領域上に形成された前記ソース電極と、
前記ドレイン領域上に形成されたドレイン電極と、
前記ソース電極および前記ドレイン電極の一つの端面を覆って形成されたバリア層と、
前記ドレイン電極および前記バリア層を覆って形成された画素電極と、を有し、
前記ドレイン領域の一つの端面は、前記半導体膜の端面および前記ドレイン電極の端面と概略一致し、他の一つの端面は、前記画素電極の端面および前記ドレイン電極の他の一つの端面と概略一致することを特徴とする液晶表示装置。

20

【請求項 3】

請求項 1 または請求項 2 において、
前記画素電極が、透明導電膜からなることを特徴とする液晶表示装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項において、
前記画素電極は、A g (銀)、A u (金)、C u (銅)、W (タングステン)、A l (アルミニウム) を主成分とする導電膜またはそれらの積層膜からなることを特徴とする液晶表示装置。

30

【請求項 5】

請求項 1 乃至請求項 4 のいずれか一項において、
前記半導体膜が、水素とハロゲン元素を含み、結晶構造を含むセミアモルファス半導体であることを特徴とする液晶表示装置。

【請求項 6】

絶縁表面上に組成物を選択的に吐出して、ゲート電極を形成し、
前記ゲート電極を覆って絶縁膜を形成し、
前記絶縁膜上に第 1 の半導体膜を形成し、
前記第 1 の半導体膜上に n 型または p 型を付与する不純物元素を含む第 2 の半導体膜を形成し、
前記第 2 の半導体膜上に第 1 の導電膜を形成し、
第 1 のマスクを用いて前記第 1 の半導体膜、前記第 2 の半導体膜および前記第 1 の導電膜を選択的に除去して、前記第 1 の半導体膜、前記第 2 の半導体膜および前記第 1 の導電膜からなる積層膜のパターンを形成し、
前記積層膜を覆って第 2 の導電膜を形成し、
第 2 のマスクを用いて前記第 1 の半導体膜の一部、前記第 2 の半導体膜、前記第 1 の導電膜および前記第 2 の導電膜を選択的に除去して、前記第 2 の半導体膜からなるソース領

40

50

域およびドレイン領域と、第 1 の導電膜からなるソース電極およびドレイン電極と、第 2 の導電膜からなる画素電極とを形成することを特徴とする液晶表示装置の作製方法。

【請求項 7】

絶縁表面上に組成物を選択的に吐出して、ゲート電極を形成し、
前記ゲート電極を覆って絶縁膜を形成し、
前記絶縁膜上に第 1 の半導体膜を形成し、
前記第 1 の半導体膜上に n 型または p 型を付与する不純物元素を含む第 2 の半導体膜を形成し、
前記第 2 の半導体膜上に第 1 の導電膜を形成し、
第 1 のマスクを用いて前記第 1 の半導体膜、前記第 2 の半導体膜および前記第 1 の導電膜を選択的に除去して、前記第 1 の半導体膜、前記第 2 の半導体膜および前記第 1 の導電膜からなる積層膜のパターンを形成し、
前記積層膜の端面に組成物を選択的に吐出して、バリア層を形成し、
前記積層膜および前記バリア層を覆って第 2 の導電膜を形成し、
第 2 のマスクを用いて前記第 1 の半導体膜の一部、前記第 2 の半導体膜、前記第 1 の導電膜および前記第 2 の導電膜を選択的に除去して、前記第 2 の半導体膜からなるソース領域およびドレイン領域と、第 1 の導電膜からなるソース電極およびドレイン電極と、第 2 の導電膜からなる画素電極とを形成することを特徴とする液晶表示装置の作製方法。

【請求項 8】

請求項 6 または請求項 7 において、
前記絶縁膜、前記第 1 の半導体膜、前記第 2 の半導体膜および前記第 1 の導電膜を形成する工程まで、大気に曝されることなく連続的に形成することを特徴とする液晶表示装置の作製方法。

【請求項 9】

請求項 6 乃至請求項 8 のいずれか一項において、
前記第 1 のマスクおよび前記第 2 のマスクは、組成物を選択的に吐出して形成することを特徴とする液晶表示装置の作製方法。

【請求項 10】

請求項 6 乃至請求項 9 のいずれか一項において、
前記第 2 の導電膜は、組成物を選択的に吐出して形成することを特徴とする液晶表示装置の作製方法。

【請求項 11】

絶縁表面上に組成物を選択的に吐出して、ゲート電極を形成し、
前記ゲート電極を覆って絶縁膜を形成し、
前記絶縁膜上に第 1 の半導体膜を形成し、
前記第 1 の半導体膜上に n 型または p 型を付与する不純物元素を含む第 2 の半導体膜を形成し、
前記第 2 の半導体膜上に組成物を選択的に吐出して第 1 の導電膜を形成し、
前記第 1 の導電膜をマスクとして、前記第 1 の半導体膜および前記第 2 の半導体膜を選択的に除去して、前記第 1 の半導体膜、前記第 2 の半導体膜および前記第 1 の導電膜からなる積層膜のパターンを形成し、
前記積層膜を覆って第 2 の導電膜を形成し、
マスクを用いて前記第 1 の半導体膜の一部、前記第 2 の半導体膜、前記第 1 の導電膜および前記第 2 の導電膜を選択的に除去して、前記第 2 の半導体膜からなるソース領域およびドレイン領域と、第 1 の導電膜からなるソース電極およびドレイン電極と、第 2 の導電膜からなる画素電極とを形成することを特徴とする液晶表示装置の作製方法。

【技術分野】

【0001】

本発明は、薄膜トランジスタ（ＴＦＴ）で構成された回路を有する液晶表示装置およびその作製方法に関する。

【背景技術】

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数ｎｍ～数百ｎｍ程度）を用いて薄膜トランジスタを構成する技術が注目されている。薄膜トランジスタはＩＣや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が行われている。

10

【0003】

一般的に、薄膜トランジスタを用いた画像表示装置として液晶表示装置が知られている。パッシブマトリクス型の液晶表示装置に比べ低消費電力で高精細な画像が得られることからアクティブマトリクス型の液晶表示装置が多く用いられるようになってきている。アクティブマトリクス型の液晶表示装置においては、マトリクス状に配置された各画素に設けられた画素電極を選択的に駆動することにより、画面上に表示パターンが形成される。つまり、選択された画素電極と該画素電極に対応する対向電極との間に電圧が印加されることによって、画素電極と対向電極との間に配置された液晶層の光学変調が行われ、この光学変調が表示パターンとして観察者に認識される。

【0004】

20

このようなアクティブマトリクス型の液晶表示装置の用途は広がっており、画面サイズの拡大とともに高精細化や高開口率化や高信頼性の要求が高まっている。また、同時に生産性の向上や低コスト化の要求も高まっている。

【0005】

従来のアクティブマトリクス型の液晶表示装置は、写真蝕刻（フォトリソグラフィ）技術により、何枚ものフォトマスクを使用してＴＦＴを基板上に形成していたため製造コストが大きかった。生産性を向上させ歩留まりを向上させるためには、工程数を削減することが有効な手段として考えられる。

【発明の開示】

【発明が解決しようとする課題】

30

【0006】

液晶表示装置の作製工程において、フォトマスクを１枚使用することによって、レジスト塗布、プリベーク、露光、現像、ポストベークなどの工程と、その前後の工程において、被膜の形成およびエッチング工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、煩雑なものとなり問題となっていた。

【0007】

上記実情を鑑み、本発明はアクティブマトリクス型の液晶表示装置において、薄膜トランジスタを作製する工程数を削減して製造コストの低減および歩留まりの向上を実現することを課題としている。

【課題を解決するための手段】

40

【0008】

上記課題を解決するために、本発明では、チャネルエッチ型のボトムゲート（逆スタガ）型ＴＦＴ構造を用いて、ソース領域およびドレイン領域のパターニングと画素電極のパターニングを同じマスクで行うことを特徴とする。また本発明は、配線層若しくは電極を形成する導電層や、所定のパターンを形成するためのマスクなど液晶表示装置を作製するために必要なパターンのうち、少なくとも一つ若しくはそれ以上を、選択的にパターンを形成可能な方法により形成して、液晶表示装置を作製することを特徴とするものである。選択的にパターンを形成可能な方法として、導電層や絶縁層などの形成に、特定の目的に調合された組成物の液滴を選択的に吐出して所定のパターンを形成することが可能な液滴吐出法を用いる。

50

【 0 0 0 9 】

本発明は、ゲート配線と、ソース配線と、画素電極と、薄膜トランジスタとを有する液晶表示装置であって、絶縁表面上に形成されたゲート配線と、ゲート配線上にゲート絶縁膜を介して形成された半導体膜と、半導体膜上に形成されたソース領域およびドレイン領域と、ソース領域上に形成されたソース配線と、ドレイン領域上に形成されたドレイン電極と、ソース配線およびドレイン電極の一つの端面を覆って形成されたバリア層と、ドレイン電極およびバリア層上に形成された画素電極と、を有し、ドレイン領域の一つの端面は、半導体膜の端面および前記ドレイン電極の端面と概略一致することを特徴としている。

【 0 0 1 0 】

10

また、本発明は上記構成において、他の一つの端面が画素電極の端面およびドレイン電極の他の一つの端面と概略一致することを特徴している。

【 0 0 1 1 】

また、本発明は、画素電極が透明導電膜からなる透過型の液晶表示装置であることを特徴としている。

【 0 0 1 2 】

また、本発明は、画素電極が A g (銀)、A u (金)、C u (銅)、W (タングステン)、A l (アルミニウム) を主成分とする膜またはそれらの積層膜からなる反射型の液晶表示装置であることを特徴としている。

【 0 0 1 3 】

20

また、本発明は、上記構成において、半導体層が、水素とハロゲン元素を含み、結晶構造を含むセミアモルファス半導体であることを特徴としている。

【 0 0 1 4 】

本発明は、絶縁表面上に組成物を選択的に吐出して、ゲート配線を形成し、ゲート配線を覆う絶縁膜を形成し、絶縁膜上に第 1 の半導体膜を形成し、第 1 の半導体膜上に n 型を付与する不純物元素を含む第 2 の半導体膜を形成し、第 2 の半導体膜上に第 1 の導電膜を形成し、第 1 のマスクを用いて第 1 の半導体膜、第 2 の半導体膜、および第 1 の導電膜を選択的に除去して、第 1 の導電膜、第 2 の半導体膜および第 1 の半導体膜でなる積層膜のパターンを形成し、積層膜と接して重なる第 2 の導電膜を形成し、第 2 のマスクを用いて第 1 の半導体膜の一部、第 2 の半導体膜、第 1 の導電膜および第 2 の導電膜を選択的に除去して、第 2 の半導体膜からなるソース領域およびドレイン領域と、n 型を付与する不純物元素を含む第 2 の導電膜からなる画素電極とを形成することを特徴としている。

30

【 0 0 1 5 】

また、本発明は、上記構成において、第 1 の導電膜、第 2 の半導体膜、および第 1 の半導体膜でなる積層膜の端面に組成物を選択的に吐出してバリア層を形成することを特徴としている。

【 0 0 1 6 】

また、本発明は、絶縁膜、第 1 の半導体膜、第 2 の半導体膜、および第 1 の導電膜を形成する工程まで、大気に曝されることなく連続的に形成することを特徴としている。

【 0 0 1 7 】

40

また、上記構成において、第 1 のマスクおよび第 2 のマスクは、組成物を選択的に吐出して形成することを特徴としている。

また、第 2 の導電膜は、組成物を選択的に吐出して形成することを特徴としている。

【 0 0 1 8 】

また、本発明は上記構成において、導電性材料を含む組成物を選択的に吐出して第 1 の導電膜を形成し、この第 1 の導電膜をマスクとして第 1 の半導体膜および第 2 の半導体膜をエッチングすることを特徴としている。

【 発明の効果 】

【 0 0 1 9 】

本発明によって、組成物を吐出することにより、配線層やマスクのパターニングを直接

50

行うことができるため、材料の利用効率を向上させることができる。さらに、液晶表示装置の作製工程を簡略化することが可能となる。

【発明を実施するための最良の形態】

【0020】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いる。

【0021】

図1は本発明の液晶表示装置の平面図の一例であり、ここでは簡略化のため、マトリクス状に配置された複数の画素のうち、1つの画素構成を示している。

【0022】

図1に示す画素構成は、互いに平行に配置された複数のゲート配線203、223と、各ゲート配線203、223に直交して配置された複数のソース配線219、239を有している。またゲート配線203、223とソース配線219、239とで囲まれた領域には透明導電膜からなる画素電極221が配置されている。また、この画素電極221と重ならないように、透明導電膜214がソース配線を覆っている。

【0023】

さらに、画素電極221の下方で隣り合う2本のゲート配線203、223の間には、ゲート配線と平行に容量配線204が配置されている。この容量配線204は全画素に設けられており、画素電極221との間に存在する絶縁膜を誘電体として保持容量を形成している。

【0024】

また、ゲート配線203とソース配線219の交差部近傍にはスイッチング素子が備えられている。スイッチング素子の代表的な一例はTFTであり、TFTのゲート電極側が走査線と接続され、ソースまたはドレイン側が信号線と接続されることにより、個々の画素を外部から入力する信号によって独立して制御可能としている。

【0025】

TFTは、その主要な構成要素として、半導体膜、ゲート絶縁膜およびゲート電極等が挙げられ、半導体膜に形成されるソース及びドレイン領域に接続する配線がそれに付随する。TFTの構造として、基板側から半導体膜、ゲート絶縁膜およびゲート電極層を配設したトップゲート（順スタガ）型と、基板側からゲート電極層、ゲート絶縁膜および半導体膜を配設したボトムゲート（逆スタガ）型などが代表的に知られているが、本発明においてはボトムゲート型のTFTを用いる。

【0026】

より具体的なTFTの構造は、絶縁性基板上に、ゲート電極（ゲート配線と一体形成された）と、ゲート絶縁膜と、第1の半導体膜と、n型を付与する不純物元素を含む第2の半導体膜からなるソース領域及びドレイン領域と、ソース電極（ソース配線と一体形成された）及び電極（以下、ドレイン電極とも呼ぶ）とが積層して形成されている。

【0027】

また、ソース配線（ソース電極含む）及びドレイン電極の下方には、絶縁性基板上にゲート絶縁膜と、第1の非晶質半導体膜と、n型を付与する不純物元素を含む第2の非晶質半導体膜とが積層形成されている。

【0028】

また、第1の非晶質半導体膜のうち、ソース領域と接する領域とドレイン領域と接する領域との間の領域は、他の領域と比べ膜厚が薄くなっている。膜厚が薄くなっているのは、n型を付与する不純物元素を含む第2の非晶質半導体膜をエッチングにより分離してソース領域とドレイン領域とを形成する際、第1の非晶質半導体膜の一部が除去されるためである。また、このエッチングによって画素電極の端面、ドレイン電極の端面およびドレ

10

20

30

40

50

イン領域の端面が概略一致する。

【0029】

また、同様にソース電極を覆う配線228の端面、ソース電極の端面およびソース領域の端面が概略一致する。

【0030】

半導体膜を形成する材料は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製されるアモルファス半導体（以下「A S」ともいう。）
）、該非晶質半導体を光エネルギーや熱エネルギーを利用して結晶化させた多結晶半導体、
或いはセミアモルファス（微結晶またはマイクロクリスタルとも呼ばれる。以下「S A S」ともいう。）半導体などを用いることが出来る。また、有機半導体を用いてT F Tを形成することも可能である。 10

【0031】

S A Sは、非晶質と結晶構造（単結晶、多結晶を含む）の中間的な構造を有し、自由エネルギー的に安定な第3の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する結晶質な領域を含んでいる。少なくとも膜中の一部の領域には、 $0.5 \sim 20 \text{ nm}$ の結晶領域を観測することができ、珪素を主成分とする場合にはラマンスペクトルが 520 cm^{-1} よりも低波数側にシフトしている。X線回折では珪素結晶格子に由来するとされる（111）、（220）の回折ピークが観測される。未結合手（ダングリングボンド）の中和剤として水素またはハロゲンを少なくとも1原子%またはそれ以上含ませている。S A Sは、珪化物気体をグロー放電分解（プラズマCVD）して形成する。珪化物気体としては、 SiH_4 、その他にも Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などを用いることが可能である。また GeF_4 を混合させても良い。この珪化物気体を H_2 、または、 H_2 と He 、 Ar 、 Kr 、 Ne から選ばれた一種または複数種の希ガス元素で希釈してもよい。希釈率は $2 \sim 1000$ 倍の範囲。圧力は概略 $0.1 \text{ Pa} \sim 133 \text{ Pa}$ の範囲、電源周波数は $1 \text{ MHz} \sim 120 \text{ MHz}$ 、好ましくは $13 \text{ MHz} \sim 60 \text{ MHz}$ 。基板加熱温度は 300 以下でよい。膜中の不純物元素として、酸素、窒素、炭素などの大気成分の不純物は $1 \times 10^{20} \text{ cm}^{-3}$ 以下とすることが望ましく、特に、酸素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、好ましくは $1 \times 10^{19} / \text{cm}^3$ 以下とする。 20

【0032】

図20は本発明に係る液晶表示パネルの全体の構成を示す上面図であり、絶縁表面を有する基板100上に画素102をマトリクス上に配列させた画素部101、走査線側入力端子103、信号線側入力端子104が形成されている。ここで、図20は、走査線及び信号線へ入力する信号を、外付けの駆動回路により制御する液晶表示パネルの構成を示しているが、図21に示すように、COG (Chip on Glass)によりドライバICを基板100上に実装しても良い。ドライバICは単結晶半導体基板に形成されたものでも良いし、ガラス基板上にT F Tで回路を形成したものであっても良い。また、画素に設けるT F TをS A Sで形成する場合には、図22に示すように走査線側駆動回路107を基板100上に形成し一体化することも出来る。 30

【0033】

本発明では、上記構成を液滴吐出法を用いて直接パターンを形成していく。ここでいう液滴吐出法とは、導電膜や絶縁膜等の材料を含んだ組成物の液滴（ドットともいう）を選択的に吐出（噴射）して任意の場所に形成する方法であり、その方式によってはインクジェット法とも呼ばれている。 40

【0034】

また、パターンの形成に用いる液滴吐出装置の一態様を図15に示す。液滴吐出手段1403の個々のヘッド1405は制御手段1407に接続され、それがコンピュータ1410で制御することにより予めプログラミングされたパターンを描画することができる。描画するタイミングは、例えば、基板1400上に形成されたマーカー1411を基準に行えば良い。或いは、基板1400の縁を基準にして基準点を確定させても良い。これをC C Dなどの撮像手段1404で検出し、画像処理手段1409にてデジタル信号に変換 50

したものをコンピュータ 1410 で認識して制御信号を発生させて制御手段 1407 に送る。勿論、基板 1400 上に形成されるべきパターンの情報は記憶媒体 1408 に格納されたものであり、この情報を基にして制御手段 1407 に制御信号を送り、液滴吐出手段 1403 の個々のヘッド 1405 を個別に制御することができる。なお、他の吐出手段として、ヘッドを X - Y 軸方向に走査して、吐出すればよい。この場合、基板が液滴を吐出するヘッド 1405 の幅より大きい大型基板に吐出する場合にも有効である。また、装置の小型化も図れる。

【0035】

(実施の形態 1)

実施の形態 1 として、チャネルエッチ型の薄膜トランジスタの作製方法について説明する。 10

【0036】

本実施の形態は液晶表示装置の作製方法を示し、基板上に画素部の TFT を逆スタガ型で形成し、該 TFT に接続する保持容量を作製する方法について工程に沿って詳細に説明する。また、同図には該基板の端部に設けられ、他の基板に設けられた回路の配線と電気的に接続するための入力端子部の作製工程を同時に示す。

【0037】

図 2 (A) において、基板 200 は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、単結晶シリコンなどの半導体基板、ステンレスなどの金属基板の表面に絶縁層を設けた基板を適用しても良い。 20

【0038】

基板 200 上には、スパッタリング法や蒸着法などの方法により、Ti (チタン)、W (タンゲステン)、Cr (クロム)、Al (アルミニウム)、Ta (タンタル)、Ni (ニッケル)、Zr (ジルコニウム)、Hf (ハフニウム)、V (バナジウム)、Ir (イリジウム)、Nb (ニオブ)、Pd (パラジウム)、Pt (白金)、Mo (モリブデン)、Co (コバルト) 又は Rh (ロジウム) の金属材料で形成される導電体層 201 を形成することが好ましい。導電体層 201 は 0.01 ~ 10 nm の厚さで形成すれば良く、単層構造または積層構造で形成することができる。なお、この導電体層 201 は、ゲート電極層の密着性を良くするために設けるものであり、十分な密着性が得られるのであれば、これを省略して基板 200 上にゲート電極層を直接形成しても良い。 30

【0039】

次に、導電体層 201 上に、導電性材料を含む組成物を選択的に吐出して、ゲート配線層 202、ゲート電極層 203、容量配線層 204 を形成する (図 2 (A))。これらの層を形成する導電性の材料としては、Ag (銀)、Au (金)、Cu (銅)、W (タンゲステン)、Al (アルミニウム) 等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物 (ITO)、酸化珪素を含むインジウム錫酸化物 (ITSO) を組み合わせても良い。特に、ゲート配線層は、低抵抗化することが好ましいので、比抵抗値を考慮して、金、銀、銅のいずれかの材料を溶媒に溶解又は分散させたものを用いることが好適であり、より好適には、低抵抗な銀、銅を用いるとよい。但し、銀、銅を用いる場合には、不純物対策のため、合わせてバリア膜を設けるとよい。バリア膜としては、例えば窒化珪素膜やニッケルボロン (NiB) で形成する。溶媒は、酢酸ブチル等のエステル類、イソプロピルアルコール等のアルコール類、アセトン等の有機溶剤等を用いることができる。表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。また、この段階での上面図を図 16 に示す。 40

【0040】

また、配線層の他の形成方法として、銀を吐出して配線層を形成した後に、銅めっきを行い配線層を形成してもよい。この場合、組成物を吐出して線幅の細い配線を形成した後、めっきにより配線を太く形成することができる。また、吐出した銀の表面は粗いので 50

つきがしやすく好適である。めっきの方法は大型基板を液槽に浸けて行ってもよいし、めっき液を大型基板に流しながらめっきを行ってもよい。

【0041】

液滴吐出法において用いるノズルの径は、 $0.02 \sim 100 \mu\text{m}$ （好適には $30 \mu\text{m}$ 以下）に設定し、該ノズルから吐出される組成物の吐出量は $0.001 \text{ pl} \sim 100 \text{ pl}$ （好適には 10 pl 以下）に設定することが好ましい。液滴吐出法には、オンデマンド型とコンティニュアス型の2つの方式があるが、どちらの方式を用いてもよい。さらに液滴吐出法において用いるノズルには、圧電体の電圧印加により変形する性質を利用した圧電方式、ノズル内に設けられたヒータにより組成物を沸騰させ該組成物を吐出する加熱方式があるが、そのどちらの方式を用いてもよい。

10

【0042】

被処理物とノズルの吐出口との距離は、所望の箇所に滴下するために、出来る限り近づけておくことが好ましく、好適には $0.1 \sim 3 \text{ mm}$ （好適には 1 mm 以下）程度に設定する。ノズルと被処理物は、その相対的な距離を保ちながら、ノズル及び被処理物の一方が移動して、所望のパターンを描画する。また、組成物を吐出する前に、被処理物の表面にプラズマ処理を施してもよい。これは、プラズマ処理を施すことにより、被処理物の表面が親水性になったり、疎液性になったりすることを利用するためである。例えば、純水に対しては親水性になり、アルコールを溶媒したペーストに対しては疎液性になる。

【0043】

組成物を吐出する工程は、減圧下で行っても良い。これは、組成物を吐出して被処理物に着弾するまでの間に、該組成物の溶媒が揮発し、後の乾燥と焼成の工程を省略又は短くすることができるためである。組成物の吐出後は、常圧下又は減圧下で、レーザ光の照射や瞬間熱アニール、加熱炉等により、乾燥と焼成の一方又は両方の工程を行う。乾燥と焼成の工程は、両工程とも加熱処理の工程であるが、例えば、乾燥は 100 度で3分間、焼成は $200 \sim 350$ 度で15分間～120分間で行うもので、その目的、温度と時間が異なるものである。乾燥と焼成の工程を良好に行うためには、基板を加熱しておいてもよく、そのときの温度は、基板等の材質に依存するが、 $100 \sim 800$ 度（好ましくは $200 \sim 350$ 度）とする。本工程により、組成物中の溶媒の揮発又は化学的に分散剤を除去し、周囲の樹脂が硬化収縮することで、融合と融着を加速する。雰囲気は、酸素雰囲気、窒素雰囲気又は空気で行う。但し、金属元素を分解又は分散している溶媒が除去されやすい酸素雰囲気下で行うことが好適である。

20

30

【0044】

レーザ光の照射は、連続発振またはパルス発振の気体レーザ又は固体レーザを用いれば良い。前者の気体レーザとしては、エキシマレーザ、YAGレーザ等が挙げられ、後者の固体レーザとしては、Cr、Nd等がドーピングされたYAG、YVO₄等の結晶を使ったレーザ等が挙げられる。なお、レーザ光の吸収率の関係から、連続発振のレーザを用いることが好ましい。また、パルス発振と連続発振を組み合わせた所謂ハイブリッドのレーザ照射方法を用いてもよい。但し、基板の耐熱性に依っては、レーザ光の照射による加熱処理は、数マイクロ秒から数十秒の間で瞬間に行うとよい。瞬間熱アニール（RTA）は、不活性ガスの雰囲気下で、紫外光乃至赤外光を照射する赤外ランプやハロゲンランプなどを用いて、急激に温度を上昇させ、数マイクロ秒から数分の間で瞬間的に熱を加えて行う。この処理は瞬間的に行うために、実質的に最表面の薄膜のみを加熱することができ、下層の膜には影響を与えないという利点がある。

40

【0045】

ゲート配線層202、ゲート電極層203および容量配線層204を形成した後、表面に露出している導電体層201の処理として、下記の2つの工程のうちどちらかの工程を行うことが望ましい。

【0046】

第一の方法としては、ゲート配線層202、ゲート電極層203および容量配線層204と重ならない導電体層201を絶縁化して、絶縁体層301～304を形成する工程で

50

ある。つまり、ゲート配線層 202、ゲート電極層 203 および容量配線層 204 と重ならない導電体層 201 を酸化して絶縁化する (図 2 (B))。このように、導電体層 201 を絶縁化する場合には、当該導電体層 201 を 0.01 ~ 10 nm の厚さで形成しておくことが好適であり、そうすると酸化して絶縁層となる。なお、酸化する方法としては、酸素雰囲気下に晒す方法を用いてもよいし、熱処理を行う方法を用いてもよい。

【0047】

第 2 の方法としては、ゲート配線層 202、ゲート電極層 203 および容量配線層 204 をマスクとして、導電体層 201 をエッチングして除去する工程である。この工程を用いる場合には導電体層 201 の厚さに制約はない。

【0048】

また、導電性材料を含む組成物を吐出して基板 200 上にゲート配線層 202、ゲート電極層 203 および容量配線層 204 を形成する方法として、基板と組成物との密着性を良くするために上記工程以外の方法として、以下の方法を用いてもよい。

【0049】

まず、絶縁表面を有する基板 200 上に下地膜を形成する。下地膜は基板 200 中に含まれる Na などのアルカリ金属やアルカリ土類金属が、半導体膜中に拡散し、半導体素子の特性に悪影響を及ぼすのを防ぐために設ける。よってアルカリ金属やアルカリ土類金属の半導体膜への拡散を抑えることができる酸化珪素、窒化珪素、窒化酸化珪素、酸化チタン、窒化チタンなどの絶縁膜を用いて下地膜を形成することができる。特に、下地膜の材料は、ゲート電極材料と密着性の高いものを選択するとよい。例えば、ゲート配線層、ゲート電極層または容量配線層に Ag、Cu または Ag と Cu の積層膜を用いる場合、酸化チタン (TiO_x) からなる下地膜を形成すると好ましい。なお下地膜は単層構造又は積層構造を有してもよい。ここでは、下地膜が第 1 の下地膜と第 2 の下地膜との積層構造の場合を示す。第 1 の下地膜として、プラズマ CVD 法を用い、原料ガスに SiH₄、N₂O、NH₃、H₂、圧力が 0.3 Torr (39.9 Pa)、RF パワーが 50 W、RF 周波数が 60 MHz、基板温度が 400 として形成する酸化窒化珪素膜を 10 ~ 200 nm (好ましくは 50 ~ 200 nm) 形成する。第 2 の下地膜として、プラズマ CVD 法を用い、原料ガスに SiH₄、N₂O、圧力が 0.3 Torr (39.9 Pa)、RF パワーが 150 W、RF 周波数が 60 MHz、基板温度が 400 として形成する酸化窒化珪素膜を 50 ~ 200 nm (好ましくは 150 ~ 200 nm) 形成する。

【0050】

ガラス基板、ステンレス基板またはプラスチック基板のように、アルカリ金属やアルカリ土類金属が多少なりとも含まれている基板を用いる場合、不純物の拡散を防ぐという観点から下地膜を設けることは有効である。一方、石英基板など不純物の拡散がさして問題とならない場合は、必ずしも下地膜を設ける必要はない。すなわち不純物が半導体膜へ拡散することが防止できれば、下地膜は必ずしも設ける必要はない。例えば、ゲート電極上にゲート絶縁膜を介して半導体膜を形成する場合、ゲート絶縁膜が半導体膜へ不純物の拡散を防止する機能を果たすことができるため、下地膜を設ける必要はない。

【0051】

その後、ゲート電極の被形成面に対してプラズマ処理を行う。本実施の形態では、ゲート電極の被形成面が下地膜であるため、下地膜に対してプラズマ処理を行う。プラズマ処理は、ゲート電極の被形成面に対して非接触で行うとよい。

プラズマ処理は、空気、酸素又は窒素を処理ガスとして用い、圧力が数十 Torr ~ 800 Torr (106400 Pa)、好ましくは 700 Torr (93100 Pa) ~ 800 Torr (大気圧又は大気圧近傍の圧力) の状態で行う。またプラズマ処理の電源には RF 電源や AC 電源を用いることができる。例えば、AC 電源を用い、交流電圧 100 V、周波数 13.56 MHz 等の条件で印加し、パワーを変化させてプラズマを発生させる。このとき安定なプラズマを放電するため、電圧幅 2 ~ 4 μsec 間隔でパルスを印加する。このプラズマ処理を行うことにより、アルコールや油等の液体に対して濡れ性が低くなるように表面改質が行われる。その後、基板上に導電性材料を含む組成物を吐出して

10

20

30

40

50

、ゲート配線層、ゲート電極層および容量配線層を形成する。

【0052】

上述したいずれかの方法を用いて、基板200上にゲート配線層、ゲート電極層および容量配線層を形成することができる。

【0053】

次に、プラズマCVD法やスパッタリング法を用いて、ゲート絶縁膜205を単層又は積層構造で形成する。特に、窒化珪素からなる絶縁膜、酸化珪素からなる絶縁膜、窒化珪素からなる絶縁膜を3層積層して形成すると好ましいが、図では簡略して1層でゲート絶縁膜205を示している。なお、低い成膜温度でゲートリーク電流に少ない緻密な絶縁膜を形成するには、アルゴンなどの希ガス元素を反応ガスに含ませ、形成される絶縁膜中に混入させると良い。ゲート配線層202、ゲート電極層203及び容量配線層204に接する第1の層を窒化珪素若しくは窒化酸化珪素で形成することで、酸化による劣化を防止することができる。

10

【0054】

次に、ゲート絶縁膜205上に半導体膜206を形成する。半導体膜206は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製されるAS、あるいはSASで形成する。

【0055】

プラズマCVD法を用いる場合、ASは半導体材料ガスである SiH_4 若しくは SiH_4 と H_2 の混合気体を用いて形成する。SASは、 SiH_4 を H_2 で3倍～1000倍に希釈して混合気体、若しくは Si_2H_6 と GeF_4 のガス流量比、 Si_2H_6 対 GeF_4 を20～40対0.9で希釈すると、Siの組成比が80%以上であるSASを得ることができる。特に、後者の場合は下地との界面から結晶性を半導体膜206に持たせることが出来るため好ましい。

20

【0056】

次に、半導体膜206上に、一導電型の不純物元素を含有する半導体として、n型またはp型の半導体膜207（以下半導体膜207と記す）を形成する。半導体膜207は、シランガスとフォスフィンガスを用いて形成すればよく、ASまたはSASで形成することが出来る。

【0057】

次に、導電性の金属膜208をスパッタ法や真空蒸着法で形成する。導電性の金属膜208の材料としては、半導体膜207とオーミックコンタクトのとれる金属材料であれば特に限定されず、Al、Cr、Ta、Tiから選ばれた元素、または前記元素を成分とする合金か、前記元素を組み合わせた合金膜等が上げられる。

30

【0058】

上述した工程を用いることにより、ゲート絶縁膜205から金属膜208までは大気に触れさせることなく連続して形成することが可能である。すなわち、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、TFTの特性のばらつきを低減することができる。

【0059】

また、上記金属膜208の他の形成方法として、半導体207上に導電性を含む組成物を吐出して形成することができる。この金属膜を形成する導電性材料としては、Ag、Au、Cu、W、Al等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物、インジウム錫酸化物と酸化珪素からなるITO、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

40

【0060】

次に、金属膜208上に組成物を選択的に吐出して、マスク209を形成する。マスク209の材料としては、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料を用いる。また、ベンゾシクロブテン、パリレン、フレア、透過性を有するポリイミドなどの有機材料、シロキサン系ポリマー等の重

50

合によってできた化合物材料、水溶性ホモポリマーと水溶性共重合体を含む組成物材料等を用いてもよい。或いは、感光剤を含む市販のレジスト材料を用いてもよく、例えば、代表的なポジ型レジストである、ノボラック樹脂と感光剤であるナフトキノンジアジド化合物、ネガ型レジストであるベース樹脂、ジフェニルシランジオール及び酸発生剤などを用いてもよい。いずれの材料を用いるとしても、その表面張力と粘度は、溶媒の濃度を調整したり、界面活性剤等を加えたりして適宜調整する。

【0061】

マスク209を利用して、エッチングにより不要な部分を除去して配線および電極を形成する(図3(A))。この際のエッチング方法としてウエットエッチングまたはドライエッチングを用いる。このとき、半導体膜206、半導体膜207および導電性の金属膜208がエッチングされ、画素TFT部においては、半導体膜211、一導電型の不純物元素を含有する半導体膜212(以下半導体膜212と記す)、および導電性の金属膜213が形成する。また容量部においては容量配線204とゲート絶縁膜205を残し、同様に端子部においても、端子202とゲート絶縁膜205を残す。

10

【0062】

次に、マスク209を除去した後、導電性材料を含む組成物を吐出して全面に透明導電膜214を形成する(図3(B))。また、このときの上面図を図8に示す。ただし、簡略化のため図8では全面に成膜された透明導電膜214は図示していない。

【0063】

透明導電膜214は、透過型の液晶表示パネルを作製する場合には、インジウム錫酸化物(ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、酸化亜鉛(ZnO)、酸化スズ(SnO₂)などを含む組成物により所定のパターンを形成し、焼成によって透明導電膜を形成しても良い。また、反射型の液晶表示パネルを作製する場合には、Ag(銀)、Au(金)、Cu(銅)、W(タングステン)、Al(アルミニウム)等の金属の粒子を主成分とした組成物を用いることができる。他の方法としては、スパッタリング法により透明導電膜若しくは光反射性の導電膜を形成して、液滴吐出法によりマスクパターンを形成し、エッチング加工を組み合わせ形成しても良い。

20

【0064】

次に、透明導電膜214上に、組成物を選択的に吐出してマスク215を形成し、エッチングにより不要な部分を除去して半導体膜216、ソース領域217およびドレイン領域218、ソース電極219およびドレイン電極220、画素電極221を形成する(図3(C))。

30

【0065】

このエッチング工程は、透明導電膜214をパターン形成すると同時に、導電性を有する金属膜213と半導体膜212と半導体膜211の一部を同時に除去して開孔227を形成する。本実施の形態では、まずITOからなる画素電極を硝酸と塩酸の混合液または塩化系第2鉄系の溶液を用いたウエットエッチングにより選択的に除去した後、ドライエッチングにより導電性を有する金属膜213と半導体212と半導体膜211の一部をエッチングする。なお、本実施の形態では、ウエットエッチングとドライエッチングとを用いたが、反応ガスを適宜選択してドライエッチングのみで行ってもよいし、反応溶液を適宜選択してウエットエッチングのみで行ってもよい。

40

【0066】

また、開孔227の底部は半導体膜216に達しており、凹部を有する半導体膜211が形成される。この開孔227によって金属膜213はソース電極219とドレイン電極220に分離され、半導体膜212はソース領域217とドレイン領域218に分離される。また、ソース電極219と接する透明導電膜228は、ソース電極219に接続されたソース配線を覆い、後の製造工程、特にラビング処理で生じる静電気を防止する役目を果たす。

【0067】

なお、本実施の形態では、ソース配線上に透明導電膜228を形成した例を示したが、

50

上記ITO膜のエッチングの際にソース電極219またはソース配線上に形成される透明導電膜214を除去してもよい。また、上記ITO膜のエッチングの際に上記ITO膜を利用して静電気から保護するための回路を形成してもよい。

【0068】

このエッチング工程において、端子部に形成された透明導電膜214は除去される。また、容量部におけるゲート絶縁膜205を誘電体として、容量配線204と画素電極221とで保持容量が形成される。

【0069】

次に、マスク215を除去した後、組成物を選択的に吐出してマスクを形成し、端子部のゲート配線層202を覆うゲート絶縁膜205を選択的に除去する(図4(A))。また、組成物を吐出して形成する液滴吐出法に代えてスクリーン印刷法やシャドーマスクを用いてレジストマスクを形成してもよい。

10

【0070】

こうして組成物を吐出して選択的に形成したマスクを使用して、逆スタガ型のTF T 31を有する画素TF T部、保持容量232を完成させることができる。そして、これらを個々の画素に対応してマトリクス状に配置して画素部を構成することによりアクティブマトリクス型の液晶表示装置を作製するための一方の基板とすることができる。本明細書では便宜上このような基板をアクティブマトリクス基板と呼ぶ。

【0071】

次に、アクティブマトリクス基板の画素部のみに配向膜233を選択的に形成する。配向膜233を選択的に形成する方法としては、スクリーン印刷法を用いてもよいし、配向膜を塗布後、シャドーマスクを用いてレジストマスクを形成して除去する方法を用いてもよい。通常、液晶表示素子の配向膜にはポリイミド樹脂が多く用いられている。なお、本実施の形態では、端子部のゲート配線層202を覆うゲート絶縁膜205を選択的に除去した後、配向膜を形成した例を示したが、端子部のゲート配線層202を覆うゲート絶縁膜205上に配向膜を積層形成した後、端子部におけるゲート絶縁膜205と配向膜とを同時に除去してもよい。

20

【0072】

その後、配向膜として機能する絶縁体膜234、対向電極として機能する導電体膜235が設けられた対向基板236とTF T基板200とをスペーサを介して貼り合わせ、その空隙に液晶層237を設けることにより液晶表示パネルを作製することができる。

30

【0073】

次に、端子部の入力端子202にフレキシブルプリント配線板(Flexible Printed Circuit: FPC)を接続する。FPCはポリイミドなどの有機樹脂フィルム244に銅配線243が形成されていて、異方性導電性接着剤で入力端子を覆う透明導電膜と接続する。異方性導電性接着剤は接着剤241と、その中に混入され金などがメッキされた数十~数百 μm 径の導電性表面を有する粒子242により構成され、この粒子242が入力端子202上の透明導電膜と銅配線243とに接触することによりこの部分で電気的な接触が形成される。さらに、この部分の機械的強度を高めるために樹脂層245を設ける。上記工程を経て、チャンネルエッチ型のスイッチング用TF Tと容量素子を含む液晶表示パネルが完成する(図4(B))。

40

【0074】

なお、本実施の形態では端子部において、ゲート絶縁膜205上に透明導電膜214を形成している(図3(B))が、図10に示すように透明導電膜214を形成する前に端子部の端子202を覆うゲート絶縁膜205を選択的に除去し、ゲート配線層202上に透明導電膜214を形成してもよい。その場合の工程を図10に示す。なお、図2~図4に対応する箇所は同一の符号を用いている。

【0075】

以上示したように、本実施の形態では、フォトリソ法を利用した光露光工程が不要であるため、作製工程を簡略化することができる。

50

【 0 0 7 6 】

(実施の形態 2)

本実施の形態では、上記実施の形態とは異なる形態に関して、図 5、図 6 を用いて説明する。上記実施の形態 1 では、図 3 (A) において、半導体膜 2 0 6、半導体膜 2 0 7 および金属膜 2 0 8 を同時にエッチングする工程について示したが、他の形態として、絶縁膜 2 0 5 も同時にエッチングしてもよい。この場合の工程を図 5 を用いて説明する。なお、金属膜 2 0 8 を形成するまでは、実施の形態 1 と同様に作製すればよいので、説明を省略する。

【 0 0 7 7 】

図 5 (A) まで形成した後に、導電膜 2 0 8 上に組成物を選択的に吐出してマスク 2 0 9、3 0 9 を形成する。次にマスク 2 0 9、3 0 9 を用いて、エッチングにより不要な部分を除去して配線および電極を形成する (図 5 (B))。この際のエッチング方法としてウェットエッチングまたはドライエッチングを用いる。このとき、絶縁膜 2 0 5、半導体膜 2 0 6、半導体膜 2 0 7 および金属膜 2 0 8 がエッチングされ、画素 T F T 部においては、絶縁膜 3 0 5、半導体膜 3 1 1、一導電型の不純物元素を含有する半導体膜 3 1 2、および導電性の金属膜 3 1 3 が形成される。また、これらの膜の端面は概略一致する。

【 0 0 7 8 】

容量部においては、絶縁膜 3 2 1、半導体膜 3 2 2、一導電型の不純物元素を含有する半導体膜 3 2 3 および導電性の金属膜 3 2 4 が形成される。同様にこれらの膜の端面も一致する。

【 0 0 7 9 】

また端子部においては、ゲート配線層 2 0 2 のみを残してエッチングする。他の配線との交差部のみを残してゲート配線上の絶縁膜を除去する。このためゲート配線層 2 0 2 やゲート配線の材料と絶縁膜は、十分な選択比を有するものを選ぶ必要があり、さらに端子の材料と金属膜も十分な選択比を有するものを選ぶ必要がある。即ち、端子およびゲート配線の材料と導電性の金属膜とは異なる材料を選択する。

【 0 0 8 0 】

次に、マスク 2 0 9、3 0 9 を除去した後、導電性材料を含む組成物を吐出して全面に透明導電膜 3 2 5 を形成する (図 5 (C))。続いて、透明導電膜 3 2 5 上に、組成物を選択的に吐出してマスク 3 2 6 を形成し、エッチングにより不要な部分を除去して半導体膜 3 1 6、ソース領域 3 1 7 およびドレイン領域 3 1 8、ソース電極 3 1 9 およびドレイン電極 3 2 0、画素電極 3 3 0 を形成する (図 6 (A))。

【 0 0 8 1 】

その後上述した工程を経て、図 6 (B) に示す液晶表示パネルが完成する。なお、本実施の形態は上記実施の形態と自由に組み合わせて行うことができる。

【 0 0 8 2 】

(実施の形態 3)

本実施の形態では、上記実施の形態と異なる形態に関して図 7 を用いて説明する。なお、図 7 において、上記実施の形態と同じものを示す場合は、同様の符号を用いて表す。

【 0 0 8 3 】

まず、実施の形態 1 に従って図 4 (A) の状態を得た後、保護膜として働く絶縁膜を形成する。絶縁膜の形成方法としては、組成物を選択的に吐出して、画素部 T F T においては絶縁膜 2 4 0、端子部においては絶縁膜 2 4 1 をそれぞれ選択的に形成する。なお、この絶縁膜 1 4 0、1 4 1 はパッシベーション膜として機能する。

【 0 0 8 4 】

また、他の形成方法として、スパッタ法やプラズマ C V D 法で酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、酸化タンタル膜などの無機絶縁膜を単層または積層構造として形成してもよい。この場合、薄い無機絶縁膜を全面に形成するため、絶縁膜上に選択的に組成物を吐出してマスクを形成し、エッチングにより不要な部分を除去して、絶縁膜 1 4 0、1 4 1 を形成する。

10

20

30

40

50

【 0 0 8 5 】

こうして、フォトリソグレイを利用した光露光工程を用いずに、絶縁膜で保護された逆スタガ型の TFT を完成させることができる。

【 0 0 8 6 】

なお、本実施の形態は、実施の形態 1 または実施の形態 2 の構成と自由に組み合わせることができる。

【 0 0 8 7 】

(実施の形態 4)

実施の形態 4 として、電極や配線の端面にバリア層を設ける場合について、図 9 に示す。なお、本実施の形態は、上記実施の形態 1 の図 3 (A) の状態まで同一であるので異なる点について以下に説明する。また、図 3 (A) に対応する箇所は同一の符号を用いている。

10

【 0 0 8 8 】

まず、実施の形態 1 に従って図 3 (A) の状態を得た後、マスク 2 0 9 を除去する。その後、透明導電膜 2 1 4 を形成する前に、組成物を選択的に吐出して、半導体膜 2 1 1 、一導電型の不純物元素を含有する半導体膜 2 1 2 、および金属膜 2 1 3 の端面にバリア膜 2 8 0 、2 8 1 を形成する。

【 0 0 8 9 】

バリア膜 2 8 0 、2 8 1 を形成する組成物としては、公知の導電性材料や、エポキシ樹脂、アクリル樹脂、フェノール樹脂、ノボラック樹脂、メラミン樹脂、ウレタン樹脂等の樹脂材料が挙げられる。なおこれらの樹脂材料を用いる場合、その粘度は、溶媒を用いて溶解又は分散することで調整するとよい。また、撥液性の樹脂が好ましく、例えば、フッ素原子が含まれた樹脂、あるいは炭化水素のみで構成された樹脂が挙げられる。より詳しくは、分子内にフッ素原子を含有するモノマーを含む樹脂、或いは全て炭素と水素原子のみから構成されるモノマーを含む樹脂が挙げられる。なお、バリア膜を導電性材料で形成する際には、配線とのショートが生じないように形成する必要がある。従って、配線とのショートが発生する可能性がある領域においては、バリア膜は樹脂材料で形成することが好ましい。また、バリア膜の形成に際し、側面の角度によっては、段切れを起こす可能性がある。この段切れを防止するために、1 滴又は複数滴を吐出後に焼成して、組成物を固化する処理、つまり、吐出と焼成を繰り返し行うとよい。

20

30

【 0 0 9 0 】

通常、半導体膜 2 0 6 、半導体膜 2 0 7 および金属膜 2 0 8 の積層構造を同時にエッチングして、パターンを形成した場合、段差が生じる。そのため、半導体膜 2 1 1 、半導体膜 2 1 2 および金属膜 2 1 3 の端面にバリア膜を形成することにより、透明導電膜を形成した際に断切れを防止することができる。バリア膜は位置により吐出量を調整し、端面の段差が緩和されるように形成する。

【 0 0 9 1 】

本実施の形態に示すように、段差がある部分に選択的に組成物を吐出してバリア層を設けることにより断切れを防止でき、製品としての歩留まりの向上が実現できる。また、本実施の形態で示す方法は、段差がある場所であればどのような部分にも用いることが可能である。

40

【 0 0 9 2 】

なお、本実施の形態は、上記実施の形態 1 ~ 3 の構成と自由に組み合わせることができる。

【 0 0 9 3 】

(実施の形態 5)

上記実施の形態 1 では、絶縁膜、第 1 の非晶質半導体膜、n 型または p 型を付与する不純物元素を含む第 2 の非晶質半導体膜、第 1 の導電膜を順次、連続的に積層する例を示した。このように連続的に成膜する場合において使用する複数のチャンバーを備えた装置の一例を図 1 3 に示す。

50

【 0 0 9 4 】

図 1 3 に本実施の形態で示す装置（連続成膜システム）の上面からみた概要を示す。図 1 3 において、1 0 ～ 1 5 が気密性を有するチャンバーである。各チャンバーには、真空排気ポンプ、不活性ガス導入系が配置されている。

【 0 0 9 5 】

1 0、1 5 で示されるチャンバーは、試料（処理基板）3 0 をシステムに搬入するためのロードロック室である。1 1 は絶縁膜 1 0 4 を成膜するための第 1 のチャンバーである。1 2 は第 1 の非晶質半導体膜 1 0 5 を成膜するための第 2 のチャンバーである。1 3 は n 型を付与する第 2 の非晶質半導体膜 1 0 6 を成膜するための第 3 のチャンバーである。1 4 は第 1 の導電膜 1 0 9 を成膜するための第 4 のチャンバーである。また、2 0 は各チャンバーに対して共通に配置された試料の共通室である。

10

【 0 0 9 6 】

最初、全てのチャンバーは、一度高真空状態に真空引きされた後、さらに不活性ガス、ここでは窒素によりパージされている状態（常圧）とする。また、全てのゲート弁 2 2 ～ 2 7 を閉鎖した状態とする。

【 0 0 9 7 】

まず、処理基板は多数枚が収納されたカセット 2 8 ごとロードロック室 1 0 に搬入される。カセットの搬入後、図示しないロードロック室の扉を閉鎖する。この状態において、ゲート弁 2 2 を開けてカセットから処理基板 3 0 を 1 枚取り出し、ロボットアーム 2 1 によって共通室 2 0 に取り出す。この際、共通室において位置合わせが行われる。なお、この基板 3 0 は実施の形態 1 に従って得られた配線 2 0 2、2 0 3、2 0 4 が形成されたものを用いた。

20

【 0 0 9 8 】

ここでゲート弁 2 2 を閉鎖し、次いでゲート弁 2 3 を開ける。そして第 1 のチャンバー 1 1 へ処理基板 3 0 を移送する。第 1 のチャンバー内では 1 5 0 から 3 0 0 の温度で成膜処理を行い、絶縁膜 2 0 5 を得る。なお、絶縁膜としては、窒化珪素膜、酸化珪素膜、窒化酸化珪素膜、またはこれらの積層膜等を使用することができる。本実施の形態では単層の窒化珪素膜を採用しているが、二層または三層以上の積層構造としてもよい。なお、ここではプラズマ C V D 法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

30

【 0 0 9 9 】

絶縁膜の成膜終了後、処理基板はロボットアームによって共通室に引き出され、第 2 のチャンバー 1 2 に移送される。第 2 のチャンバー内では第 1 のチャンバーと同様に 1 5 0 ～ 3 0 0 の温度で成膜処理を行い、プラズマ C V D 法で第 1 の非晶質半導体膜 1 0 5 を得る。なお、第 1 の非晶質半導体膜としては、微結晶半導体膜、非晶質ゲルマニウム膜、非晶質シリコンゲルマニウム膜、またはこれらの積層膜等を使用することができる。また、第 1 の非晶質半導体膜の形成温度を 3 5 0 ～ 5 0 0 として水素濃度を低減するための熱処理を省略してもよい。なお、ここではプラズマ C V D 法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

40

【 0 1 0 0 】

第 1 の非晶質半導体膜の成膜終了後、処理基板は共通室に引き出され、第 3 のチャンバー 1 3 に移送される。第 3 のチャンバー内では第 2 のチャンバーと同様に 1 5 0 ～ 3 0 0 の温度で成膜処理を行い、プラズマ C V D 法で n 型を付与する不純物元素（P または As）を含む第 2 の非晶質半導体膜 1 0 6 を得る。なお、ここではプラズマ C V D 法が可能なチャンバーを用いたが、ターゲットを用いたスパッタ法が可能なチャンバーを用いても良い。

【 0 1 0 1 】

n 型を付与する不純物元素を含む第 2 の非晶質半導体膜の成膜終了後、処理基板は共通室に引き出され、第 4 のチャンバー 1 4 に移送される。第 4 のチャンバー内では金属ターゲットを用いたスパッタ法で第 1 の導電膜 1 0 9 を得る。

50

なお、上記実施の形態 1 で示したように、第 1 の導電膜は導電性材料を含む組成物を吐出して形成してもよく、実施者が適宜選択して第 1 の導電膜を形成すればよい。

【0102】

このようにして四層が連続的に成膜された被処理基板はロボットアームによってロードロック室 15 に移送されカセット 29 に収納される。

【0103】

なお、図 13 に示した装置は一例に過ぎないことはいうまでもない。また、本実施の形態は上記実施の形態 1 ~ 4 のいずれか一と自由に組み合わせることが必要である。

【0104】

(実施の形態 6)

本実施の形態 6 では、上記実施の形態 5 とは異なる形態に関して、図 14 を用いて説明する。具体的には、実施の形態 5 では、複数のチャンバーを用いて連続的に積層する例を示したが、本実施の形態では図 14 に示した装置を用いて一つのチャンバー内で高真空を保ったまま連続的に積層する。

【0105】

本実施の形態では図 14 に示した装置システムを用いた。図 14 において、40 は処理基板、50 は共通室、44、46 はロードロック室、45 はチャンバー、42、43 はカセットである。本実施の形態では基板搬送時に生じる汚染を防ぐために同一チャンバーで積層形成した。

【0106】

本実施の形態は上記実施の形態 1 ~ 4 のいずれか一と自由に組み合わせることができる。

【0107】

例えば、実施の形態 1 に適用する場合には、チャンバー 45 に複数のターゲットを用意し、順次、反応ガスを入れ替えてゲート絶縁膜 205、第 1 の非晶質半導体膜 106、n 型を付与する不純物元素を含む第 2 の非晶質半導体膜 107、第 1 の導電膜 109 を積層形成すればよい。

【0108】

(実施の形態 7)

本実施の形態では図 12 を用いて、反射型の液晶表示装置に適用する例について示す。

【0109】

まず、絶縁表面を有する基板 700 を用意する。基板 700 はバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、単結晶シリコンなどの半導体基板、ステンレスなどの金属基板の表面に絶縁層を設けた基板を適用しても良い。

【0110】

次に、基板 700 上に導電性材料を含む組成物を選択的に吐出して、ゲート配線 701 および凸部 702 を形成する。この凸部は、ゲート配線とソース配線とで囲まれた領域、即ち画素電極が形成されて表示領域となる領域に配置する。なお、凸部 702 の形状は特に限定されず、径方向の断面が多角形であってもよいし、左右対称でない形状であってもよい。例えば、凸部 702 の形状は円柱状や角柱状であってもよいし、円錐状や角錐状であってもよい。また凸部 702 は規則的に配置しても不規則に配置してもよい。

【0111】

次に、プラズマ CVD 法やスパッタリング法を用いて、ゲート絶縁膜 703 を単層又は積層構造で形成する。絶縁膜 703 は凸部が形成された基板上に形成され、表面に凹凸を有している。

【0112】

続いて、絶縁膜 703 上に第 1 の半導体膜、不純物元素を含む第 2 の半導体膜、および

10

20

30

40

50

第 1 の導電膜を順次、積層して形成する。

【 0 1 1 3 】

第 1 の半導体膜は、シランやゲルマンに代表される半導体材料ガスを用いて気相成長法やスパッタリング法で作製される A S、あるいは S A S で形成する。不純物元素を含む第 2 の半導体膜は、シランガスとフォスフィンガスを用いて形成すればよく、A S または S A S で形成することが出来る。

【 0 1 1 4 】

次に、第 1 の導電膜上に組成物を選択的に吐出してマスクを形成し、このマスクを利用して、上記第 1 の半導体膜、上記第 2 の半導体膜および上記第 1 の導電膜をエッチングして、それぞれ第 1 の半導体膜、第 2 の半導体膜および第 1 の導電膜をパターン形成する。

10

【 0 1 1 5 】

その後、公知の方法を用いて、全面に第 2 の導電膜を形成する。なお、第 2 の導電膜としては、反射性を有する導電膜を用いる。また、導電性を含む材料を吐出して第 2 の導電膜を形成してもよい。

【 0 1 1 6 】

次いで、第 2 の導電膜上に組成物を選択的に吐出してマスクを形成し、マスクに覆われていない部分をエッチングして、半導体膜 7 1 6、ソース領域 7 1 7 およびドレイン領域 7 1 8、ソース電極 7 1 9 およびドレイン電極 7 2 0、画素電極 7 0 5 を形成する。

【 0 1 1 7 】

こうして、凸部 7 0 2 上に形成された絶縁膜の表面は凹凸を有し、この凹凸を表面に有する絶縁膜 7 0 3 上に画素電極 7 0 5 が形成されるので、画素電極 7 0 5 の表面に凹凸を持たせて光散乱性を図ることができる。

20

【 0 1 1 8 】

本実施の形態の構成とすることで、画素 T F T 部を作製する際、組成物を選択的に吐出してマスクを形成することが可能であり、フォトマスクを利用した光露光工程を用いないことにより、工程を省略することができる。また、従来では、凹凸部を形成する際に工程を増やす必要があったが、本実施の形態では、組成物を吐出してゲート配線と同時に凸部を形成するため、工程を増やすことなく画素電極に凹凸部を形成することができる。

【 0 1 1 9 】

(実施の形態 8)

30

本実施の形態では、上記実施の形態 1 におけるアクティブマトリクス基板の作製工程をより簡略化した方法について図 1 1 を用いて説明する。

【 0 1 2 0 】

まず、基板 2 0 0 上に、導電性材料を含む組成物を選択的に吐出して、ゲート配線層 2 0 2、ゲート電極層 2 0 3、容量配線層 2 0 4 を形成する。次に、プラズマ C V D 法やスパッタリング法を用いて、ゲート絶縁膜 2 0 5 を単層又は積層構造で形成する。さらに活性層として機能する半導体膜 2 0 6 および一導電型の不純物元素を含有する半導体として、n 型または p 型の半導体膜 2 0 7 を形成する。以上の工程は実施の形態 1 と同様であるため、詳しい説明は省略する。

【 0 1 2 1 】

40

次に、半導体膜 2 0 7 上に、導電性を含む組成物を選択的に吐出して導電性の金属膜 5 0 8 形成する (図 1 1 (A))。この金属膜 5 0 8 を形成する導電性材料としては、A g、A u、C u、W、A l 等の金属の粒子を主成分とした組成物を用いることができる。また、透光性を有するインジウム錫酸化物、インジウム錫酸化物と酸化珪素からなる I T S O、有機インジウム、有機スズ、酸化亜鉛、窒化チタンなどを組み合わせても良い。

【 0 1 2 2 】

次に、金属膜 5 0 8 をマスクとしてエッチングを行い、金属膜に覆われていない半導体膜 2 0 6 および半導体膜 2 0 7 を除去し、画素 T F T 部において、半導体膜 5 1 1 および n 型半導体膜 5 1 2 を形成する (図 1 1 (B))。なお、ここでのエッチング方法としては、ウェットエッチングまたはドライエッチングのどちらを用いてもよいが、なるべく金

50

属膜 508 が侵食されない方法で行う。

【0123】

続いて、導電性材料を含む組成物を吐出して、全面に透明導電膜 514 を形成した後、組成物を選択的に吐出してマスク 515 を形成する。そして、このマスク 515 を利用してエッチングすることにより、半導体膜 516、ソース領域 517 およびドレイン領域 518、ソース電極 519 およびドレイン電極 520、画素電極 521 を形成する。

【0124】

このように、本実施の形態では、金属膜 508 を選択的に形成し、同時に金属膜 508 をマスクとして用いることにより、マスクの形成やエッチング後のマスクの除去が不要となるため、より簡略化した工程で液晶表示パネルを作製することが可能となる。

10

【0125】

(実施の形態 9)

次に、上記実施の形態によって作製される液晶表示パネルに駆動用のドライバ回路を実装する態様について、図 17 ~ 図 19 を参照して説明する。

【0126】

まず、COG 方式を採用した表示装置について、図 17 を用いて説明する。基板 1001 上には、文字や画像などの情報を表示する画素部 1002、走査側の駆動回路 1003、1004 が設けられる。複数の駆動回路が設けられた基板 1005、1008 は、矩形状に分断され、分断後の駆動回路 (以下ドライバ IC と表記) は、基板 1001 上に実装される。図 17 (A) は複数のドライバ IC 1007、該ドライバ IC 1007 の先にテープ 1006 を実装する形態を示している。図 17 (B) はドライバ IC 1010、該ドライバ IC 1010 の先にテープ 1009 を実装する形態を示している。

20

【0127】

次に、TAB 方式を採用した表示装置について、図 18 を用いて説明する。基板 1001 上には、画素部 1002、走査側の駆動回路 1003、1004 が設けられる。図 18 (A) は基板 1001 上に複数のテープ 1006 を貼り付けて、該テープ 1006 にドライバ IC 1007 を実装する形態を示している。図 18 (B) は基板 1001 上にテープ 1009 を貼り付けて、該テープ 1009 にドライバ IC 1010 を実装する形態を示している。後者を採用する場合には、強度の問題から、ドライバ IC 1010 を固定する金属片等を一緒に貼り付けるとよい。

30

【0128】

これらの液晶表示パネルに実装されるドライバ IC は、生産性を向上させる観点から、一辺が 300 mm から 1000 mm 以上の矩形状の基板 1005、1008 上に複数個作り込むとよい。

【0129】

つまり、基板 1005、1008 上に駆動回路部と入出力端子を一つのユニットとする回路パターンを複数個形成し、最後に分割して取り出せばよい。ドライバ IC の長辺の長さは、画素部の一辺の長さや画素ピッチを考慮して、図 17 (A)、図 18 (A) に示すように、長辺が 15 ~ 80 mm、短辺が 1 ~ 6 mm の矩形状に形成してもよいし、図 17 (B)、図 18 (B) に示すように、画素領域 1002 の一辺、又は画素部 1002 の一辺と各駆動回路 1003、1004 の一辺とを足した長さに形成してもよい。

40

【0130】

図 17 および図 18 に示すように、ドライバ IC をガラス基板に形成することにより、特に長辺の長さに対する制約が緩和され、画素部 1002 に対応して実装するのに必要な数が少なく済む。すなわち、単結晶シリコンで形成したドライバ IC では、機械的な強度や基板の制約から長尺のドライバ IC を製造することができない。ガラス基板上にドライバ IC を形成すると、母体として用いる基板の形状に限定されないので生産性を損なうことがない。これは、円形のシリコンウェハから IC チップを取り出す場合と比較すると、大きな優位点である。

【0131】

50

図17(A)及び(B)、図18(A)及び(B)において、画素領域1002の外側の領域には、駆動回路が形成されたドライバIC1007、1008又は1009が実装される。これらのドライバIC1007~1009は、信号線側の駆動回路である。RGBフルカラーに対応した画素領域を形成するためには、XGAクラスで信号線の本数が3072本必要であり、UXGAクラスでは4800本が必要となる。このような本数で形成された信号線は、画素領域1002の端部で数ブロック毎に区分して引出線を形成し、ドライバIC1007~1009の出力端子のピッチに合わせて集められる。

【0132】

ドライバICは、基板上に形成された結晶質半導体により形成されることが好適であり、該結晶質半導体は連続発光のレーザ光を照射することで形成されることが好適である。従って、当該レーザ光を発生させる発振器としては、連続発光の固体レーザ又は気体レーザを用いる。連続発光のレーザを用いると、結晶欠陥が少なく、大粒径の多結晶半導体層を用いて、トランジスタを作成することが可能となる。また移動度や応答速度が良好なために高速駆動が可能で、従来よりも素子の動作周波数を向上させることができ、特性バラツキが少ないために高い信頼性を得ることができる。なお、さらなる動作周波数の向上を目的として、トランジスタのチャネル長方向とレーザ光の走査方向と一致させるとよい。これは、連続発光レーザによるレーザ結晶化工程では、トランジスタのチャネル長方向とレーザ光の基板に対する走査方向とが概ね並行(好ましくは-30°~30°)であるときに、最も高い移動度が得られるためである。なおチャネル長方向とは、チャネル形成領域において、電流が流れる方向、換言すると電荷が移動する方向と一致する。このように作製したトランジスタは、結晶粒がチャネル方向に延在する多結晶半導体層によって構成される活性層を有し、このことは結晶粒界が概ねチャネル方向に沿って形成されていることを意味する。

10

20

【0133】

レーザ結晶化を行うには、レーザ光の大幅な絞り込みを行うことが好ましく、そのビームスポットの幅は、ドライバICの短辺の同じ幅の1~3mm程度とすることがよい。また、被照射体に対して、十分に且つ効率的なエネルギー密度を確保するために、レーザ光の照射領域は、線状であることが好ましい。但し、ここでいう線状とは、厳密な意味で線を意味しているのではなく、アスペクト比の大きい長方形もしくは長楕円形を意味する。例えば、アスペクト比が2以上(好ましくは10~10000)のものを指す。このように、レーザ光のビームスポットの幅をドライバICの短辺と同じ長さとするすることで、生産性を向上させた表示装置の作製方法を提供することができる。

30

【0134】

図17、図18では、走査線駆動回路は画素部と共に一体形成し、信号線駆動回路としてドライバICを実装した形態を示した。しかしながら、本発明はこの形態に限定されず、走査線駆動回路及び信号線駆動回路の両方として、ドライバICを実装してもよい。その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするともよい。

【0135】

画素領域1002は、信号線と走査線が交差してマトリクスを形成し、各交差部に対応してトランジスタが配置される。本発明は、画素領域1002に配置されるトランジスタとして、非晶質半導体又はセミアモルファス半導体をチャネル部としたTFTを用いることを特徴とする。非晶質半導体は、プラズマCVD法やスパッタリング法等の方法により形成する。セミアモルファス半導体は、プラズマCVD法で300以下の温度で形成することが可能であり、例えば、外寸550×650mmの無アルカリガラス基板であっても、トランジスタを形成するのに必要な膜厚を短時間で形成するという特徴を有する。このような製造技術の特徴は、大画面の表示装置を作製する上で有効である。また、セミアモルファスTFTは、SASでチャネル形成領域を構成することにより2~10cm²/V・secの電界効果移動度を得ることができる。従って、このTFTを画素のスイッチング用素子や、走査線側の駆動回路を構成する素子として用いることができる。従って、シ

40

50

ステムオンパネル化を実現した液晶表示パネルを作製することができる。

【0136】

なお、図17、図18では、半導体層をSASで形成したTFTを用いることにより、走査線側駆動回路も基板上に一体形成することを前提として示している。半導体層をASで形成したTFTを用いる場合には、走査線側駆動回路及び信号線側駆動回路の両方をドライバICを実装してもよい。

【0137】

その場合には、走査線側と信号線側で用いるドライバICの仕様を異なるものにするのが好適である。例えば、走査線側のドライバICを構成するトランジスタには30V程度の耐圧が要求されるものの、駆動周波数は100kHz以下であり、比較的高速動作は要求されない。従って、走査線側のドライバを構成するトランジスタのチャンネル長(L)は十分大きく設定することが好適である。一方、信号線側のドライバICのトランジスタには、12V程度の耐圧があれば十分であるが、駆動周波数は3Vにて65MHz程度であり、高速動作が要求される。そのため、ドライバを構成するトランジスタのチャンネル長などはミクロンルールで設定することが好適である。

10

【0138】

図19はドライバICをCOGで実装する構成を示している。図19(A)はTFT基板800に、ドライバIC806が異方性導電材を用いて実装された構造を示す。TFT基板800上には画素領域801、信号線側入力端子804(走査線入力端子であっても同様である。)を有している。対向基板829はシール材826でTFT基板800と接

20

【0139】

信号線側入力端子804には、FPC812が異方性導電材で接着されている。異方性導電材は樹脂815と表面にAuなどがメッキされた数十～数百μm径の導電性粒子814から成り、導電性粒子814により信号線側入力端子104とFPC812に形成された配線813とが電氣的に接続される。ドライバIC806も、異方性導電材でTFT基板800に接着され、樹脂811中に混入された導電性粒子810により、ドライバIC806に設けられた入出力端子809と信号線側入力端子804と電氣的に接続される。

【0140】

また、図19(B)で示すように、TFT基板800にドライバIC806を接着材816で固定して、Auワイヤ817によりドライバICの入出力端子と引出線または接続配線とを接続しても良い。そして封止樹脂818で封止する。なお、ドライバICの実装方法は、特に限定されるものではなく、公知のCOG方法やワイヤボンディング方法、或いはTAB方法を用いることができる。

30

【0141】

ドライバICの厚さは、対向基板と同じ厚さとすることで、両者の間の高さはほぼ同じものとなり、表示装置全体としての薄型化に寄与する。また、それぞれの基板を同じ材質のもので作製することにより、この表示装置に温度変化が生じても熱応力が発生することなく、TFTで作製された回路の特性を損なうことはない。その他にも、本実施形態で示すようにICチップよりも長尺のドライバICで駆動回路を実装することにより、1つの画素領域に対して、実装されるドライバICの個数を減らすことができる。

40

【0142】

以上のようにして、液晶表示パネルに駆動回路を組み入れることができる。

【0143】

(実施の形態10)

実施の形態9により作製される液晶表示パネルによって、液晶テレビ受像機を完成させることができる。図23は液晶テレビ受像機の主要な構成を示すブロック図を示している。液晶表示パネルには、図20で示すような構成として、画素部401のみが形成されて走査線側駆動回路403と信号線側駆動回路402とがTAB方式により実装される場合と、図21に示すような構成として画素部401とその周辺に走査線側駆動回路403と

50

信号線側駆動回路４０２とがＣＯＧ方式により実装される場合と、図２２に示すようにＳＡＳでＴＦＴを形成し、画素部４０１と走査線側駆動回路４０３を基板上に一体形成し信号線側駆動回路４０２を別途ドライバＩＣとして実装する場合などがあるが、どのような形態としても良い。

【０１４４】

その他の外部回路の構成として、映像信号の入力側では、チューナ４０４で受信した信号のうち、映像信号を増幅する映像信号増幅回路４０５と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路４０６と、その映像信号をドライバＩＣの入力仕様に換するためのコントロール回路４０７などからなっている。コントロール回路４０７は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路４０８を設け、入力デジタル信号をｍ個に分割して供給する構成としても良い。

10

【０１４５】

チューナ４０４で受信した信号のうち、音声信号は、音声信号増幅回路４０９に送られ、その出力は音声信号処理回路４１０を経てスピーカ４１３に供給される。制御回路４１１は受信局（受信周波数）や音量の制御情報を入力部４１２から受け、チューナ４０４や音声信号処理回路４１０に信号を送出する。

【０１４６】

図２４は液晶表示モジュールの一例であり、ＴＦＴ基板２００と対向基板２２９がシール材２２６により固着され、その間に画素部１０１と液晶層２３０が設けられ表示領域を形成している。着色層２５０はカラー表示を行う場合に必要であり、ＲＧＢ方式の場合は、赤、緑、青の各色に対応した着色層が各画素に対応して設けられている。ＴＦＴ基板２００と対向基板２２９の外側には偏光板２５１、２５２が配設されている。光源は冷陰極管２５８と導光板２５９により構成され、回路基板２５７は、フレキシブル配線基板２５６によりＴＦＴ基板２００と接続され、コントロール回路や電源回路などの外部回路が組みこまれている。

20

【０１４７】

上記液晶表示モジュールを筐体２３０１に組みこんでテレビ受像機を完成させた状態を図２５に示している。液晶表示モジュールにより表示画面２３０３が形成され、その他付属設備としてスピーカ２３０４、操作スイッチ２３０５などが備えられている。このように、本発明によりテレビ受像機を完成させることができる。

30

【０１４８】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。

【図面の簡単な説明】

【０１４９】

【図１】本発明の上面図を示す図。

【図２】本発明の液晶表示装置の作製工程を示す断面図。

【図３】本発明の液晶表示装置の作製工程を示す断面図。

40

【図４】本発明の液晶表示装置の作製工程を示す断面図。

【図５】本発明の液晶表示装置の作製工程を示す断面図。

【図６】本発明の液晶表示装置の作製工程を示す断面図。

【図７】液晶表示装置の断面を示す図。

【図８】本発明の液晶表示装置の作製工程を示す断面図。

【図９】本発明の液晶表示装置の作製工程を示す断面図。

【図１０】本発明の液晶表示装置の作製工程を示す断面図。

【図１１】本発明の液晶表示装置の作製工程を示す断面図。

【図１２】反射型の電気光学装置の断面を示す図。

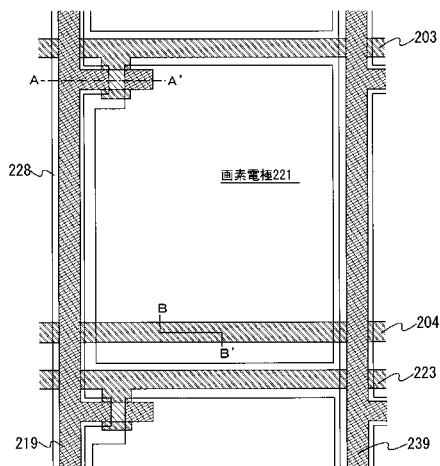
【図１３】製造装置の上面を示す図。

50

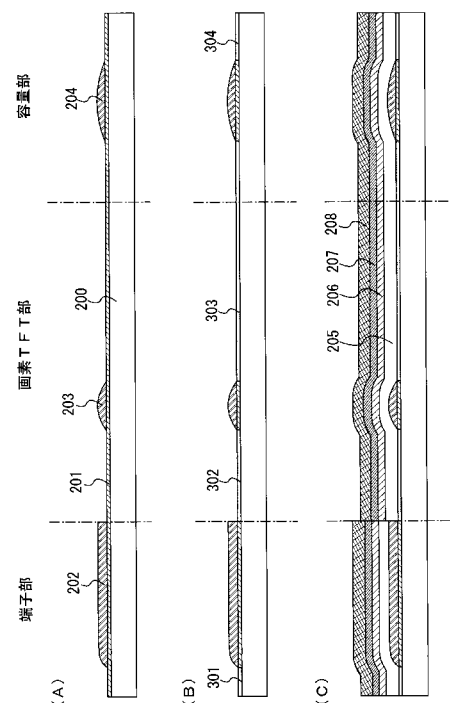
- 【図 1 4】製造装置の上面を示す図。
 【図 1 5】本発明に適用することのできる液滴吐出装置の構成を説明する図。
 【図 1 6】本発明の液晶表示装置の作製工程を示す断面図。
 【図 1 7】本発明の液晶表示装置の駆動回路の実装方法を示す図。
 【図 1 8】本発明の液晶表示装置の駆動回路の実装方法を示す図。
 【図 1 9】本発明の液晶表示装置の駆動回路の実装方法を示す図。
 【図 2 0】本発明の液晶表示装置の構成を説明する上面図。
 【図 2 1】本発明の液晶表示装置の構成を説明する上面図。
 【図 2 2】本発明の液晶表示装置の構成を説明する上面図。
 【図 2 3】本発明の液晶表示装置の受像機の主要な構成を示すブロック図。
 【図 2 4】本発明の液晶表示装置の構成を説明する図。
 【図 2 5】本発明により完成する電子機器の例を示す図。
 【図 2 6】本発明により完成する電子機器の例を示す図。

10

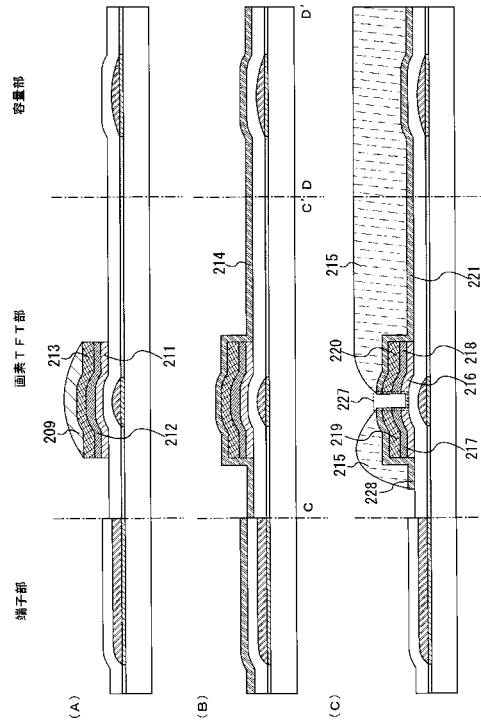
【図 1】



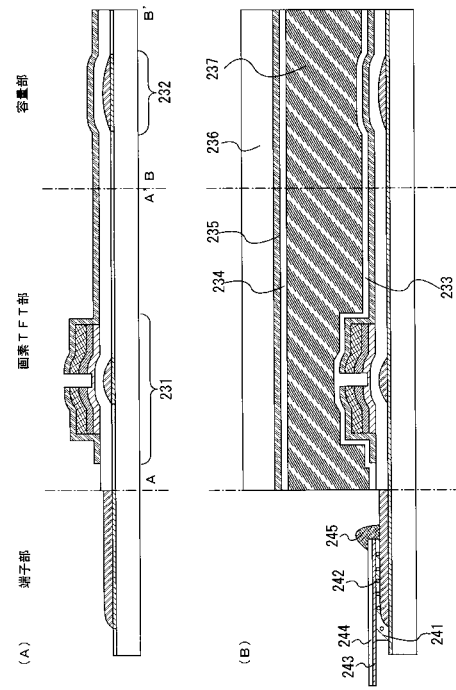
【図 2】



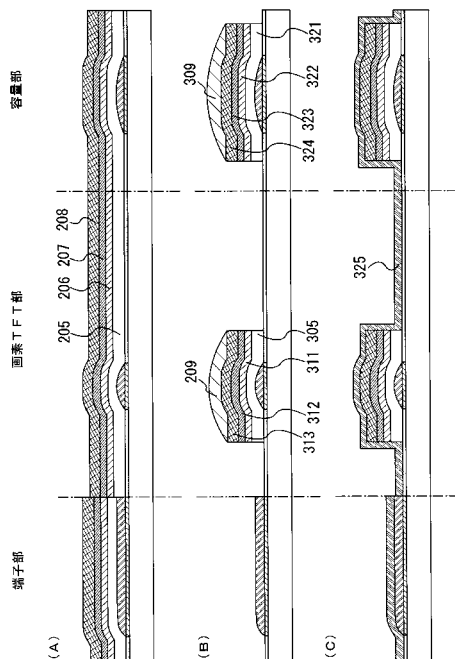
【図 3】



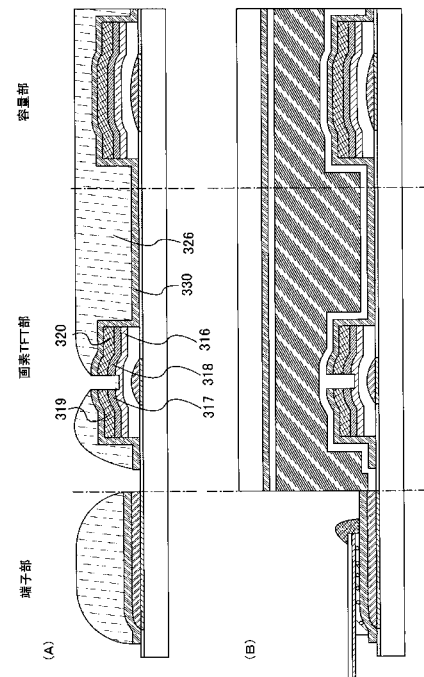
【図 4】



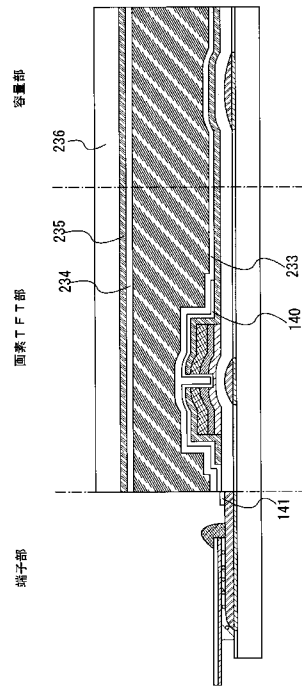
【図 5】



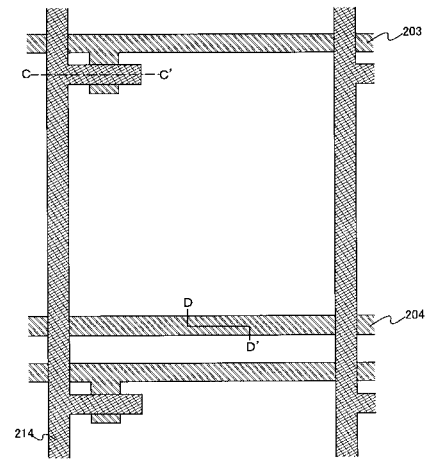
【図 6】



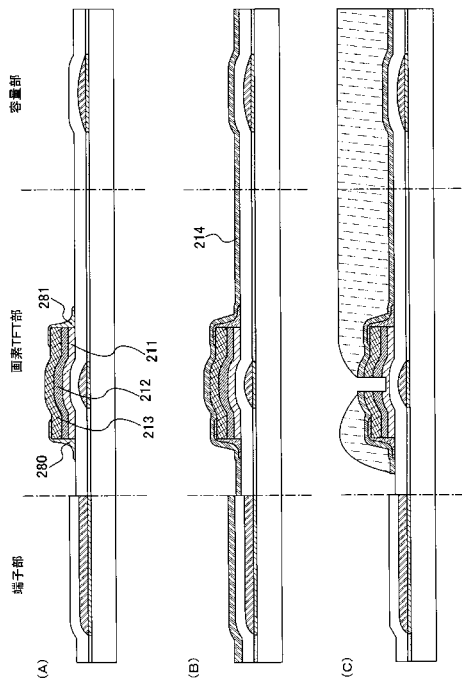
【図 7】



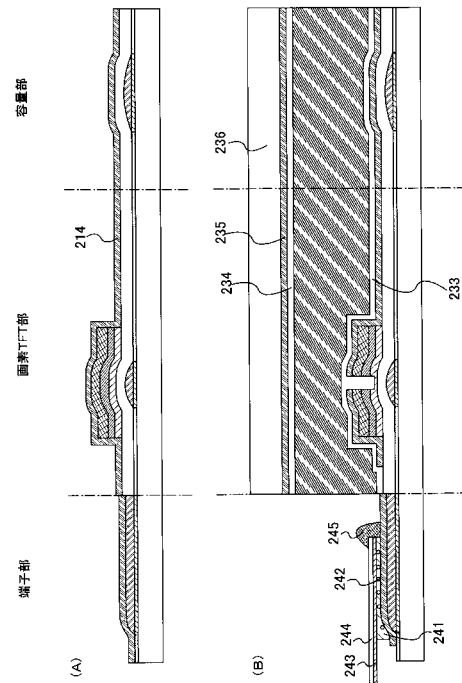
【図 8】



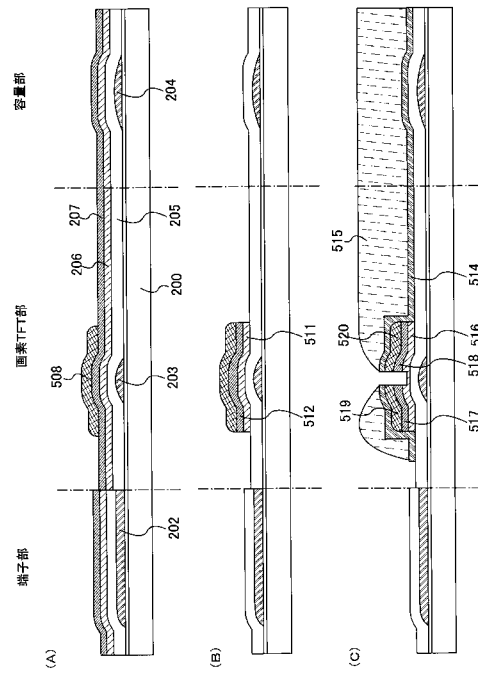
【図 9】



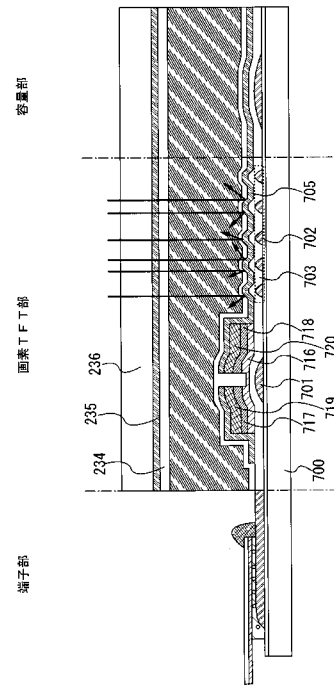
【図 10】



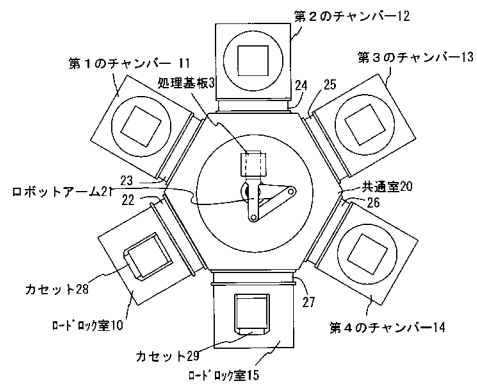
【図 1 1】



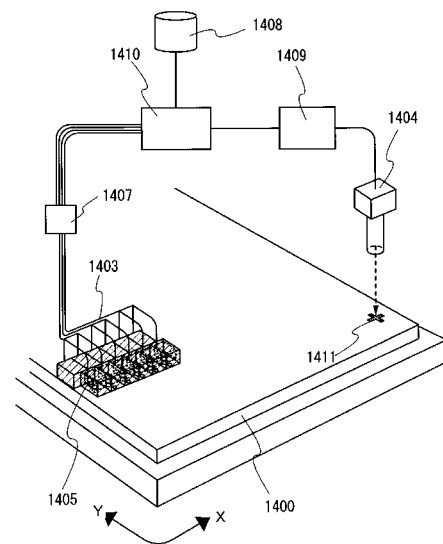
【図 1 2】



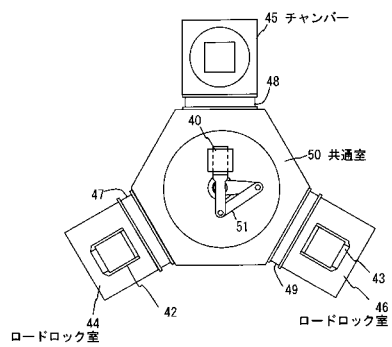
【図 1 3】



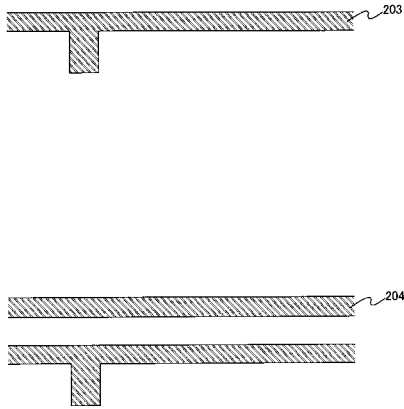
【図 1 5】



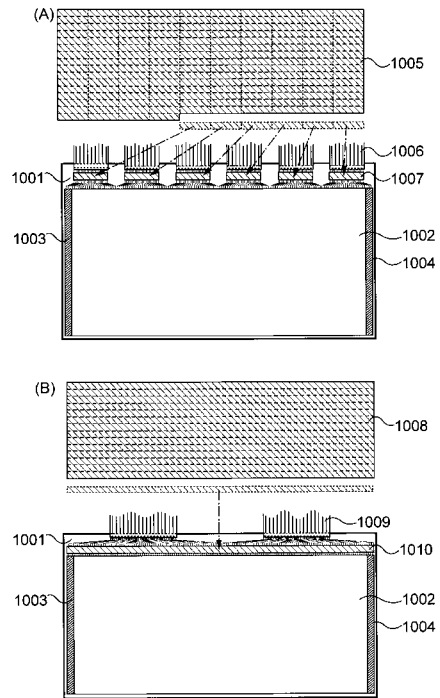
【図 1 4】



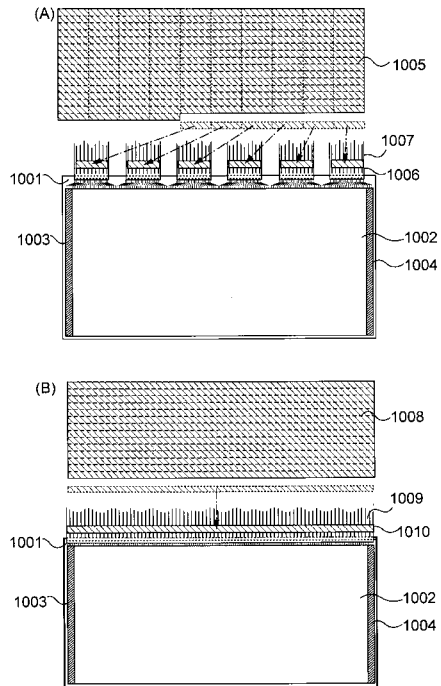
【図 16】



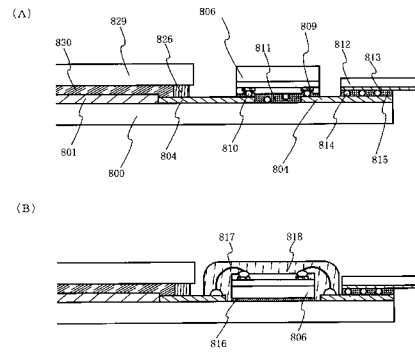
【図 17】



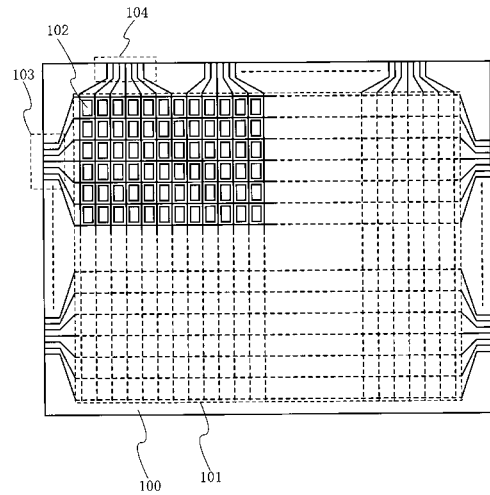
【図 18】



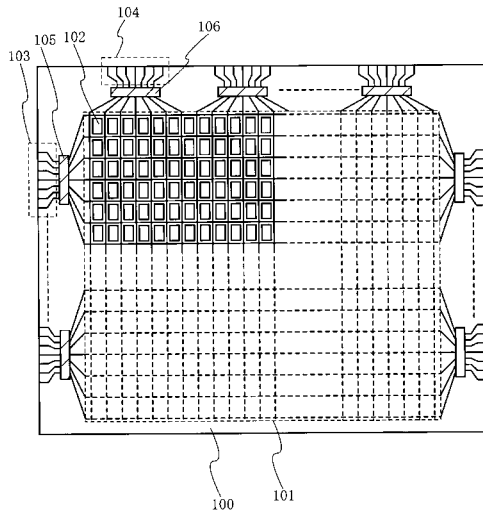
【図 19】



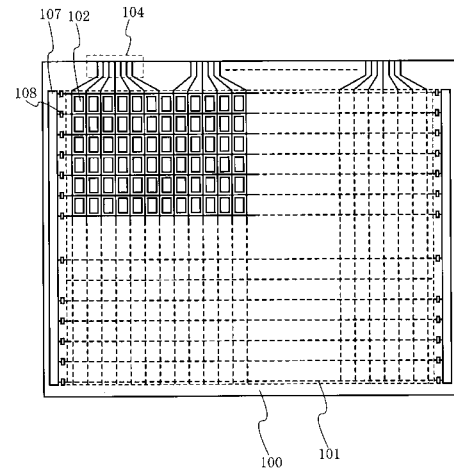
【図 20】



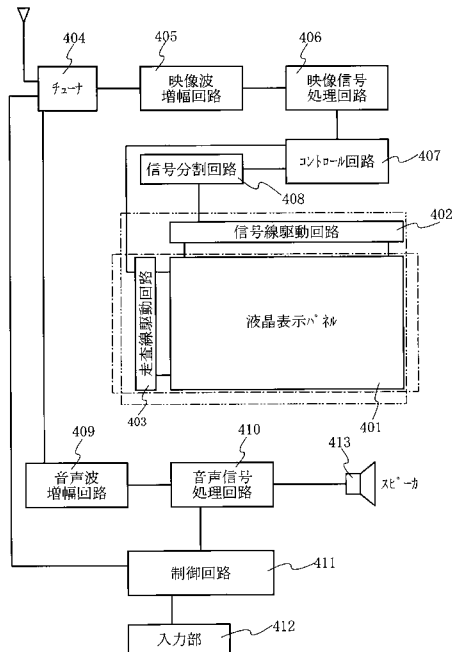
【図 2 1】



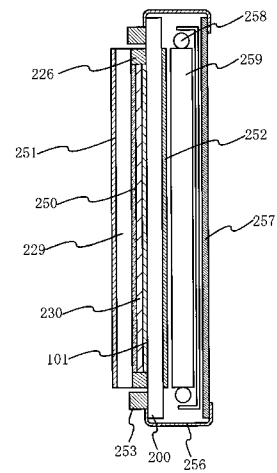
【図 2 2】



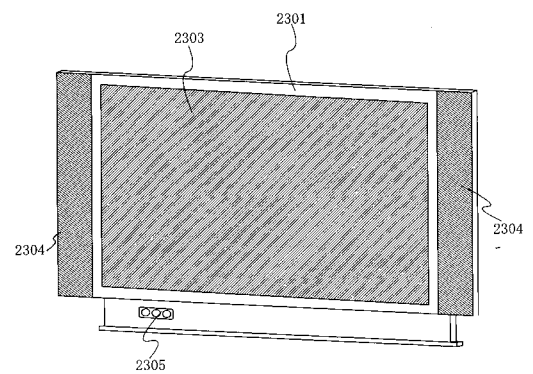
【図 2 3】



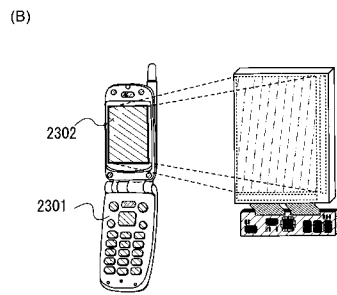
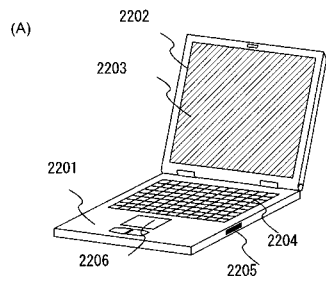
【図 2 4】



【図 2 5】



【図 26】



フロントページの続き

(51)Int.Cl.⁷

H 0 1 L 29/786

F I

H 0 1 L 29/78

6 1 8 F

H 0 1 L 29/78

6 2 7 B

H 0 1 L 29/78

6 2 7 C

H 0 1 L 29/78

6 1 9 A

テーマコード(参考)

Fターム(参考) 2H092 GA17 GA25 GA34 HA02 HA06 JA24 JA37 JA41 JB21 JB57
 JB61 KA05 KA18 KB24 MA30 NA25 NA27 NA29
 5F052 AA02 BA07 DA01 DA02 DA03 DB01 DB03 DB07 EA12 HA01
 JA02
 5F110 AA16 AA28 BB02 CC07 DD01 DD02 DD03 DD05 DD12 DD13
 DD14 DD15 DD17 EE02 EE03 EE04 EE07 EE14 EE42 EE47
 EE48 FF02 FF03 FF04 FF07 FF10 FF28 FF30 GG01 GG02
 GG05 GG06 GG13 GG14 GG15 GG16 GG17 GG43 GG44 GG45
 HK02 HK03 HK04 HK06 HK07 HK09 HK15 HK16 HK22 HK32
 HK33 HK34 HK35 NN03 NN22 NN23 NN24 NN27 NN33 NN34
 NN35 NN72 NN73 PP03 PP06 PP24 QQ01 QQ03 QQ09

专利名称(译)	液晶显示装置和液晶显示装置的制造方法		
公开(公告)号	JP2005165304A	公开(公告)日	2005-06-23
申请号	JP2004328461	申请日	2004-11-12
[标]申请(专利权)人(译)	株式会社半导体能源研究所		
申请(专利权)人(译)	半导体能源研究所有限公司		
[标]发明人	前川慎志 山崎舜平 桑原秀明 守屋芳隆		
发明人	前川 慎志 山崎 舜平 桑原 秀明 守屋 芳隆		
IPC分类号	G02F1/1343 G02F1/1345 G02F1/1368 H01L21/20 H01L21/336 H01L29/786		
FI分类号	G02F1/1343 G02F1/1345 G02F1/1368 H01L21/20 H01L29/78.612.D H01L29/78.618.F H01L29/78.627.B H01L29/78.627.C H01L29/78.619.A		
F-TERM分类号	2H092/GA17 2H092/GA25 2H092/GA34 2H092/HA02 2H092/HA06 2H092/JA24 2H092/JA37 2H092/JA41 2H092/JB21 2H092/JB57 2H092/JB61 2H092/KA05 2H092/KA18 2H092/KB24 2H092/MA30 2H092/NA25 2H092/NA27 2H092/NA29 5F052/AA02 5F052/BA07 5F052/DA01 5F052/DA02 5F052/DA03 5F052/DB01 5F052/DB03 5F052/DB07 5F052/EA12 5F052/HA01 5F052/JA02 5F110/AA16 5F110/AA28 5F110/BB02 5F110/CC07 5F110/DD01 5F110/DD02 5F110/DD03 5F110/DD05 5F110/DD12 5F110/DD13 5F110/DD14 5F110/DD15 5F110/DD17 5F110/EE02 5F110/EE03 5F110/EE04 5F110/EE07 5F110/EE14 5F110/EE42 5F110/EE47 5F110/EE48 5F110/FF02 5F110/FF03 5F110/FF04 5F110/FF07 5F110/FF10 5F110/FF28 5F110/FF30 5F110/GG01 5F110/GG02 5F110/GG05 5F110/GG06 5F110/GG13 5F110/GG14 5F110/GG15 5F110/GG16 5F110/GG17 5F110/GG43 5F110/GG44 5F110/GG45 5F110/HK02 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK09 5F110/HK15 5F110/HK16 5F110/HK22 5F110/HK32 5F110/HK33 5F110/HK34 5F110/HK35 5F110/NN03 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN27 5F110/NN33 5F110/NN34 5F110/NN35 5F110/NN72 5F110/NN73 5F110/PP03 5F110/PP06 5F110/PP24 5F110/QQ01 5F110/QQ03 5F110/QQ09 2H192/AA24 2H192/BC72 2H192/BC82 2H192/CB05 2H192/CC75 2H192/DA24 2H192/FA44 2H192/FB02 2H192/FB22 2H192/FB27 2H192/FB46 2H192/GA03 2H192/GD73 2H192/HA23 2H192/HA27 2H192/HA36 5F152/AA06 5F152/AA12 5F152/AA14 5F152/BB03 5F152/CC02 5F152/CC03 5F152/CC04 5F152/CC05 5F152/CC06 5F152/CC08 5F152/CD13 5F152/CD14 5F152/CD15 5F152/CD16 5F152/CD17 5F152/CD19 5F152/CD27 5F152/CE04 5F152/CE05 5F152/CE06 5F152/CE09 5F152/CE14 5F152/CE16 5F152/CE26 5F152/CE27 5F152/CE32 5F152/CE38 5F152/CE45 5F152/FF02 5F152/FF05 5F152/FF11 5F152/FF21 5F152/FG01 5F152/FG23 5F152/FH01		
优先权	2003386013 2003-11-14 JP		
其他公开文献	JP2005165304A5 JP4737971B2		
外部链接	Espacenet		

摘要(译)

解决的问题：在液晶显示装置的制造过程中使用单个光掩模来执行抗蚀剂涂覆过程，预烘烤过程，曝光过程，显影过程，后烘烤过程等，以及在之前和之后的过程中的成膜过程和蚀刻过程。此外，增加了抗蚀剂剥离，清洗和干燥步骤，这使工艺复杂并且成为问

题。为了解决上述问题，本发明使用沟道蚀刻型底栅（反交错）型TFT结构来执行源区和漏区的图案化以及具有相同掩模的像素电极的图案化。它的特点是 另外，本发明选择性地选择制造半导体器件所需的图案中的至少一种或多种，例如用于形成布线层的导电层或用于形成预定图案的电极或掩模。通过利用能够形成图案的方法形成图案来制造液晶显示装置。[选择图]图3

