

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-107239

(P2005-107239A)

(43) 公開日 平成17年4月21日(2005.4.21)

(51) Int.Cl.<sup>7</sup>

G02F 1/1345

G02F 1/133

G09F 9/00

G09G 3/20

G09G 3/36

F I

G02F 1/1345

G02F 1/133 550

G09F 9/00 346D

G09G 3/20 621M

G09G 3/20 623H

テーマコード (参考)

2H092

2H093

5C006

5C080

5G435

審査請求 未請求 請求項の数 12 O L (全 24 頁) 最終頁に続く

(21) 出願番号 特願2003-341499 (P2003-341499)

(22) 出願日 平成15年9月30日 (2003.9.30)

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(74) 代理人 100080034

弁理士 原 謙三

(74) 代理人 100113701

弁理士 木島 隆一

(74) 代理人 100116241

弁理士 金子 一郎

(72) 発明者 中原 道弘

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

(72) 発明者 藤野 宏晃

大阪府大阪市阿倍野区長池町22番22号

シャープ株式会社内

最終頁に続く

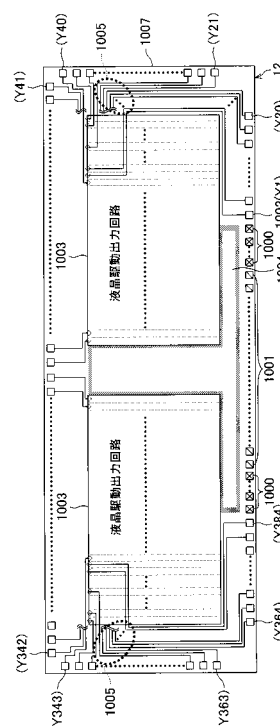
(54) 【発明の名称】 表示パネル駆動装置および表示装置

(57) 【要約】

【課題】 引き廻し配線の面積を縮小化することにより短辺長の削減を図り、より小型で低コストの表示パネル駆動装置および表示装置を提供する。

【解決手段】 ソースドライバ12において、金属配線パターン1005を構成する複数の配線のうち、出力端子Y1～Y39・Y344～Y384に接続された配線を、液晶駆動出力回路1003との接続点から、液晶駆動出力回路1003と重なる領域を通り、その領域とその領域外との境界線における基板1007短辺側の部分を跨いで液晶駆動電圧出力端子1002まで引き廻す。また、回路セルY1～Y39・Y344～Y384を、配線との接続点の並び順が出力端子Y1～Y39・Y344～Y384の並び順と逆の順序となるように配置する。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

複数の表示画素と該表示画素を駆動するための複数の駆動用配線とを含む表示パネルに対し、上記表示画素を駆動するための駆動電圧を上記駆動用配線を介して上記表示画素に印加するための表示パネル駆動装置であって、

長方形またはそれに類似の形状を有する基板と、

上記基板の周縁部に配置された、上記駆動電圧を出力するための複数の電極パッドと、

上記基板上における電極パッドよりも内側に配置された、上記駆動電圧を上記表示パネルに出力するための駆動電圧出力回路と、

上記駆動電圧出力回路と上記電極パッドとを接続する複数の配線とを備え、

10

配線の一部が、駆動電圧出力回路との接続点から、駆動電圧出力回路と重なる領域を通り、その領域とその領域外との境界線における基板短辺側の部分を跨いで電極パッドまで引き廻されていることを特徴とする表示パネル駆動装置。

## 【請求項 2】

上記駆動電圧出力回路は、表示パネルの個々の駆動配線に対応する複数の回路セルが基板の長辺方向に並べられてなり、

上記複数の回路セルは、

回路セルに接続された配線が、回路セルとの接続点から、駆動電圧出力回路と重なる領域を通り、その領域とその領域外との境界線における基板短辺側の部分を跨いで電極パッドまで引き廻されている第 1 の回路セル群と、

20

回路セルに接続された配線が、回路セルとの接続点から、駆動電圧出力回路と重なる領域を通ることなく電極パッドまで引き廻されている第 2 の回路セル群とを含み、

第 1 の回路セル群は、その回路セルと配線との接続点の並び順が、その回路セルに接続された電極パッドの並び順と逆の順序となるように配置されており、

第 2 の回路セル群は、その回路セルと配線との接続点の並び順が、その回路セルに接続された電極パッドの並び順と同じ順序となるように配置されていることを特徴とする請求項 1 記載の表示パネル駆動装置。

## 【請求項 3】

上記各回路セルが、シフトレジスタを備え、

上記複数の回路セルは、第 1 の回路セル群内におけるシフトレジスタ間のシフト順序が、第 2 のセル群内におけるシフトレジスタ間のシフト順序と逆の順序となるように配置されていることを特徴とする請求項 2 記載の表示パネル駆動装置。

30

## 【請求項 4】

上記駆動電圧出力回路は、表示パネルの個々の駆動配線に対応する複数の回路セルが基板の長辺方向に並べられてなり、

上記複数の回路セルは、

回路セルに接続された配線が、回路セルとの接続点から、駆動電圧出力回路と重なる領域を通り、その領域とその領域外との境界線における基板短辺側の部分を跨いで電極パッドまで引き廻されている第 1 の回路セル群と、

回路セルに接続された配線が、回路セルとの接続点から、駆動電圧出力回路と重なる領域を通ることなく電極パッドまで引き廻されている第 2 の回路セル群とを含み、

40

上記各回路セルが、シフトレジスタを備え、

上記複数の回路セルは、第 1 の回路セル群内におけるシフトレジスタ間のシフト順序が、第 2 のセル群内におけるシフトレジスタ間のシフト順序と逆の順序となるように配置されていることを特徴とする請求項 1 記載の表示パネル駆動装置。

## 【請求項 5】

駆動電圧出力回路と重なる領域を通る配線が、2 層以上の配線パターンで形成されていることを特徴とする請求項 1 記載の表示パネル駆動装置。

## 【請求項 6】

上記液晶駆動出力回路が、複数のブロックに分割され、

50

上記配線の一部が、駆動電圧出力回路との接続点から、ブロック間のスペースを通して上記電極パッドまで引き廻されていることを特徴とする請求項 1 記載の表示パネル駆動装置。

【請求項 7】

第 2 の回路セル群に属する回路セルと電極パッドとを接続する配線が、2 層以上の配線パターンで形成されており、

第 1 の回路セル群に属する回路セルと電極パッドとを接続する配線が、3 層以上の配線パターンで形成されていることを特徴とする請求項 2 記載の表示パネル駆動装置。

【請求項 8】

複数の表示画素と該表示画素を駆動するための複数の駆動用配線とを含む表示パネルに対し、上記表示画素を駆動するための駆動電圧を上記駆動用配線を介して上記表示画素に印加するための表示パネル駆動装置であって、

10

基板と、

上記基板の周縁部に配置された、上記駆動電圧を出力するための複数の電極パッドと、  
上記基板上における電極パッドよりも内側に配置された、上記駆動電圧を上記表示パネルに出力するための駆動電圧出力回路と、

上記駆動電圧出力回路と上記電極パッドとを接続する複数の配線とを備え、

上記液晶駆動出力回路が、複数のブロックに分割され、

上記配線の一部が、駆動電圧出力回路との接続点から、ブロック間のスペースを通して上記電極パッドまで引き廻されていることを特徴とする表示パネル駆動装置。

20

【請求項 9】

上記各回路セルは、

パルス信号を順次シフトするためのシフトレジスタ回路と、

シフトレジスタ回路から出力されたパルス信号に同期して、表示データ信号を時分割で記憶するためのサンプリングメモリ回路と、

シフトレジスタ回路から出力された表示データ信号を所定の期間保持した後、出力するためのホールドメモリ回路と、

ホールドメモリ回路から出力された表示データ信号のレベルを変換するためのレベルシフト回路と、

複数種類のアナログ電圧から、レベルシフト回路でレベル変換された表示データ信号に応じたアナログ電圧を選択して出力するための D/A 変換回路と、

30

D/A 変換回路から出力されたアナログ電圧を表示パネルへ出力するための出力回路とを備えることを特徴とする請求項 1 または 8 に記載の表示パネル駆動装置。

【請求項 10】

上記表示パネルが、上記表示画素として液晶を含む液晶表示パネルであることを特徴とする請求項 1 または 8 に記載の表示パネル駆動装置。

【請求項 11】

複数の表示画素と該表示画素を駆動するための複数の駆動配線とを含む表示パネル、および、請求項 1 または 8 に記載の表示パネル駆動装置を備える表示装置。

【請求項 12】

40

上記表示パネルが、上記表示画素として液晶を含む液晶表示パネルであることを特徴とする請求項 11 記載の表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、液晶表示パネル等の表示パネルを駆動すべく表示パネルの外縁に配される、一般に長方形をなす表示パネル駆動装置、およびそれを用いた液晶表示装置等の表示装置に関するものである。

【背景技術】

【0002】

50

図 9 は、従来のアクティブマトリクス方式の代表例である T F T ( 薄膜トランジスタ ) 方式の液晶表示装置のブロック構成を示している。

【 0 0 0 3 】

この液晶表示装置は、液晶表示部とそれを駆動する液晶駆動装置 9 0 0 とで構成されている。上記液晶表示部は、T F T 方式の液晶パネル ( 表示パネル ) 9 0 1 を含んでいる。この液晶パネル 9 0 1 内には、図示しない液晶表示素子と、後述の対向電極 ( 共通電極 ) 9 0 6 とが設けられている。

【 0 0 0 4 】

一方、上記液晶駆動装置 9 0 0 は、それぞれ I C ( Integrated Circuit ) チップからなるソースドライバ 9 0 2 およびゲートドライバ 9 0 3 と、コントローラ 9 0 4 と、液晶駆動電源 9 0 5 とを含んでいる。 10

【 0 0 0 5 】

ソースドライバ 9 0 2 やゲートドライバ 9 0 3 は、一般的には、配線のあるフィルム上に前記 I C チップを搭載したもの、例えば T C P ( Tape Carrier Package ) を、液晶パネル 9 0 1 の I T O ( Indium Tin Oxide ; インジウムすず酸化膜 ) 端子等の端子上に実装し、接続する方法や、前記 I C チップを A C F ( Anisotropic Conductive Film ; 異方性導電膜 ) を介して直接、液晶パネル 9 0 1 の I T O 端子等の端子に熱圧着して実装し、接続する方法で、液晶パネル 9 0 1 に接続されている。

【 0 0 0 6 】

また、液晶表示装置の小型化に対応するため、前述したコントローラ 9 0 4 、液晶駆動電源 9 0 5 、ソースドライバ 9 0 2 、およびゲートドライバ 9 0 3 が、1 チップで構成されたり、2 ないし 3 チップで構成されたりすることもある。図 9 では、これらの構成を機能別に分離した形で示している。 20

【 0 0 0 7 】

コントローラ 9 0 4 は、デジタル化された表示データ ( 例えば、赤、緑、青に対応する R G B の各信号 ) および各種制御信号をゲートドライバ 9 0 3 に出力している。

【 0 0 0 8 】

ソースドライバ 9 0 2 への主な制御信号は、水平同期信号、スタートパルス信号及びソースドライバ用クロック信号等があり、図中では S 1 1 で示されている。一方、ゲートドライバ 9 0 3 への主な制御信号は、垂直同期信号やゲートドライバ用クロック信号等があり、図中では S 1 2 で示されている。なお、図中、各 I C ( ソースドライバ 9 0 2 およびゲートドライバ 9 0 3 ) を駆動するための電源は省略している。 30

【 0 0 0 9 】

液晶駆動電源 9 0 5 は、ソースドライバ 9 0 2 およびゲートドライバ 9 0 3 へ液晶パネル表示用電圧 ( 階調表示用電圧を発生させるための参照電圧 ) を供給するものである。

【 0 0 1 0 】

外部から入力された表示データは、コントローラ 9 0 4 を通してデジタル信号でソースドライバ 9 0 2 へ上記表示データ D として入力される。

【 0 0 1 1 】

ソースドライバ 9 0 2 は、入力された表示データ D を時分割で内部にラッチし、その後、コントローラ 9 0 4 から入力される上記水平同期信号 ( ラッチ信号 L s とも言う ) に同期して D A ( デジタル - アナログ ) 変換を行なう。そして、ソースドライバ 9 0 2 は、D A 変換によって得られた、階調表示用のアナログ電圧を、液晶駆動電圧出力端子 ( 後述する液晶駆動電圧出力端子 1 3 0 8 ) から、後述のソース信号ライン 1 0 4 を介して、その液晶駆動電圧出力端子に対応した、液晶パネル 9 0 1 内の液晶表示素子 ( 図示せず ) へそれぞれ出力する。 40

【 0 0 1 2 】

図 1 0 に基づいて、上記液晶パネル 9 0 1 について説明する。図 1 0 は、上記液晶パネル 9 0 1 の構成を示している。液晶パネル 9 0 1 には、画素電極 1 0 1 、液晶からなる画素容量 1 0 2 、画素容量 1 0 2 への電圧印加をオン / オフするスイッチング素子としての 50

T F T 1 0 3、ソース信号ライン 1 0 4、ゲート信号ライン 1 0 5、液晶パネルの対向電極 1 0 6 が設けられている。図中、A で示す領域が、1 画素分の液晶表示素子であり、1 つの画素電極 1 0 1、1 つの画素電極 1 0 1 と重なる部分の液晶で構成される画素容量 1 0 2、および 1 つの T F T 1 0 3 で構成されている。

#### 【 0 0 1 3 】

ソース信号ライン 1 0 4 には、ソースドライバ 9 0 2 から、表示対象の画素の明るさに応じた階調表示電圧が与えられる。ゲート信号ライン 1 0 5 には、ゲートドライバ 9 0 3 から、縦方向に並んだ T F T 1 0 3 が順次オンするように走査信号が与えられる。オン状態の T F T 1 0 3 を通して、該 T F T 1 0 3 のドレインに接続された画素電極 1 0 1 にソース信号ライン 1 0 4 の電圧が印加され、対向電極 1 0 6 との間の画素容量 1 0 2 に蓄積される。これにより、液晶において光透過率が変化し、表示が行われる。 10

#### 【 0 0 1 4 】

図 1 1 および図 1 2 は、液晶駆動波形の一例を示している。これらの図中、駆動波形 1 1 0 1、1 2 0 1 は、ソースドライバ 9 0 2 からの出力信号の駆動波形、駆動波形 1 1 0 2、1 2 0 2 はゲートドライバ 9 0 3 からの出力信号の駆動波形である。電位 1 1 0 3、1 2 0 3 は対向電極の電位であり、電圧波形 1 1 0 4、1 2 0 4 は画素電極の電圧波形である。液晶に印加される電圧は、画素電極 1 0 1 と対向電極 1 0 6 との電位差であり、図中には斜線で示されている。

#### 【 0 0 1 5 】

例えば、図 1 1 では、駆動波形 1 1 0 2 で示すゲートドライバ 9 0 3 からの出力信号が H i g h レベルのとき T F T 1 0 3 がオンし、駆動波形 1 1 0 1 で示すソースドライバ 9 0 2 からの出力信号と対向電極 1 0 6 の電位 1 1 0 3 との差が画素電極 1 0 1 に印加される。このあと、駆動波形 1 1 0 2 で示されるように、ゲートドライバ 9 0 3 からの出力信号は L o w レベルとなり、T F T 1 0 3 はオフ状態となる。このとき、画素では、画素容量 1 0 2 があるため、上述の電圧が維持される。図 1 2 の場合も同様である。 20

#### 【 0 0 1 6 】

図 1 1 と図 1 2 とは、液晶に印加される電圧が異なる場合を示しており、図 1 2 の場合は、図 1 1 の場合と比べて印加電圧が低い。このように、液晶に印加される電圧をアナログ電圧として変化させることで、液晶の光透過率をアナログ的に変え、多階調表示を実現している。表示可能な階調数は、液晶に印加されるアナログ電圧の選択肢の数により決定される。 30

#### 【 0 0 1 7 】

図 1 3 は、上記ソースドライバ 9 0 2 のブロック図の構成を示している。以下、基本的な部分のみ説明する。コントローラ 9 0 4 から転送されてきた各表示データ D R・D G・D B（例えば各 6 ビット）は、一旦、入力ラッチ回路 1 3 0 1 でラッチされる。なお、各表示データ D R・D G・D B は、それぞれ赤、緑、青に対応している。

#### 【 0 0 1 8 】

一方、スタートパルス信号 S S P I は、クロック信号 S C K に同期を取り、シフトレジスタ回路 1 3 0 2 内を転送され、シフトレジスタ回路 1 3 0 2 の最終段から次段のソースドライバにスタートパルス信号 S S P O（カスケード信号）として出力される。 40

#### 【 0 0 1 9 】

このシフトレジスタ回路 1 3 0 2 の各段からの出力信号に同期して、先の入力ラッチ回路 1 3 0 1 にてラッチされた表示データ D R・D G・D B は、時分割でサンプリングメモリ回路 1 3 0 3 内に一旦記憶されると共に、次のホールドメモリ回路 1 3 0 4 に出力される。

#### 【 0 0 2 0 】

1 水平同期期間の表示データがサンプリングメモリ回路 1 3 0 3 に記憶されると、ホールドメモリ回路 1 3 0 4 は、水平同期信号（ラッチ信号 L s）に基づいてサンプリングメモリ回路 1 3 0 3 からの出力信号を取り込み、次の水平同期信号が入力されるまでその表示データを維持する。

## 【 0 0 2 1 】

レベルシフト回路 1 3 0 5 は、液晶パネル 9 0 1 へ印加されるアナログ電圧に係る処理を行う次段の D A 変換回路 1 3 0 6 に表示データの信号レベルを適合させるために、信号レベル昇圧等により表示データの信号レベルを変換する回路である。基準電圧発生回路 1 3 0 9 は、先述の液晶駆動電源 9 0 5 からの参照電圧 V R に基づき、階調表示用の各種アナログ電圧を発生させ、D A 変換回路 1 3 0 6 に出力する。

## 【 0 0 2 2 】

D A 変換回路 1 3 0 6 は、基準電圧発生回路 1 3 0 9 から供給される各種アナログ電圧から、レベルシフト回路 1 3 0 5 にてレベル変換された表示データに応じてアナログ電圧を選択する。この階調表示を表すアナログ電圧は、出力回路 1 3 0 7 を介して、各液晶駆動電圧出力端子 1 3 0 8 から液晶パネル 9 0 1 の各ソース信号ラインへ出力される。出力回路 1 3 0 7 は、基本的にはバッファ回路であり、例えば差動増幅回路を用いたボルテージフォロワ回路で構成されるものである。

## 【 0 0 2 3 】

次に、上記ソースドライバ 9 0 2 中における電極パッドと液晶駆動出力回路との接続構成例を図 1 4 に示す。図 1 4 には図示していないが、液晶駆動出力回路 2 0 0 3 は、図 1 3 のソースドライバ 9 0 2 と同様に、シフトレジスタ回路 1 3 0 2、サンプリングメモリ回路 1 3 0 3、ホールドメモリ回路 1 3 0 4、レベルシフト回路 1 3 0 4、D A 変換回路 1 3 0 6、出力回路 1 3 0 7 とを備えている。

## 【 0 0 2 4 】

ソースドライバ 9 0 2 には、電極パッドとして、電源端子 2 0 0 0、入力端子 2 0 0 1、および液晶駆動電圧出力端子 2 0 0 2 ( Y 1 ~ Y 3 8 4 ) が配置されている。ソースドライバ 9 0 2 は、一般に長方形の平面形状を有している。メタル配線パターン 2 0 0 5 と液晶駆動出力回路 2 0 0 3 との電気接続のための電極パッド ( 液晶駆動電圧出力端子 ) 2 0 0 2 ( Y 1 ~ Y 3 8 4 ) が、ソースドライバ 9 0 2 の周囲に沿って所定の配列ピッチで複数配列されている。前記液晶駆動電圧出力端子 2 0 0 2 は、3 8 4 個の出力端子 Y 1 ~ Y 3 8 4 により構成されており、ソースドライバチップの 3 辺または 4 辺 ( 同図においては 4 辺 ) に並行に配置され、長辺の 1 辺側に画像信号入力用の入力端子 2 0 0 1 ・ ・ ・ 及び電源端子 2 0 0 0 ・ ・ ・ 等の電極パッドが配置されている。液晶駆動電圧出力端子 2 0 0 2 の内側に、複数配列された液晶駆動出力回路 2 0 0 3 が構成され、該液晶駆動出力回路 2 0 0 3 による各セルの並びは、出力回路セルの配置順及びシフトレジスタのシフト順序が規則正しく同じ順序 ( 液晶駆動電圧出力端子 2 0 0 2 の並び順と同じ順序 ) に配置されている。

## 【 0 0 2 5 】

特許文献 1 には、テープキャリアパッケージ基材の左端および右端に設けられた入出力信号用の外部接続端子に接続された一对の接続パッドと、該一对の接続パッド間を電氣的に接続する内部配線とを有する液晶ドライバ IC が開示されている。

【特許文献 1】特開平 6 - 3 6 8 4 号広報 ( 平成 6 年 ( 1 9 9 4 ) 1 月 1 4 日公開 ; 特許第 2 8 3 7 0 2 7 号に対応 ; 図 1 ・ 2 参照 )

## 【 発明の開示 】

## 【 発明が解決しようとする課題 】

## 【 0 0 2 6 】

近年、深刻なデフレーションによる液晶パネル製品への価格破壊は、セットメーカーのみならず部品メーカーにとっても年々厳しさを増しており、ソースドライバ、ゲートドライバ並びにコントローラ等々においても、より一層のコストダウンが強く求められているのが現状である。本願発明は、そのなかでも特にソースドライバチップでのコストダウンを図るものである。以下、従来技術の課題について説明を行うものとする。

## 【 0 0 2 7 】

上記図 1 4 に示す従来のソースドライバチップは、一般に図 1 4 に示すように長方形の平面形状を有しており、その周囲に沿って配線パターンと液晶駆動出力回路との電気接続

10

20

30

40

50

用のパッド、即ち液晶駆動電圧出力端子（Ｙ１～Ｙ３８４）が所定の配列ピッチで４辺に並行に配置されている。ここでは、液晶駆動出力回路の各セルの並びは、出力回路セルの配置順及びシフトレジスタのシフト順序が規則正しく同じ順序（液晶駆動電圧出力端子２００２の並び順と同じ順序）に配置されている。

【００２８】

しかしながら、昇順された液晶駆動出力回路のセルから長辺側に設けられた液晶駆動電圧出力端子（Ｙ１～Ｙ３８４）に配線パターンを引き廻す場合、配線間での制約等を受けて配線による積み重なりが集中するため、配線効率が悪くなるという問題点を有している。そのため、引き廻し配線のパターン面積は大きくなり、その結果、ソースドライバチップの外形寸法は大きくなり、製造コスト等がアップするという問題がある。

10

【００２９】

本発明は、上記従来の問題点に鑑みなされたものであって、その目的は、引き廻し配線の面積を縮小化することにより短辺長の削減を図り、より小型で低コストの表示パネル駆動装置および表示装置を提供することにある。

【課題を解決するための手段】

【００３０】

本発明の表示パネル駆動装置は、上記の課題を解決するために、複数の表示画素と該表示画素を駆動するための複数の駆動用配線とを含む表示パネルに対し、上記表示画素を駆動するための駆動電圧を上記駆動用配線を介して上記表示画素に印加するための表示パネル駆動装置であって、長方形またはそれに類似の形状を有する基板と、上記基板の周縁部に配置された、上記駆動電圧を出力するための複数の電極パッドと、上記基板上における電極パッドよりも内側に配置された、上記駆動電圧を上記表示パネルに出力するための駆動電圧出力回路と、上記駆動電圧出力回路と上記電極パッドとを接続する複数の配線とを備え、配線の一部が、駆動電圧出力回路との接続点から、駆動電圧出力回路と重なる領域を通り、その領域とその領域外との境界線における基板短辺側の部分を跨いで電極パッドまで引き廻されていることを特徴としている。

20

【００３１】

なお、本願明細書において、「長方形またはそれに類似の形状」とは、長方形以外に、短辺側と長辺側とが識別できる程度に長方形を変形させた形状を含むものとする。

【００３２】

本発明の表示パネル駆動装置は、上記の課題を解決するために、複数の表示画素と該表示画素を駆動するための複数の駆動用配線とを含む表示パネルに対し、上記表示画素を駆動するための駆動電圧を上記駆動用配線を介して上記表示画素に印加するための表示パネル駆動装置であって、基板と、上記基板の周縁部に配置された、上記駆動電圧を出力するための複数の電極パッドと、上記基板上における電極パッドよりも内側に配置された、上記駆動電圧を上記表示パネルに出力するための駆動電圧出力回路と、上記駆動電圧出力回路と上記電極パッドとを接続する複数の配線とを備え、上記液晶駆動出力回路が、複数のブロックに分割され、上記配線の一部が、駆動電圧出力回路との接続点から、ブロック間のスペースを通して上記電極パッドまで引き廻されていることを特徴としている。

30

【００３３】

上記各回路セルは、典型的には、パルス信号を順次シフトするためのシフトレジスタ回路と、シフトレジスタ回路から出力されたパルス信号に同期して、表示データ信号を時分割で記憶するためのサンプリングメモリ回路と、シフトレジスタ回路から出力された表示データ信号を所定の期間保持した後、出力するためのホールドメモリ回路と、ホールドメモリ回路から出力された表示データ信号のレベルを変換するためのレベルシフタ回路と、複数種類のアナログ電圧から、レベルシフタ回路でレベル変換された表示データ信号に応じたアナログ電圧を選択して出力するためのＤＡ変換回路と、ＤＡ変換回路から出力されたアナログ電圧を表示パネルへ出力するための出力回路とを備えるものである。また、上記表示パネルは、典型的には、上記表示画素として液晶を含む液晶表示パネルである。

40

【００３４】

50

本発明の表示装置は、上記の課題を解決するために、複数の表示画素と該表示画素を駆動するための複数の駆動配線とを含む表示パネル、および、上記構成の表示パネル駆動装置を備えることを特徴としている。

【発明の効果】

【0035】

本発明の表示パネル駆動装置は、長方形の基板と、上記基板の周縁部に配置された、上記駆動電圧を出力するための複数の電極パッドと、上記基板上における電極パッドよりも内側に配置された、上記駆動電圧を上記表示パネルに出力するための駆動電圧出力回路と、上記駆動電圧出力回路と上記電極パッドとを接続する複数の配線とを備え、配線の一部が、駆動電圧出力回路との接続点から、駆動電圧出力回路と重なる領域を通り、その領域とその領域外との境界線における基板短辺側の部分を跨いで電極パッドまで引き廻されている構成である。

10

【0036】

それゆえ、従来は全て駆動電圧出力回路の外側の領域に引き廻されていた配線の一部を駆動電圧出力回路と重ねたことで、駆動電圧出力回路の外側の配線領域（配線を配置するために必要な基板上の領域）の面積を削減することができ、短辺長のサイズを縮小することができる。その結果、本発明は、小型で低コストの表示パネル駆動装置を提供できるという効果を奏する。

【0037】

上記表示パネル駆動装置において、上記駆動電圧出力回路は、表示パネルの個々の駆動配線に対応する複数の回路セルが基板の長辺方向に並べられてなり、上記複数の回路セルは、回路セルに接続された配線が、回路セルとの接続点から、駆動電圧出力回路と重なる領域を通り、その領域とその領域外との境界線における基板短辺側の部分を跨いで電極パッドまで引き廻されている第1の回路セル群と、回路セルに接続された配線が、回路セルとの接続点から、駆動電圧出力回路と重なる領域を通ることなく電極パッドまで引き廻されている第2の回路セル群とを含み、第1の回路セル群は、その回路セルと配線との接続点の並び順が、その回路セルに接続された電極パッドの並び順と逆の順序となるように配置されており、第2の回路セル群は、その回路セルと配線との接続点の並び順が、その回路セルに接続された電極パッドの並び順と同じ順序となるように配置されている構成であれば、さらに以下の効果を奏する。すなわち、この構成では、電極パッドの並び順が表示パネルの駆動配線の並び順と一致することになるので、現在の通常の仕様の表示パネルに対して通常の仕様のTCP等を用いて容易に接続することができる。

20

30

【0038】

上記表示パネル駆動装置において、上記各回路セルが、シフトレジスタを備え、上記複数の回路セルは、第1の回路セル群内におけるシフトレジスタ間のシフト順序が、第2のセル群内におけるシフトレジスタ間のシフト順序と逆の順序となるように配置されている構成であれば、さらに以下の効果を奏する。すなわち、この構成では、電極パッドの並び順が表示パネルの駆動配線の並び順と一致することになるので、現在の通常の仕様の表示パネルに対して通常の仕様のTCP等を用いて容易に接続することができる。

【0039】

上記表示パネル駆動装置において、上記駆動電圧出力回路は、表示パネルの個々の駆動配線に対応する複数の回路セルが基板の長辺方向に並べられてなり、上記複数の回路セルは、回路セルに接続された配線が、回路セルとの接続点から、駆動電圧出力回路と重なる領域を通り、その領域とその領域外との境界線における基板短辺側の部分を跨いで電極パッドまで引き廻されている第1の回路セル群と、回路セルに接続された配線が、回路セルとの接続点から、駆動電圧出力回路と重なる領域を通ることなく電極パッドまで引き廻されている第2の回路セル群とを含み、上記各回路セルが、シフトレジスタを備え、上記複数の回路セルは、第1の回路セル群内におけるシフトレジスタ間のシフト順序が、第2のセル群内におけるシフトレジスタ間のシフト順序と逆の順序となるように配置されている構成であれば、さらに以下の効果を奏する。すなわち、この構成では、電極パッドの並び

40

50

順が表示パネルの駆動配線の並び順と一致することになるので、現在の通常の仕様の表示パネルに対して通常の仕様のTCP等を用いて容易に接続することができる。

【0040】

上記表示パネル駆動装置において、上記液晶駆動出力回路が、複数のブロックに分割され、上記配線の一部が、駆動電圧出力回路との接続点から、ブロック間のスペースを通して上記電極パッドまで引き廻されていれば、さらに以下の効果を奏する。すなわち、この構成では、従来は駆動電圧出力回路の外側における長辺側の領域に引き廻されて短辺長のサイズを増大させていた配線の一部を、液晶駆動出力回路のブロック間のスペースを通して引き廻したことで、駆動電圧出力回路の外側における長辺側の配線領域の幅（基板短辺長のサイズ）を削減でき、短辺長のサイズを縮小することができる。その結果、本発明は、小型で低コストの表示パネル駆動装置を提供できるという効果を奏する。

10

【0041】

また、本発明の表示パネル駆動装置は、基板と、上記基板の周縁部に配置された、上記駆動電圧を出力するための複数の電極パッドと、上記基板上における電極パッドよりも内側に配置された、上記駆動電圧を上記表示パネルに出力するための駆動電圧出力回路と、上記駆動電圧出力回路と上記電極パッドとを接続する複数の配線とを備え、上記液晶駆動出力回路が、複数のブロックに分割され、上記配線の一部が、駆動電圧出力回路との接続点から、ブロック間のスペースを通して上記電極パッドまで引き廻されている構成である。

【0042】

それゆえ、従来は駆動電圧出力回路の外側における長辺側の領域に引き廻されて短辺長のサイズを増大させていた配線の一部を、液晶駆動出力回路のブロック間のスペースを通して引き廻したことで、駆動電圧出力回路の外側における長辺側の配線領域の幅（基板短辺長のサイズ）を削減でき、短辺長のサイズを縮小することができる。その結果、本発明は、小型で低コストの表示パネル駆動装置を提供できるという効果を奏する。

20

【0043】

また、本発明によれば、複数の表示画素と該表示画素を駆動するための複数の駆動配線を含む表示パネル、および、上記構成の表示パネル駆動装置を備えるので、小型で低コストの表示装置を提供できるという効果を奏する。

【発明を実施するための最良の形態】

30

【0044】

〔実施の形態1〕

本発明に係る液晶駆動装置およびその駆動回路の実施の形態につき、図面に基づいて説明する。

【0045】

本発明の実施の一形態について、図面に基づいて説明すれば以下の通りである。なお、以下で説明する液晶駆動装置を含んでいる上記液晶表示装置の液晶パネルの構成および液晶駆動波形については、図10ないし図12に基づいて先に説明した従来の構成と同一であるため、ここではその説明を省略する。以下では、主に、本発明の特徴である液晶駆動装置の駆動回路（ソースドライバ）について説明する。

40

【0046】

図1は、本発明の実施形態におけるアクティブマトリクス方式の代表例であるTFＴ（薄膜トランジスタ）方式の液晶表示装置のブロック構成を示している。

【0047】

この液晶表示装置は、液晶表示部とそれを駆動する液晶駆動装置10とで構成されている。上記液晶表示部は、TFＴ方式の液晶パネル11を含んでいる。この液晶パネル11内には、図示しない液晶や画素電極、TFＴ等からなる液晶表示素子と、後述の対向電極（共通電極）16とが設けられている。また、液晶パネル11内には、図示しないが、後述するソースドライバ（表示パネル駆動装置）12からの信号を液晶表示素子（図示しない）のTFＴに供給するためのソース信号ライン（駆動用配線）と、ゲートドライバ13

50

からの信号を液晶表示素子（図示しない）に供給するためのゲート信号ラインとが設けられている。

【0048】

一方、上記液晶駆動装置10は、それぞれIC(Integrated Circuit)からなるソースドライバ（表示パネル駆動装置）12およびゲートドライバ13と、コントローラ14と、液晶駆動電源15とを含んでいる。

【0049】

ソースドライバ12やゲートドライバ13は、一般的には、配線のあるフィルム上に前記ICチップを搭載したもの、例えばTCPを、液晶パネル11のITO端子等の端子上に実装し、接続する方法や、前記ICチップをACF（Anisotropic Conductive Film；異方性導電膜）を介して直接、液晶パネル11のITO端子等の端子に熱圧着して実装し、接続する方法で、液晶パネル11に接続されている。

10

【0050】

また、液晶表示装置の小型化に対応するため、前述したコントローラ14、液晶駆動電源15、ソースドライバ12、ゲートドライバ13が1チップで構成されたり、2ないし3チップで構成されたりすることもある。図1では、これらの構成を機能別に分離した形で示している。

【0051】

コントローラ14は、デジタル化された表示データ（例えば、赤、緑、青に対応するRGBの各信号）および各種制御信号をゲートドライバ13に出力している。

20

【0052】

ソースドライバ12への主な制御信号は、水平同期信号、スタートパルス信号及びソースドライバ用クロック信号等があり、図中ではS11で示されている。一方、ゲートドライバ13への主な制御信号は、垂直同期信号やゲートドライバ用クロック信号等があり、図中ではS12で示されている。なお、図中、各ICを駆動するための電源は省略している。

【0053】

液晶駆動電源15は、ソースドライバ12およびゲートドライバ13へ液晶パネル表示用電圧（本発明に係るものとしては、階調表示用電圧を発生させるための参照電圧）を供給するものである。

30

【0054】

外部から入力された表示データDは、コントローラ14を通してデジタル信号でソースドライバ12へ上記表示データDとして入力される。

【0055】

ソースドライバ12は、入力された表示データを時分割で内部にラッチし、その後、コントローラ14から入力される上記水平同期信号（ラッチ信号Lsとも言う）に同期してDA（デジタル・アナログ）変換を行なう。そして、ソースドライバ12は、DA変換によって得られた、階調表示用のアナログ電圧（液晶パネル11の表示画素を駆動するための駆動電圧）を、液晶駆動電圧出力端子（電極パッド）1002（後述する）から、その液晶駆動電圧出力端子1002に対応した液晶パネル11内の複数のソース信号ライン（液晶パネル11の表示画素を駆動するための駆動用配線）を介して、その液晶駆動電圧出力端子に対応した、液晶パネル11内の液晶表示素子（表示画素；図示せず）へそれぞれ出力（印加）する。

40

【0056】

次に、前記ソースドライバ12における電極パッドと液晶駆動出力回路との接続構成例を図2に示す。

【0057】

上記ソースドライバ12は、長方形の基板1007上に、各種の回路や配線パターンが形成されて構成されている。ソースドライバ12は、平面形状を有している。

【0058】

50

ソースドライバ１２では、複数の金属配線からなる金属配線パターン１００５と液晶駆動出力回路１００３との電氣的接続のための液晶駆動電圧出力端子１００２が、基板１００７の周囲に沿って所定の配列ピッチで複数配列されている。液晶駆動電圧出力端子１００２は、前記階調表示用のアナログ電圧（液晶パネル１１の表示画素を駆動するための駆動電圧）を液晶パネル１１に出力するための出力端子である。本実施形態のソースドライバ１２は、液晶駆動電圧出力端子１００２として３８４個の出力端子（電極パッド）Ｙ１～Ｙ３８４を持っている。出力端子Ｙ１～Ｙ３８４は、液晶パネル１１に電氣的に接続される電極パッドとして、該ソースドライバ１２の４辺（基板１００７の４辺）に並行に配置される。また、他方の長辺側には液晶駆動電圧出力端子１００２の他に、前記複数の電源端子（電極パッド）１０００、及び複数の入力端子（電極パッド）１００１等が設けら

10

#### 【００５９】

上記電極パッド１０００～１００２は、上記基板１００７の片面の周縁部に配置されている。すなわち、上記基板１００７の表面には、基板１００７の両方の長辺と両方の短辺に沿って多数の電極としての電極パッド１０００、１００１、１００２が形成されている。

#### 【００６０】

上記の電極パッド１０００～１００２は、後述する金属配線パターン１００５に接続された銅やアルミニウム等のような金以外の金属からなるパッド上に、メッキにて図示しない金バンプ(bump)が形成されて構成されている。上記金バンプの高さや平面方向のサイズはバンプピッチ（金バンプと金バンプの間隔）によって変わるが、例えば、典型的には、平面方向のサイズが４０～９０μm、高さが１０～２０μmの金バンプが使用される。

20

#### 【００６１】

基板１００７上における、前記電極パッド１０００～１００２よりも内側には、前記階調表示用のアナログ電圧（液晶パネル１１の表示画素を駆動するための駆動電圧）を液晶パネル１１に出力するための液晶駆動出力回路（駆動電圧出力回路）１００３と、基準電圧発生回路（図示しない）及び入力ラッチ回路（図示しない）を含む制御回路１００４とが設けられている。金属配線パターン１００５の各金属配線は各々、液晶駆動出力回路１００３を構成する１つの回路セル（後述）と１つの液晶駆動電圧出力端子１００２とを接続するようになっている。

30

#### 【００６２】

図３に、上記液晶駆動出力回路１００３のより詳細な回路構成例を示す。図３における液晶駆動出力回路１００３は、液晶パネル１１の個々のソース信号ライン（駆動用配線）に対応する複数の回路セルが基板１００７の長辺方向に並べられてなり、各回路セルは、シフトレジスタ回路（シフトレジスタ）３０２、サンプリングメモリ回路３０３、ホールドメモリ回路３０４、レベルシフタ回路３０５、ＤＡ変換回路３０６、出力回路３０７とを備えている。以下、各回路セルを、それに接続された電極パッドの符号（Ｙ１～Ｙ３８４）で表す。

#### 【００６３】

以下、基本的な部分について機能説明をする。制御回路１００４は、基準電圧発生回路３００及び図示しない入力ラッチ回路を含んでいる。基準電圧発生回路３００（は、表示データの階調数 $m$ （ $m$ は４以上）に対応する $m$ 種類のアナログ電圧を発生させ、ＤＡ変換回路３０６に出力するものである。例えば、表示データがＲＧＢに対応する表示データ（表示デジタル信号；表示データ信号） $DR \cdot DG \cdot DB$ であり、表示データ $DR \cdot DG \cdot DB$ が各々６ビットのデジタル信号で構成されている場合、基準電圧発生回路３００は、６４種類の参照電圧 $V_{Ri}$ （ $i = 0 \sim 63$ の中から選択される６４通りの値）から $2^6 = 64$ 通りの階調表示に対応する６４種類のアナログ電圧 $V_0 \sim V_{63}$ を発生させ、ＤＡ変換回路３０６に出力する。

40

#### 【００６４】

入力ラッチ回路３０１は、コントローラ１４から転送されてきた各表示データ $DR \cdot D$

50

G・DBを、一旦、ラッチするよう構成される。制御回路1004は、シフトレジスタ関係のクロック等を制御する回路である。

【0065】

シフトレジスタ回路302は、クロック信号に同期を取り、外部より入力されるスタートパルス信号を各段で順次シフトして出力信号（パルス信号）として出力するものである。サンプリングメモリ回路303は、該シフトレジスタ回路302の各段からの出力信号に同期して、先の入力ラッチ回路301にてラッチされた表示データDR・DG・DBを、時分割で一旦記憶すると共に、次のホールドメモリ回路304に出力する。

【0066】

ホールドメモリ回路304は、シフトレジスタ回路302から出力された表示データを、所定の期間（一般には1水平同期期間）保持した後、出力するものである。具体的には、1水平同期期間の表示データがサンプリングメモリ回路303に記憶されると、ホールドメモリ回路304は、水平同期信号（ラッチ信号Ls）に基づいてサンプリングメモリ回路303からの出力信号を取り込み、次の水平同期信号が入力されるまでその表示データを維持する。

10

【0067】

レベルシフタ回路305は、液晶パネル11へ印加されるアナログ電圧に係る処理を行う次段のDA変換回路306に表示データの信号レベルを適合させるために、表示データに対して信号レベル昇圧等の信号レベルの変換を行う回路である。

【0068】

DA変換回路306は、前記、基準電圧発生回路300から供給される複数種類のアナログ電圧から、レベルシフタ回路305にてレベル変換された表示データに応じたアナログ電圧を選択する。この階調表示を表すアナログ電圧は、出力回路307を介して、各液晶駆動電圧出力端子（電極パッド）1002（Y1～Y384）から液晶パネルの各ソース信号ラインへ出力される。

20

【0069】

該出力回路307は、基本的には、DA変換回路306から出力されたアナログ電圧をバッファするバッファ回路であり、例えば差動増幅回路を用いたボルテージフォロワ回路で構成されるものである。尚、1出力端子に1個の液晶駆動出力回路1003からなる。

【0070】

本実施形態のソースドライバ12においては、金属配線パターン1005を構成する複数の配線のうち、基板1007における金属配線パターン1005と液晶駆動出力回路1003との接続点から遠い方の長辺の側または短辺の側に配置された出力端子Y1～Y39・Y344～Y384に接続された配線が、液晶駆動出力回路1003との接続点から、液晶駆動出力回路1003と重なる領域を通り、その領域とその領域外との境界線における基板1007短辺側の部分（この場合、基板1007の短辺）を跨いで液晶駆動電圧出力端子1002まで引き廻されている。

30

【0071】

これにより、従来は全て液晶駆動出力回路1003の外側の領域に引き廻されていた配線の一部を液晶駆動出力回路1003と重ねたことで、液晶駆動出力回路1003の外側の配線領域（金属配線パターン1005を配置するために必要な基板1007上の領域）の面積を削減することができ、ソースドライバ12の短辺長のサイズを縮小することができる。その結果、本発明は、小型で低コストのソースドライバ12を提供できる。

40

【0072】

また、出力回路307上へは多層金属配線からなる金属配線を複数本、積み重ねて形成することが可能となるため、（配線パターンの有効活用が可能）、その結果、ソースドライバ12の短辺長を削減することを実現できる。

【0073】

なお、液晶駆動出力回路1003と重なる領域を通る配線は、2層以上の配線パターンで形成されていることが好ましい。また、第2の回路セル群に属する回路セルと電極パッ

50

ドとを接続する配線を、２層以上の配線パターンで形成し、第１の回路セル群に属する回路セルと電極パッドとを接続する配線を、３層以上の配線パターンで形成することも好ましい。これらによれば、配線領域をさらに縮小化できる。

#### 【００７４】

本実施形態のソースドライバ１２においては、液晶駆動出力回路１００３の回路セルの配置順を全て昇順とはせずに、液晶駆動出力回路１００３から液晶駆動電圧出力端子１００２までの金属配線パターン１００５の領域が削減できるように、液晶駆動出力回路１００３の各回路セルの配置順の一部を昇順とは逆の順序に入れ替えている。

#### 【００７５】

すなわち、上記複数の回路セルは、回路セルに接続された配線が、回路セルとの接続点から、液晶駆動出力回路１００３と重なる領域を通り、その領域とその領域外との境界線における基板１００７短辺側の部分を跨いで電極パッドまで引き廻されている第１の回路セル群（回路セルＹ１～Ｙ３９および回路セルＹ３４４～Ｙ３８４）と、回路セルに接続された配線が、回路セルとの接続点から、駆動電圧出力回路と重なる領域を通ることなく電極パッドまで引き廻されている第２の回路セル群（回路セルＹ４０～Ｙ１９３および回路セルＹ１９４～Ｙ３４３）とを含み、第１の回路セル群は、その回路セルと配線との接続点の並び順が、その回路セルに接続された出力端子Ｙ１～Ｙ３９・Ｙ３４４～Ｙ３８４の並び順（図の右側から昇順）と逆の順序（図の右側から降順）となるように配置されており、第２の回路セル群は、その回路セルと配線との接続点の並び順（基板の周囲に沿った並び順）が、その回路セルに接続された出力端子Ｙ４０～Ｙ１９３・Ｙ１９４～Ｙ３４３の並び順（図の右側から昇順）と同じ順序となるように配置されている。

#### 【００７６】

これにより、出力回路３０７上へは多層金属配線からなるメタル配線を複数本、積み重ねて形成することが可能となるため、（金属配線パターンの有効活用が可能）、その結果、ソースドライバ１２の短辺長を削減できる。

#### 【００７７】

本実施形態のソースドライバ１２においては、回路セルの並び順の入れ替えに対応して、液晶駆動出力回路１００３の各シフトレジスタ回路３０２間のシフト順を入れ替えている。すなわち、本実施形態のソースドライバ１２においては、第１の回路セル群内におけるシフトレジスタ回路３０２間のシフト順序（転送順序）が、第２のセル群内におけるシフトレジスタ回路３０２間のシフト順序と逆の順序となるように配置されている。

#### 【００７８】

図４および図５は、前記ソースドライバ１２に配置される液晶駆動出力回路１００３のセルの配置順とシフトレジスタ回路３０２内を転送するスタートパルス信号（スタート信号）ＳＳＰＩのシフト方向との関係を示す。図４及び図５はそれぞれシフトレジスタ回路３０２内を転送するスタートパルス信号ＳＳＰＩのシフト方向による一例を示し、図４は左シフトＹ１→Ｙ３８４による一例を、図５は右シフトＹ３８４→Ｙ１による一例をそれぞれ示す。

#### 【００７９】

図４の例では、スタートパルス信号ＳＳＰＩは、回路セルＹ１～Ｙ３９内では図４の左から右へ向かう方向に転送され（Ｓ１）、回路セルＹ３９から回路セルＹ４０へは図４の右から左へ向かう方向に転送され（Ｓ２）、回路セルＹ４０～Ｙ３４３内ではスタートパルス信号ＳＳＰＩは図４の右から左へ転送され（Ｓ３・Ｓ４）、回路セルＹ３４３から回路セルＹ３４４へは図４の右から左へ向かう方向に転送され（Ｓ５）、回路セルＹ３４４～Ｙ３８４内では図４の左から右へ向かう方向に転送される（Ｓ６）。

#### 【００８０】

これにより、出力回路３０７上へは多層金属配線からなるメタル配線を複数本、積み重ねて形成することが可能となるため、（配線パターンの有効活用が可能）、その結果、ソースドライバの短辺長を削減できる。

#### 【００８１】

図 5 の例では、スタートパルス信号 S S P I は、回路セル Y 3 4 4 ~ Y 3 8 4 内では図 5 の右から左へ向かう方向に転送され ( S 1 )、回路セル Y 3 4 4 から回路セル Y 3 4 3 へは図 5 の左から右へ向かう方向に転送され ( S 2 )、回路セル Y 4 0 ~ Y 3 4 3 内ではスタートパルス信号 S S P I は図 5 の左から右へ転送され ( S 3 ・ S 4 )、回路セル Y 4 0 から回路セル Y 3 9 へは図 5 の左から右へ向かう方向に転送され ( S 5 )、回路セル Y 1 ~ Y 3 9 内では図 5 の右から左へ向かう方向に転送される ( S 1 )。

【 0 0 8 2 】

なお、図 4 の S 2 のようなスタートパルス信号 S S P I の流れを実現するためには、離れた位置の回路セル同士でスタートパルス信号 S S P I の転送を行うための特別な配線を追加することが必要になる。しかしながら、ここで必要とされる配線は、異なる回路セル

10

【 0 0 8 3 】

シフトレジスタ回路 3 0 2 同士を接続する配線には、通常、微細な配線幅 ( 1 本当たり約 1 . 0  $\mu$  m 程度 ) の金属配線を使ってレイアウトを行う。そのため、シフトレジスタ回路 3 0 2 同士を接続する配線の数の増大による、ソースドライバ 1 2 内の引き廻し配線領域の面積の増大は、比較的小さい。

【 0 0 8 4 】

それに対し、通常、液晶駆動出力回路 1 0 0 3 外側の配線 ( 金属配線パターン 1 0 0 5 ) には、配線抵抗等を考慮し、1 本当たり約 5 . 0  $\mu$  m 程度の太い配線幅の金属配線パターンを使用してレイアウトを行う。そのため、液晶駆動出力回路 1 0 0 3 外側の配線の数 ( 出力端子数 ) が多くなればなるほど、ソースドライバ 1 2 内の引き廻し配線領域の面積が顕著に増大する。したがって、液晶駆動出力回路 1 0 0 3 外側の配線の数の増大による、ソースドライバ 1 2 内の引き廻し配線領域の面積の増大は、比較的大きい。

20

【 0 0 8 5 】

よって、シフトレジスタ回路 3 0 2 同士を接続する配線が 1 本増えることによるソースドライバ 1 2 内の引き廻し配線領域の面積の増大量は、液晶駆動出力回路 1 0 0 3 外側の配線の数の削減によるソースドライバ 1 2 内の引き廻し配線領域の面積の削減量に比べると僅かなものであり、ほとんど影響がない。したがって、本発明においては、ソースドライバ 1 2 内の引き廻し配線領域の面積削減と、ソースドライバ 1 2 の短辺長の外形寸法の縮小とが可能となる。

30

【 0 0 8 6 】

〔実施の形態 2〕

本発明に係るその他の実施の一形態を図 6 ~ 図 8 に基づいて説明すれば、以下のとおりである。なお、説明の便宜上、実施の形態 1 で用いた部材と同じ機能を有する部材には同じ符号を付して説明する。

【 0 0 8 7 】

実施の形態 1 では、液晶駆動出力回路 1 0 0 3 から液晶駆動電圧出力端子 1 0 0 2 までの金属配線パターン 1 0 0 5 の領域は、特にソースドライバ 1 2 の短辺長 ( チップ短辺長 ) が削減できるように液晶駆動出力回路 1 0 0 3 の各回路セルの配置順が昇順 ( 対応する電極パッドの配置順と同じ順序 ) と逆の順序に並び替えられて構成されている。

40

【 0 0 8 8 】

これに対し、本実施の形態 2 では、各回路セルの配置順が昇順 ( 対応する電極パッドの配置順と同じ順序 ) と逆の順序に並び替えられて構成されているのに加えて、図 6 に示すように、液晶駆動出力回路 1 0 0 3 が 4 つのブロック 1 0 0 3 - 1 ~ 1 0 0 3 - 4 に分割され、液晶駆動出力回路 1 0 0 3 と液晶駆動電圧出力端子 1 0 0 2 とを接続する金属配線パターン 1 0 0 5 の一部が、液晶駆動出力回路 1 0 0 3 との接続点から、ブロック 1 0 0 3 - 1 ・ 1 0 0 3 - 2 間のスペースおよびブロック 1 0 0 3 - 3 ・ 1 0 0 3 - 4 間のスペースを通して液晶駆動電圧出力端子 1 0 0 2 まで引き廻されている。すなわち、液晶駆動出力回路 1 0 0 3 におけるブロック 1 0 0 3 - 1 とブロック 1 0 0 3 - 2 との間およびブロック 1 0 0 3 - 3 とブロック 1 0 0 3 - 4 との間を金属配線パターン 1 0 0 5 が通るよ

50

うに、ブロック1003-1・1003-2間およびブロック1003-3・1003-4間に、金属配線パターン1005を配置するための配線スペース領域1006を設けている。そして、金属配線パターン1005を構成する配線の一部該は、配線スペース領域1006を介し、一方の長辺側の縁部に設けられた複数の電源端子（電極パッド）1000、及び複数の入力端子（電極パッド）1001側の列に配置される液晶駆動出力回路1003との電氣的接続のための液晶駆動電圧出力端子（電極パッド）1002に接続されるよう構成されている。本実施の形態2に係る発明は、ソースドライバ12の短辺側のサイズ（短辺側のチップサイズ）が実施の形態1に対し更に小さくなるように構成することにより、チップ面積の縮小化を図ることを目的としている。

#### 【0089】

10

なお、液晶駆動出力回路1003におけるブロック1003-1とブロック1003-2との間およびブロック1003-3とブロック1003-4との間に金属配線パターン1005を通すことで、ソースドライバ12の長辺側のサイズ（長辺側のチップサイズ）は若干大きくなるが、それ以上にソースドライバ12の短辺側のサイズ（短辺側のチップサイズ）を小さくできるため、ソースドライバ12の平面サイズ（チップ面積）の縮小化が実現できる。

#### 【0090】

本発明の他の実施の一形態による、前記ソースドライバ12における電極パッドと上記液晶駆動出力回路1003との接続構成例を図6に示す。

#### 【0091】

20

上記ソースドライバ12は、長方形の基板1007上に、各種の回路や配線パターンが形成されて構成されている。ソースドライバ12は、平面形状を有している。

#### 【0092】

ソースドライバ12では、複数の金属配線からなる金属配線パターン1005と液晶駆動出力回路1003との電氣的接続のための液晶駆動電圧出力端子1002が、基板1007の周囲に沿って所定の配列ピッチで複数配列されている。液晶駆動電圧出力端子1002は、前記階調表示用のアナログ電圧（液晶パネル11の表示画素を駆動するための駆動電圧）を液晶パネル11に出力するための出力端子である。本実施形態のソースドライバ12は、液晶駆動電圧出力端子1002として384個の出力端子（電極パッド）Y1～Y384を持っている。出力端子Y1～Y384は、液晶パネル11に電氣的に接続される電極パッドとして、該ソースドライバ12の4辺（基板1007の4辺）に並行に配置される。また、他方の長辺側には液晶駆動電圧出力端子1002の他に、前記複数の電源端子（電極パッド）1000、及び複数の入力端子（電極パッド）1001等が設けられている。

30

#### 【0093】

上記電極パッド1000～1002は、上記基板1007の片面の周縁部に配置されている。すなわち、上記基板1007の表面には、基板1007の両方の長辺と両方の短辺に沿って多数の電極としての電極パッド1000、1001、1002が形成されている。

#### 【0094】

40

上記の電極パッド1000～1002は、後述する金属配線パターン1005に接続された銅やアルミニウム等のような金以外の金属からなるパッド上に、メッキにて図示しない金バンプ(bump)が形成されて構成されている。上記金バンプの高さや平面方向のサイズはバンプピッチ（金バンプと金バンプの間隔）によって変わるが、例えば、典型的には、平面方向のサイズが40～90μm、高さが10～20μmの金バンプが使用される。

#### 【0095】

基板1007上における、前記電極パッド1000～1002よりも内側には、前記階調表示用のアナログ電圧（液晶パネル11の表示画素を駆動するための駆動電圧）を液晶パネル11に出力するための液晶駆動出力回路（駆動電圧出力回路）1003と、基準電圧発生回路（図示しない）及び入力ラッチ回路（図示しない）を含む制御回路1004と

50

が設けられている。金属配線パターン1005の各金属配線は各々、液晶駆動出力回路1003を構成する1つの回路セル(後述)と1つの液晶駆動電圧出力端子1002とを接続するようになっている。

#### 【0096】

図6に示す液晶駆動出力回路1003は、回路セルY344~Y364からなるブロック1003-1と、回路セルY194~Y343・Y365~Y384からなるブロック1003-2と、回路セルY1~Y19・Y41~Y193からなるブロック1003-3と、回路セルY20~Y40からなるブロック1003-4との4つに分割されている。なお、液晶駆動出力回路1003は、4つ以外の数の複数ブロックに分割されていても構わない。

10

#### 【0097】

図7に上記液晶駆動出力回路1003のより詳細な回路構成例を示す。上記図6で既に説明したように、液晶駆動出力回路1003は4つのブロック1003-1~1003-4に分割されて構成されており、液晶駆動出力回路1003におけるブロック1003-1とブロック1003-2との間およびブロック1003-3とブロック1003-4との間を金属配線パターン1005が通るように、ブロック1003-1・1003-2間およびブロック1003-3・1003-4間に、金属配線パターン1005を配置するための配線スペース領域1006が設けられている。そして、ブロック1003-2の回路セルY365~Y384、およびブロック1003-3の回路セルY1~Y19に接続された配線は、該配線スペース領域1006を介し、一方の長辺側(基板1007における金属配線パターン1005と液晶駆動出力回路1003との接続点から遠い方の長辺の側)、すなわち複数の電源端子(電極パッド)1000及び入力端子(電極パッド)1001の側の縁部に設けられた出力端子(電極パッド)Y1~Y19・Y365~Y384に接続されている。

20

#### 【0098】

また、出力端子(電極パッド)Y1~Y19・Y365~Y384に接続された配線は、液晶駆動出力回路1003との接続点から、液晶駆動出力回路1003と重なる領域を通り、その領域とその領域外との境界線における基板1007短辺側の部分(この場合、基板1007の短辺)を跨いで液晶駆動電圧出力端子1002まで引き廻されている。液晶駆動出力回路1003の回路セルY1~Y19・Y365~Y384の配置順は、液晶駆動出力回路1003からの金属配線パターン1005と液晶駆動電圧出力端子(電極パッド)1002までの金属配線パターン1005の領域の面積を削減できるように、図3と同様に、その回路セルY1~Y19・Y365~Y384に接続された出力端子Y1~Y19・Y365~Y384の並び順(昇順)とはせず、その並び順の逆順に並び替えて構成される。また、回路セルY1~Y19・Y365~Y384のシフトレジスタ回路302のシフト順序も、他の回路セルのシフト順序とは逆の順序に入れ替えている。それ以外の構成は図3と同じであるため、特にここでの説明は省略する。

30

#### 【0099】

図8に、前記液晶駆動出力回路1003、およびその周辺の金属配線パターン1005の部分を示す。本発明による液晶駆動出力回路1003と液晶駆動電圧出力端子(電極パッド)1002とを接続するための金属配線には、2層からなる金属配線(2MR配線)と3層からなる金属配線(3MR配線)との両方を使用している。前記3層からなる金属配線(3MR配線)は、回路セルY1~Y19・Y365~Y384に使用されており、液晶駆動出力回路1003の内側から液晶駆動電圧出力端子1002(出力端子Y1~Y19・Y365~Y384)へ接続されている。これにより、配線の積み重なり(上段側)が低減可能となり、前述した実施の形態1と同様に、ソースドライバ12の短辺方向のサイズ(短辺側のチップサイズ)を小さくできる。また、回路セルY20~Y364に前記2層からなる金属配線(2MR配線)が使用されているが、この2MR配線の積み重なり、すなわち高さHを低減できる。

40

#### 【0100】

50

本実施形態では、さらに 2MR 配線の高さ H を低減するために、金属配線パターン 1005 が、液晶駆動出力回路 1003 におけるブロック 1003-1 とブロック 1003-2 との間およびブロック 1003-3 とブロック 1003-4 との間を通るように配線スペース領域 1006 を設け、金属配線パターン 1005 が、液晶駆動出力回路 1003 から一方の長辺側の縁部に設けられた複数の電源端子（電極パッド）1000 及び入力端子（電極パッド）1001 側の列に配置される液晶駆動電圧出力端子（電極パッド）1002 に接続されている。これにより、2MR 配線の高さ H が低減可能となり、その結果、ソースドライバ 12 の短辺方向のサイズ（短辺側のチップサイズ）を更に小さくすることが実現可能となる。

#### 【0101】

10

なお、本実施形態では、実施の形態 1 と同様に回路セルの一部の配置順序を図 14 の配置順序と逆順に変更し、それら回路セルと電極パッドとを接続する配線を液晶駆動出力回路 1003 と重なる領域を通して引き廻していたが、全ての回路セルの配置順序を図 14 の配置順序に合わせ、全ての回路セルと電極パッドとを接続する配線を液晶駆動出力回路 1003 と重なる領域を通すことなく引き廻してもよい。この場合にも、従来の図 14 の構成と比較してソースドライバ 12 の短辺方向のサイズ（短辺側のチップサイズ）を小さくすることができる。

#### 【0102】

また、実施の形態 1 および実施の形態 2 では、一部の配線を液晶駆動出力回路 1003 と重なる領域を通して引き廻すと共に、その一部の配線に接続した回路セルの並び順を図 14 の配置順序と逆順に変更していたが、単に一部の配線を液晶駆動出力回路 1003 と重なる領域を通して引き廻し、全ての回路セルの並び順を図 14 の配置順序と同じ順のままにしてもよい。この構成では、電極パッドの並び順が表示パネルの駆動配線の並び順と一致しないことになるので、電極パッドと表示パネルのソース信号ラインとの接続順序を一部入れ替える必要がある。

20

#### 【0103】

また、ここでは、本発明をソースドライバに適用した例について説明したが、本発明は、ゲートドライバにも適用可能である。また、ここでは、TFT 方式の液晶パネルを駆動する表示パネル駆動装置について説明したが、本発明は、他の方式の液晶パネル、例えば単純マトリクス型の液晶パネルを駆動する駆動装置にも適用できるし、液晶パネル以外のマトリクス型の表示パネル、例えば、TFT 方式の有機 EL パネル等にも適用可能である。

30

#### 【0104】

以上のように、本発明に係る液晶表示装置及びその駆動回路は、液晶表示装置を駆動すべく液晶表示パネルの外縁に配される長方形をなす半導体素子を備え、上記半導体素子は一般に長方形の平面形状を有しており、前記、半導体素子には画像信号入力用の入力端子及び電源端子と液晶駆動電圧出力端子用の電極パッドが形成されてなり、その周囲に沿って金属配線パターンと液晶駆動出力回路との電気接続用のパッドが所定の配列ピッチで複数配列され、前記液晶駆動出力回路は、複数の回路セルからなり、前記液晶駆動出力回路に備えられたシフトレジスタの各セルによる配置順はシフトレジスタのシフト順序を入れ替えて配列されている構成である。

40

#### 【0105】

また、以上のように、本発明に係る液晶表示装置及びその駆動回路は、液晶表示装置を駆動すべく液晶表示パネルの外縁に配される長方形をなす半導体素子を備え、上記半導体素子は一般に長方形の平面形状を有しており、前記、半導体素子には画像信号入力用の入力端子及び電源端子と液晶駆動電圧出力端子用の電極パッドが形成されてなり、その周囲に沿って金属配線パターンと液晶駆動出力回路との電気接続用のパッドが所定の配列ピッチで複数配列され、前記液晶駆動出力回路は、複数の回路セルからなり、前記液晶駆動出力回路の各セルによる配置順は順序を入れ替えて並べられている構成である。

#### 【0106】

50

また、以上のように、上記構成の液晶表示装置及びその駆動回路では、前記各セルが、シフトレジスタ回路、サンプリングメモリ回路、ホールドメモリ回路、レベルシフタ回路、D/A変換回路、出力回路とを備えていてもよい。

【0107】

また、以上のように、上記構成の液晶表示装置及びその駆動回路は、前記液晶駆動出力回路内に備えられたシフトレジスタの各セルによる配置順がシフトレジスタのシフト順序を入れ替えて配列されている構成であってもよい。

【0108】

また、以上のように、上記構成の液晶表示装置及びその駆動回路では、前記液晶駆動出力回路には金属からなる多層メタル配線パターンが複数本積み重なり構成されていてもよい。

10

【0109】

また、以上のように、本発明に係る液晶表示装置及びその駆動回路は、液晶表示装置を駆動すべく液晶表示パネルの外縁に配される長方形をなす半導体素子を備え、上記半導体素子は一般に長方形の平面形状を有しており、前記、半導体素子には画像信号入力用の入力端子及び電源端子と液晶駆動電圧出力端子用の電極パッドが形成されてなり、その周囲には金属配線パターンと液晶駆動出力回路との電気接続用のパッドが所定の配列ピッチで複数配列され、前記、液晶駆動出力回路は各セルからなる複数のブロックが形成される共に、該ブロックの間にはメタル配線専用の配線スペース領域が設けられてなり、前記、液晶駆動出力回路からのメタル配線はメタル配線専用の配線スペース領域を介して、液晶駆動電圧出力端子用のパッドに接続されている構成である。

20

【0110】

また、以上のように、上記構成の液晶表示装置及びその駆動回路では、前記各セルが、シフトレジスタ回路、サンプリングメモリ回路、ホールドメモリ回路、レベルシフタ回路、D/A変換回路、出力回路とを備えていてもよい。

【0111】

また、以上のように、上記構成の液晶表示装置及びその駆動回路は、前記液晶駆動出力回路内に備えられたシフトレジスタの各セルによる配置順がシフトレジスタのシフト順序を入れ替えて配列されている構成であってもよい。

【0112】

また、以上のように、上記構成の液晶表示装置及びその駆動回路は、前記液晶駆動出力回路と液晶駆動電圧出力端子用のパッドとを接続するための配線として、2層からなる金属配線(2MR)と3層からなる金属配線(3MR)との両方を使用しており、前記3層からなる金属配線(3MR)は、チップの内側より液晶駆動電圧出力端子用のパッドへ接続されている構成であってもよい。

30

【0113】

本発明の液晶表示装置及びその駆動回路によれば、液晶駆動出力回路の各セルの配置は昇順とはせずに液晶駆動出力回路からの配線パターンと、電氣的接続用パッド、即ち液晶駆動電圧出力端子までの配線パターン領域を削減できるように該液晶駆動出力回路の各セルの配置順を入れ替えて構成(シフトレジスタのセルの配置順を入れ替え含む)している。これにより、出力回路へは積み重ね配線を使って形成することができる。このようにしてソースドライバチップにおける液晶駆動出力回路と液晶駆動電圧出力端子との配線パターンを効率的に行うことで、ソースドライバチップ内の引き廻し配線領域の面積の削減と、それに伴いソースドライバの短辺長の外形寸法を小さくすることが可能となり、製造コストの低減を実現できるという効果を奏する。

40

【産業上の利用可能性】

【0114】

本発明は、液晶表示パネル等の表示パネルを駆動すべく表示パネルの外縁に配される表示パネル駆動装置、およびそれを用いた液晶表示装置等の表示装置に適用でき、特に、低コストおよび小型化が要求される用途に有用である。

50

## 【図面の簡単な説明】

【0115】

【図1】本発明の代表的な実施の一形態に係るアクティブマトリクス方式の液晶表示装置の概略構成を示すブロック図である。

【図2】本発明の実施の一形態に係るソースドライバにおける電極パッドと液晶駆動出力回路との接続構成例の概略を示す平面図である。

【図3】上記液晶駆動出力回路のより詳細な回路構成を示す平面図である。

【図4】本発明のソースドライバに配置される液晶駆動出力回路のセルの配置順とシフトレジスタ回路内を転送されるスタートパルス信号の流れとの関係の一例を示す図である。

10

【図5】本発明のソースドライバに配置される液晶駆動出力回路のセルの配置順とシフトレジスタ回路内を転送されるスタートパルス信号の流れとの関係の他の例を示す図である。

【図6】本発明の他の実施の形態に係るアクティブマトリクス方式の液晶表示装置における、ソースドライバにおける電極パッドと液晶駆動出力回路との接続構成例の概略を示す平面図である。

【図7】図6の液晶表示装置における液晶駆動出力回路のより詳細な回路構成例を示す平面図である。

【図8】図6の液晶表示装置における液晶駆動出力回路およびその周辺の部分を示す図である。

20

【図9】液晶駆動装置と液晶パネルとを少なくとも含んでいる従来の液晶表示装置の概略の構成を示すブロック図である。

【図10】上記従来の液晶表示装置における液晶パネルの概略の構成を示す図である。

【図11】上記従来の液晶表示装置における液晶駆動波形の一例を示す波形図である。

【図12】上記従来の液晶表示装置における液晶駆動波形の他の一例を示す波形図である。

【図13】上記従来の液晶表示装置におけるソースドライバの一例の概略構成を示すブロック図である。

【図14】上記従来の液晶表示装置におけるソースドライバによる電極パッドと液晶駆動出力回路との接続構成例の概略を示す平面図である。

30

## 【符号の説明】

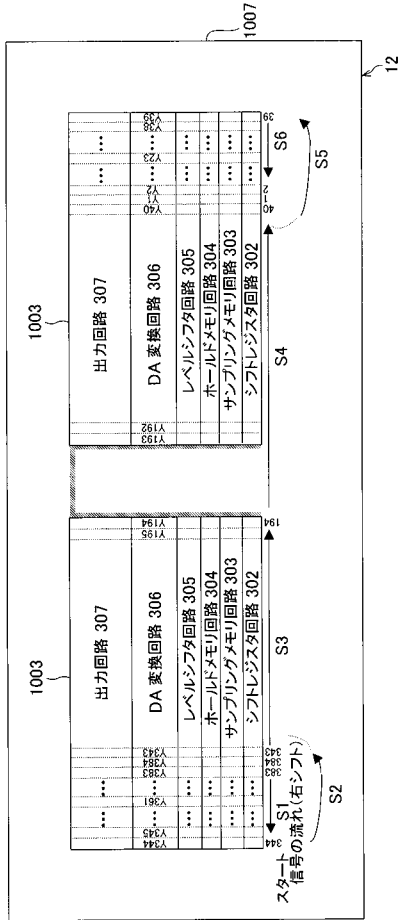
【0116】

- 11 液晶パネル（表示パネル）
- 12 ソースドライバ（表示パネル駆動装置）
- 1002 液晶駆動電圧出力端子（電極パッド）
- 1003 液晶駆動出力回路（駆動電圧出力回路）
- 1003 - 1 ~ 1003 - 4 ブロック
- 1004 制御回路
- 1005 金属配線パターン（配線）
- 1006 配線スペース領域
- 1007 基板
- Y1 ~ Y384 回路セル
- Y1 ~ Y384 出力端子
- Y1 ~ Y39・Y344 ~ Y384 回路セル（第1の回路セル群）
- Y40 ~ Y193・Y194 ~ Y343 回路セル（第2の回路セル群）

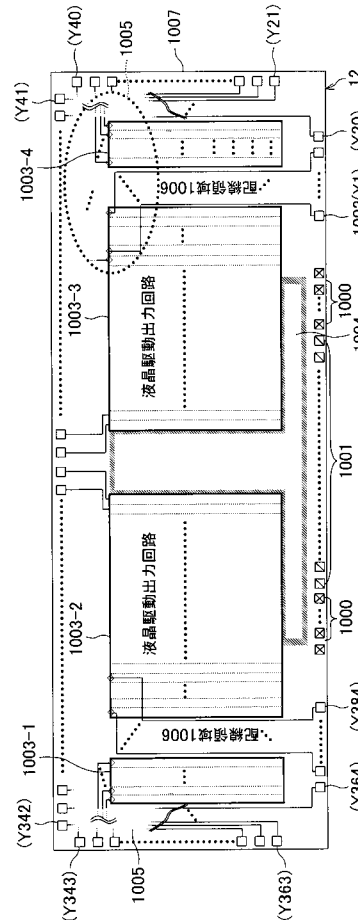
40



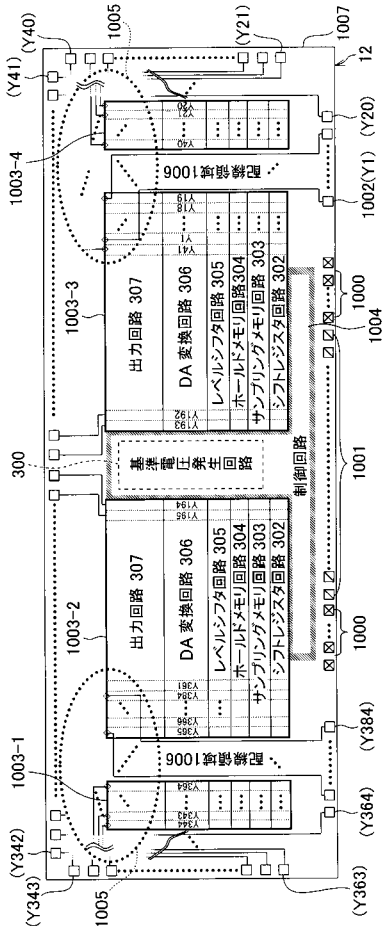
【図 5】



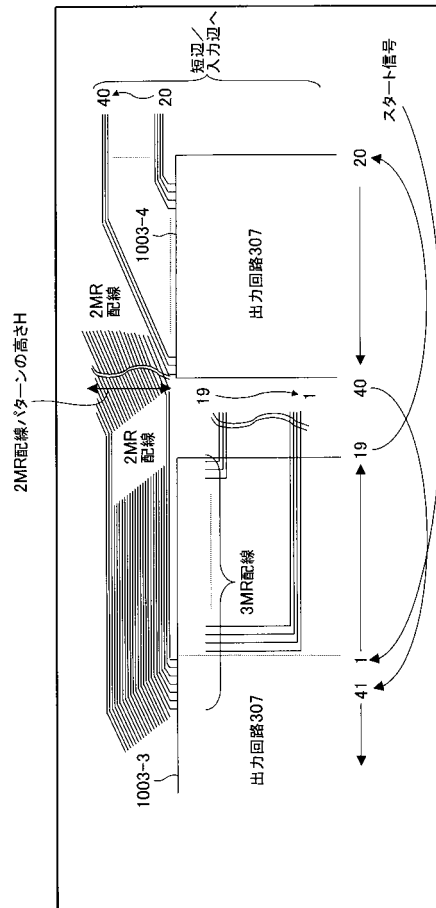
【図 6】



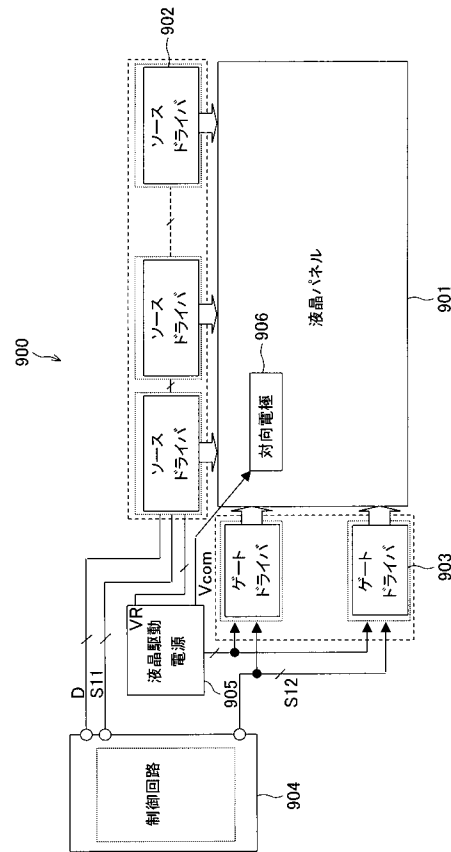
【図 7】



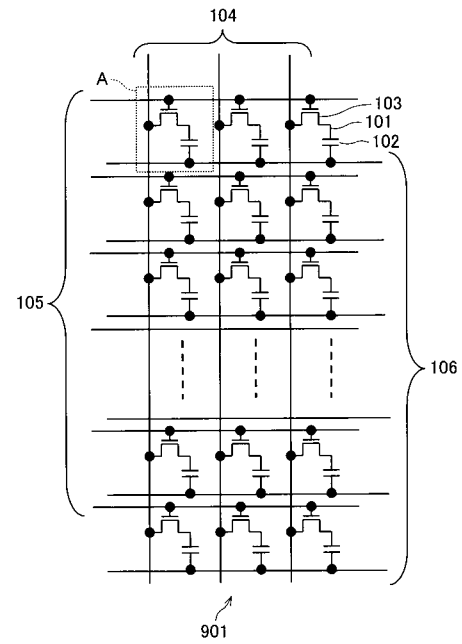
【図 8】



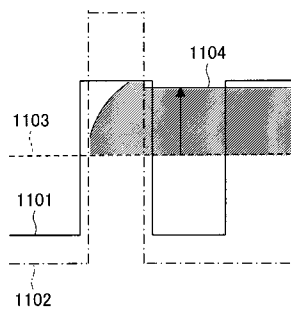
【図 9】



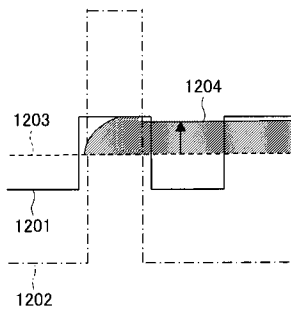
【図 10】



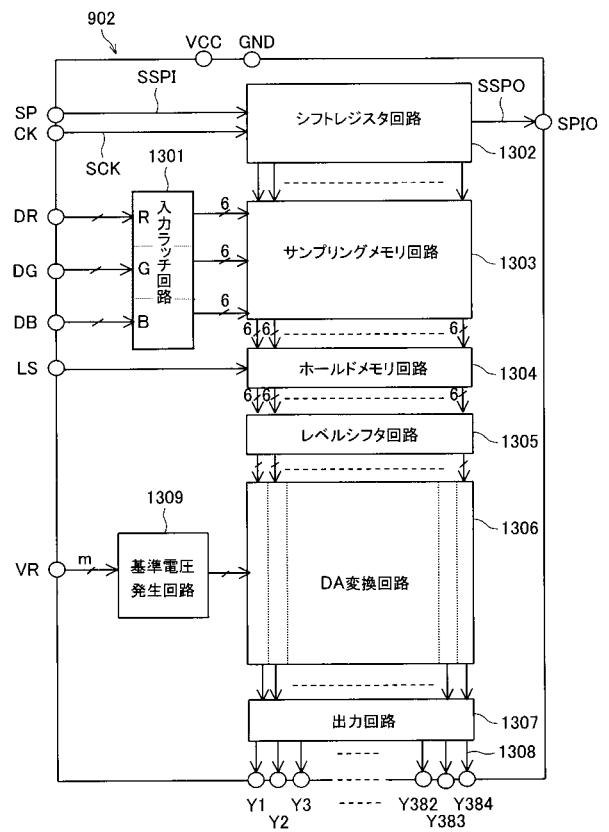
【図 11】



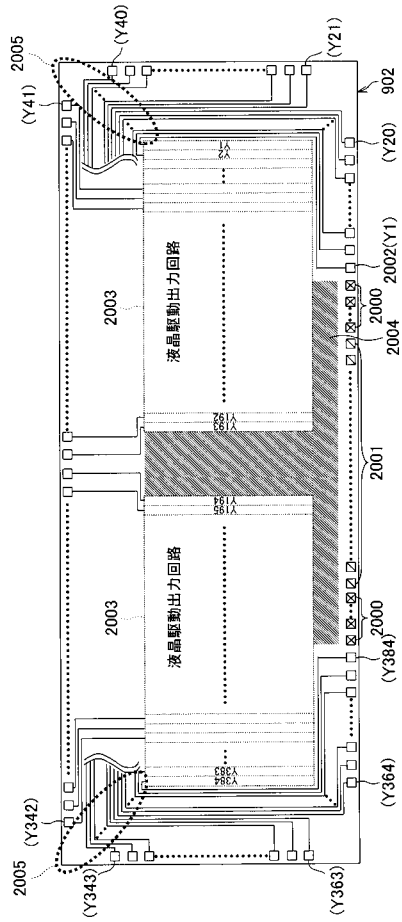
【図 12】



【図 13】



【図 14】



## フロントページの続き

(51)Int.Cl.<sup>7</sup>

F I

テーマコード(参考)

G 0 9 G 3/36

(72)発明者 矢野 武志

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

(72)発明者 中尾 友昭

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 2H092 GA32 GA45 GA59 HA12 HA24 JB24 PA06

2H093 NC22 NC23 NC24 ND42 ND43 ND55 NE07

5C006 AF82 BB16 BC02 BC12 BC23 BF03 BF11 BF43 BF46 EB05

FA41 FA51

5C080 AA10 BB05 DD22 DD25 FF11 JJ02 JJ03 JJ04 JJ06

5G435 AA17 AA18 BB12 CC09 EE34 EE41

|                |                                                                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
|----------------|--------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 显示面板驱动装置和显示装置                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| 公开(公告)号        | <a href="#">JP2005107239A</a>                                                                                                                                                                                                                                                                                                                                                                                                                                      | 公开(公告)日 | 2005-04-21 |
| 申请号            | JP2003341499                                                                                                                                                                                                                                                                                                                                                                                                                                                       | 申请日     | 2003-09-30 |
| [标]申请(专利权)人(译) | 夏普株式会社                                                                                                                                                                                                                                                                                                                                                                                                                                                             |         |            |
| 申请(专利权)人(译)    | 夏普公司                                                                                                                                                                                                                                                                                                                                                                                                                                                               |         |            |
| [标]发明人         | 中原道弘<br>藤野宏晃<br>矢野武志<br>中尾友昭                                                                                                                                                                                                                                                                                                                                                                                                                                       |         |            |
| 发明人            | 中原 道弘<br>藤野 宏晃<br>矢野 武志<br>中尾 友昭                                                                                                                                                                                                                                                                                                                                                                                                                                   |         |            |
| IPC分类号         | G02F1/1345 G02F1/133 G09F9/00 G09G3/20 G09G3/36                                                                                                                                                                                                                                                                                                                                                                                                                    |         |            |
| FI分类号          | G02F1/1345 G02F1/133.550 G09F9/00.346.D G09G3/20.621.M G09G3/20.623.H G09G3/36                                                                                                                                                                                                                                                                                                                                                                                     |         |            |
| F-TERM分类号      | 2H092/GA32 2H092/GA45 2H092/GA59 2H092/HA12 2H092/HA24 2H092/JB24 2H092/PA06 2H093/NC22 2H093/NC23 2H093/NC24 2H093/ND42 2H093/ND43 2H093/ND55 2H093/NE07 5C006/AF82 5C006/BB16 5C006/BC02 5C006/BC12 5C006/BC23 5C006/BF03 5C006/BF11 5C006/BF43 5C006/BF46 5C006/EB05 5C006/FA41 5C006/FA51 5C080/AA10 5C080/BB05 5C080/DD22 5C080/DD25 5C080/FF11 5C080/JJ02 5C080/JJ03 5C080/JJ04 5C080/JJ06 5G435/AA17 5G435/AA18 5G435/BB12 5G435/CC09 5G435/EE34 5G435/EE41 |         |            |
| 代理人(译)         | 木岛隆一<br>金子 一郎                                                                                                                                                                                                                                                                                                                                                                                                                                                      |         |            |
| 其他公开文献         | JP4233967B2                                                                                                                                                                                                                                                                                                                                                                                                                                                        |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                                                                                                                                                                                                                                                                                                                                                                                                          |         |            |

#### 摘要(译)

解决的问题：提供一种尺寸较小且成本较低的显示装置和显示装置，其中，通过减小引线配线的面积来缩短短配线的长度。在源极驱动器12中，在形成金属配线图案1005的多条配线中，连接至输出端子Y1～Y39·Y344～Y384的配线从连接点到液晶而连接至液晶驱动输出电路1003。它穿过与驱动输出电路1003重叠的区域，并在该区域与外部之间的边界处跨过基板1007的短边延伸至液晶驱动电压输出端子1002。此外，电路单元Y1至Y39·Y344至Y384被布置为使得与布线的连接点的布置顺序与输出端子Y1至Y39·Y344至Y384的布置顺序相反。[选择图]图2

