

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-57260

(P2005-57260A)

(43) 公開日 平成17年3月3日(2005.3.3)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 1 2 C	2 H O 9 2
GO 2 F 1/1368	GO 2 F 1/1368	5 C O 9 4
GO 9 F 9/30	GO 9 F 9/30 3 3 8	5 F O 3 3
HO 1 L 21/3205	HO 1 L 29/78 6 1 7 L	5 F 1 1 0
	HO 1 L 29/78 6 1 7 M	
	審査請求 未請求 請求項の数 30 O L (全 27 頁) 最終頁に続く	

(21) 出願番号	特願2004-212977 (P2004-212977)	(71) 出願人	303018827 NEC液晶テクノロジー株式会社 神奈川県川崎市中原区下沼部1753番地
(22) 出願日	平成16年7月21日 (2004.7.21)	(74) 代理人	100123788 弁理士 宮崎 昭夫
(31) 優先権主張番号	特願2003-277459 (P2003-277459)	(74) 代理人	100088328 弁理士 金田 暢之
(32) 優先日	平成15年7月22日 (2003.7.22)	(74) 代理人	100106297 弁理士 伊藤 克博
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100106138 弁理士 石橋 政幸
		(72) 発明者	田中 宏明 神奈川県川崎市中原区下沼部1753番地 NEC液晶テクノロジー株式会社内
			最終頁に続く

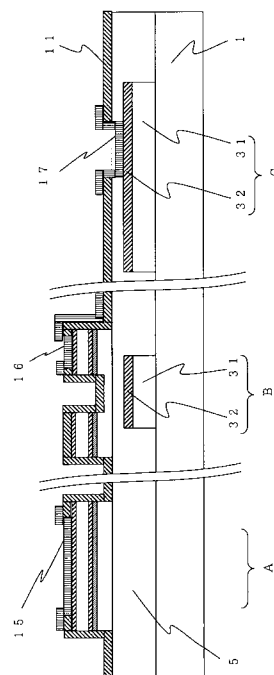
(54) 【発明の名称】 薄膜トランジスタ回路装置およびその製造方法および薄膜トランジスタ回路装置を用いた液晶表示装置

(57) 【要約】

【課題】 下層にアルミニウム系合金、上層にモリブデン系合金の構成の配線を有する薄膜トランジスタ回路装置において、モリブデン系合金の大気中における腐食が進行し難い薄膜トランジスタ回路装置及びその製造方法が要求される。

【解決手段】 薄膜トランジスタ回路装置の少なくともゲート配線(ゲート端子を含む)を下層をアルミニウム若しくはアルミニウム合金、上層をニオブを含むモリブデン合金とする。上層のモリブデン合金にニオブを5~15原子%含ませることにより、モリブデン合金32の大気中での耐腐食性を大幅に改善する。

【選択図】 図14



【特許請求の範囲】

【請求項 1】

少なくとも基板の中央部に形成された主回路領域から基板の外周囲に形成された端子へ延在する配線を有する薄膜トランジスタ回路装置であって、

前記端子は絶縁膜で覆われた配線の一部を露出させ、該露出面に端子電極が形成された端子であり、

前記露出面がニオブを含むモリブデン合金であることを特徴とする薄膜トランジスタ回路装置。

【請求項 2】

前記最表面のニオブを含むモリブデン合金の表面にニオブの酸化物からなる層が形成されていることを特徴とする請求項 1 に記載の薄膜トランジスタ回路装置。 10

【請求項 3】

前記モリブデン合金は、ニオブを 5 ~ 20 原子%の割合で含む請求項 1 に記載の薄膜トランジスタ回路装置。

【請求項 4】

前記モリブデン合金は、ニオブを 5 ~ 10 原子%の割合で含む請求項 1 に記載の薄膜トランジスタ回路装置。

【請求項 5】

前記モリブデン合金は、ニオブを 10 ~ 15 原子%の割合で含む請求項 1 に記載の薄膜トランジスタ回路装置。 20

【請求項 6】

前記モリブデン合金は、ニオブを 15 ~ 20 原子%の割合で含む請求項 1 に記載の薄膜トランジスタ回路装置。

【請求項 7】

前記配線がニオブを含むモリブデン合金層のみからなることを特徴とする請求項 1 に記載の薄膜トランジスタ回路装置。

【請求項 8】

前記配線は、少なくとも最上層がニオブを含むモリブデン合金層で前記モリブデン合金層の下層が前記モリブデン合金層よりも低抵抗金属からなる積層構造であることを特徴とする請求項 1 に記載の薄膜トランジスタ回路装置。 30

【請求項 9】

シリコン膜に接して形成された前記配線は、下層に更にモリブデン層あるいはモリブデン合金層が形成されていることを特徴とする請求項 8 に記載の薄膜トランジスタ回路装置。

【請求項 10】

前記低抵抗金属は、アルミニウムを主体とする金属、銅を主体とする金属、銀を主体とする金属のいずれかである請求項 8 に記載の薄膜トランジスタ回路装置。

【請求項 11】

前記アルミニウムを主体とする金属は、純アルミニウムまたはネオジウムを含むアルミニウム合金である請求項 10 に記載の薄膜トランジスタ回路装置。 40

【請求項 12】

前記端子電極が透明導電膜からなることを特徴とする請求項 1 に記載の薄膜トランジスタ回路装置。

【請求項 13】

前記透明導電膜がITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide) またはIZTO (Indium Tin Zinc Oxide) である請求項 12 に記載の薄膜トランジスタ回路装置。

【請求項 14】

基板の中央部に形成された主回路領域と基板の外周囲に形成された外部回路領域とに形成された薄膜トランジスタおよび配線と、 50

前記薄膜トランジスタの電極あるいは前記配線上に形成された絶縁膜と、
 前記絶縁膜に形成され下層の前記薄膜トランジスタの電極あるいは前記配線の少なくとも一部を露出する開口部と、
 前記開口部に電極あるいは前記開口部間を接続する接続配線とを有し、
 前記開口部に露出する前記薄膜トランジスタの電極あるいは前記配線を構成する金属がニオブを含むモリブデン合金であることを特徴とする薄膜トランジスタ回路装置。

【請求項 15】

前記開口部に露出する前記ニオブを含むモリブデン合金の表面にニオブの酸化膜からなる層が形成されていることを特徴とする請求項 14 に記載の薄膜トランジスタ回路装置。

【請求項 16】

前記開口部に露出する前記モリブデン合金は、ニオブを 5 ~ 20 原子%の割合で含む請求項 14 に記載の薄膜トランジスタ回路装置。

【請求項 17】

前記開口部に露出する前記モリブデン合金は、ニオブを 5 ~ 10 原子%の割合で含む請求項 14 に記載の薄膜トランジスタ回路装置。

【請求項 18】

前記開口部に露出する前記モリブデン合金は、ニオブを 10 ~ 15 原子%の割合で含む請求項 14 に記載の薄膜トランジスタ回路装置。

【請求項 19】

前記開口部に露出する前記モリブデン合金は、ニオブを 15 ~ 20 原子%の割合で含む請求項 14 に記載の薄膜トランジスタ回路装置。

【請求項 20】

前記配線あるいは前記薄膜トランジスタの電極がニオブを含むモリブデン合金層のみからなることを特徴とする請求項 14 に記載の薄膜トランジスタ回路装置。

【請求項 21】

前記配線あるいは前記薄膜トランジスタの電極は、少なくとも最上層がニオブを含むモリブデン合金層で前記モリブデン合金層の下層が前記モリブデン合金層よりも低抵抗金属からなる積層構造であることを特徴とする請求項 14 に記載の薄膜トランジスタ回路装置。

【請求項 22】

前記配線あるいは前記薄膜トランジスタの電極は、下層に更にモリブデン層あるいはモリブデン合金層が形成されていることを特徴とする請求項 21 に記載の薄膜トランジスタ回路装置。

【請求項 23】

前記低抵抗金属は、アルミニウムを主体とする金属、銅を主体とする金属、銀を主体とする金属のいずれかである請求項 21 に記載の薄膜トランジスタ回路装置。

【請求項 24】

前記アルミニウムを主体とする金属は、純アルミニウムまたはネオジウムを含むアルミニウム合金である請求項 23 に記載の薄膜トランジスタ回路装置。

【請求項 25】

前記電極あるいは前記接続配線が透明導電膜からなることを特徴とする請求項 14 に記載の薄膜トランジスタ回路装置。

【請求項 26】

前記透明導電膜が ITO、IZO または IZTO である請求項 25 に記載の薄膜トランジスタ回路装置。

【請求項 27】

基板の中央部に形成された主回路領域と基板の外周囲に形成された外部回路領域とに形成された薄膜トランジスタおよび配線とを有する薄膜トランジスタ回路装置の製造法であって、

少なくとも前記薄膜トランジスタの電極あるいは前記配線上に絶縁膜を形成する絶縁膜

10

20

30

40

50

形成工程と、

前記絶縁膜に形成され下層の前記薄膜トランジスタの電極あるいは前記配線の少なくとも一部を露出して開口部を形成する開口部形成工程と、

前記開口部に電極あるいは前記開口部間を接続する接続配線を構成する導電膜を形成する金属膜形成工程とを有し、

前記開口部に露出する前記薄膜トランジスタの電極あるいは前記配線を構成する金属がニオブを含むモリブデン合金であることを特徴とする薄膜トランジスタ回路装置の製造方法。

【請求項 28】

前記開口部を形成後、前記開口部に露出した金属の表面を酸化する酸化工程を有することを特徴とする請求項 27 に記載の薄膜トランジスタ回路装置の製造方法。 10

【請求項 29】

前記導電膜形成工程と前記酸化工程とが酸素含有雰囲気中で金属をスパッタすることを特徴とする請求項 28 に記載の薄膜トランジスタ回路装置の製造方法。

【請求項 30】

請求項 1 または 14 に記載の薄膜トランジスタ回路装置を一方の基板とし、基板上に少なくとも共通配線を形成した他方の基板とを対向して配置し、間隙に液晶を挟持してなることを特徴とする液晶表示装置。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、薄膜トランジスタ回路装置およびその製造方法および薄膜トランジスタ回路装置を用いた液晶表示装置に関するものである。

【背景技術】

【0002】

近年、液晶表示装置は、薄膜トランジスタ (TFT (Thin Film Transistor)) 液晶表示装置が主流となり、薄膜トランジスタは、薄膜トランジスタ液晶表示層の大型化、微細化に伴い改良が加えられてきた。最近では更に、薄膜トランジスタが、液晶表示装置の画素を駆動するスイッチング素子として以外に液晶表示装置を駆動するドライバー回路や静電保護回路用のトランジスタとして薄膜トランジスタ回路装置に作りこまれることが行われるようになってきている。 30

【0003】

このために、薄膜トランジスタ回路装置のトランジスタ間の接続に用いられる配線に対する要求も厳しくなっている。

【0004】

従来、薄膜トランジスタ回路装置に形成される配線には配線抵抗を減らすためにアルミニウムまたはアルミニウム合金のようなアルミニウム系配線が用いられてきた。

【0005】

しかしながらアルミニウム系配線は、熱履歴によりヒロックが生じやすいという欠点がある。ヒロックは先端がとがった形状をしているため、対向する基板を傷つける等の問題を発生する場合がある。この欠点を改善するため、アルミニウム系配線の上に高融点金属膜を積層する積層配線がある。特開平 11 - 259016 号公報に、アルミニウム系配線のヒロックを防止するため、アルミニウム系の配線上に高融点金属 (例えばモリブデン) 膜を積層させる技術が開示されている。 40

【0006】

特開平 11 - 259016 号公報によれば、ネオジム (Nd) を含むアルミニウム合金を下層に、上層に高融点金属を用いた積層配線が開示されている。特許文献 1 では、高融点金属として、Cr、Mo、W、Ti、Zr、Hf、V、Nb、Ta から選ばれた一の金属またはそれらの合金が開示されている。

【0007】

50

これに対し、端子を露出するために窒化膜をドライエッチングでエッチング除去する際、モリブデン系合金がエッチングされることを防止するために、特開2000-284326号公報には、モリブデン(Mo)にニオブ(Nb)を約17原子%以上添加することで、ニオブを含むモリブデン合金のエッチングレートを窒化膜のエッチングレートの4分の1以下とすることができることが開示されている。

【特許文献1】特開平11-259016号公報(段落番号0013, 0014)

【特許文献2】特開2000-284326号公報(段落番号0066、図6)

【発明の開示】

【発明が解決しようとする課題】

【0008】

10

しかしながら、上述のモリブデン系の配線は、大気中の水分により腐食が進行し易いという性質を有する。従ってモリブデン系の配線は、表面が大気中に露出している端子部においてモリブデン腐食を生じ易く、外部との接続信頼性が良くない。また、高融点金属としてモリブデン以外のCr、W、Ti、Zr、Hf、V、Nb、Taを適用した場合、アルミニウム合金に積層させた形でのウェットエッチングが困難であり、ゲート配線側面のテーパ形状が悪くなり、ゲート配線の上層に層間絶縁膜を挟んで形成されるドレインおよびソース配線の断線が生じ易くなる。

【0009】

また、特開2000-284326号公報によれば、配線を覆う窒化膜と配線の上層を構成するモリブデン系合金とのドライエッチングの選択比を上げるためにモリブデンにニオブを約17原子%以上添加すると、ニオブを含むモリブデン合金のエッチングレートを窒化膜のエッチングレートの4分の1以下とすることができて好ましいとしている。しかしながら、ニオブを含むモリブデン合金の耐腐食性については何の知見も開示していない。

20

【0010】

本発明は、少なくとも配線にモリブデン系合金を用いた配線構造を有する薄膜トランジスタ回路装置の大気中でのモリブデン系合金の耐腐食性を高めることを目的とするものである。

【課題を解決するための手段】

【0011】

30

本発明は、少なくとも基板の中央部に形成された主回路領域から、基板の外周囲に形成された端子へ延在する配線を有する薄膜トランジスタ回路装置であって、端子は絶縁膜で覆われた配線の一部を露出させ、該露出面に端子電極が形成された端子であり、配線の最表面がニオブを含むモリブデン合金であることを特徴とする薄膜トランジスタ回路装置である。端子が、基板の中央部に形成された主回路領域と基板の外周囲に形成された外部回路領域との薄膜トランジスタ間を接続する絶縁膜で覆われた配線の一部を露出させ、該露出面に端子電極が形成された端子であっても良い。

【0012】

更に、最表面のニオブを含むモリブデン合金の表面にニオブの酸化物からなる層が形成されていることが好ましい。

40

【0013】

更に、モリブデン合金は、ニオブを5~20原子%の割合で含むことが好ましい。

【0014】

配線は、ニオブを含むモリブデン合金層のみで形成することができる。更に、配線は、少なくとも最上層がニオブを含むモリブデン合金層で前記モリブデン合金層の下層が前記モリブデン合金層よりも低抵抗金属からなる積層構造であってもよく、シリコン膜上に形成される場合は、下層に更にモリブデン合金層が形成されていることが好ましい。

【0015】

更に、低抵抗金属は、アルミニウムを主体とする金属、銅を主体とする金属、銀を主体とする金属のいずれかを用いることができる。

50

【0016】

また、アルミニウムを主体とする金属は、純アルミニウムまたはネオジムを含むアルミニウム合金であることが好ましく、端子電極は、透明電極であることが好ましく、透明電極としては、ITO (Indium Tin Oxide)、IZO (Indium Zinc Oxide) またはIZTO (Indium Tin Zinc Oxide) を使うことができる。

【0017】

更に本発明は、基板の中央部に形成された主回路領域と基板の外周囲に形成された外部回路領域とに形成された薄膜トランジスタおよび配線と、薄膜トランジスタの電極あるいは配線上に形成された絶縁膜と、絶縁膜に形成され下層の薄膜トランジスタの電極あるいは配線の少なくとも一部を露出する開口部と、開口部に電極あるいは開口部間を接続する接続配線とを有し、開口部に露出する薄膜トランジスタの電極あるいは配線を構成する金属がニオブを含むモリブデン合金であることを特徴とする薄膜トランジスタ回路装置。

10

【0018】

更に、開口部に露出するニオブを含むモリブデン合金の表面にニオブの酸化物からなる層が形成されていることが好ましい。

【0019】

また、開口部に露出するモリブデン合金は、ニオブを5～20原子%の割合で含むことが好ましい。

【0020】

更に本発明は、配線あるいは薄膜トランジスタの電極がニオブを含むモリブデン合金層のみからなることを特徴とし、配線あるいは薄膜トランジスタの電極は、少なくとも最上層がニオブを含むモリブデン合金層でモリブデン合金層の下層がモリブデン合金層よりも低抵抗金属からなる積層構造であっても良い。また、配線あるいは薄膜トランジスタの電極は、シリコン膜に接して配線が形成されている場合は、下層に更にモリブデン合金層が形成されていても良い。

20

【0021】

低抵抗金属は、アルミニウムを主体とする金属、銅を主体とする金属、銀を主体とする金属のいずれかであることが好ましく、アルミニウムを主体とする金属は、純アルミニウムまたはネオジムを含有するアルミニウム合金であることが好ましい。

30

【0022】

更に、電極あるいは接続配線が透明電極であることが好ましく、透明電極は、ITO、IZOまたはIZTOであることが好ましい。

【0023】

本発明は、基板の中央部に形成された主回路領域と基板の外周囲に形成された外部回路領域とに形成された薄膜トランジスタおよび配線とを有する薄膜トランジスタ回路装置の製造法であって、少なくとも薄膜トランジスタの電極あるいは配線上に絶縁膜を形成する絶縁膜形成工程と、絶縁膜に形成され下層の薄膜トランジスタの電極あるいは配線の少なくとも一部を露出して開口部を形成する開口部形成工程と、開口部に電極あるいは開口部間を接続する接続配線を構成する導電膜を形成する導電膜形成工程とを有し、開口部に露出する薄膜トランジスタの電極あるいは配線を構成する金属がニオブを含むモリブデン合金であることを特徴とする薄膜トランジスタ回路装置の製造方法である。

40

【0024】

更に、開口部を形成後、開口部に露出した金属の表面を酸化する酸化工程を有することが好ましい。

【0025】

この際、導電膜形成工程と酸化工程とが酸素含有雰囲気中で金属をスッパタすることであっても良い。

【0026】

また、上述の薄膜回路装置が形成された基板と基板上に少なくとも共通配線を形成した

50

他方の基板とを対向して配置し、間隙に液晶を挟持することで液晶表示装置が形成できる。

【発明の効果】

【0027】

本発明によれば、モリブデンにニオブを5～20原子%含ませたることにより、モリブデン合金の大気中での耐腐食性を大幅に改善することができる。この配線構造をドレイン配線にも適用することによりゲート端子/配線及びドレイン端子/配線の信頼性を向上させることができる。

【発明を実施するための最良の形態】

【0028】

本発明は、少なくとも配線にモリブデン系合金を用いた配線構造を有する薄膜トランジスタ回路装置の大気中でのモリブデン系合金の耐腐食性を高めることを目的とするものであり、更に、少なくともモリブデン系合金とアルミあるいはアルミ系合金との積層膜をウェットエッチングする際に順テーパ状のエッチング形状を得ることを目的とするものである。

10

【0029】

本発明の薄膜トランジスタ回路装置は、第1の基板と、第1の基板上に設けられ表示領域の外側周辺でゲート端子を構成するゲート配線と、ゲート配線を覆って第1の基板上に設けられる第1絶縁膜と、第1絶縁膜上に設けられ、薄膜トランジスタの活性層となる半導体層と、ゲート配線と交差し、表示領域の外側周辺でドレイン端子を構成するドレイン配線と、ドレイン配線を覆って第1絶縁膜上に設けた第2絶縁膜と、ゲート端子及びドレイン端子上の絶縁膜に設けたゲート端子開口及びドレイン端子開口をそれぞれ覆うゲート端子電極及びドレイン端子電極とを備え、ゲート配線は下から順に低抵抗金属、ニオブを含むモリブデン合金を有し、低抵抗金属はモリブデン合金よりも抵抗が小さいことを特徴とする。

20

【0030】

上記の薄膜トランジスタ回路装置は、ドレイン配線と同じ層にソース電極が形成され、ドレイン配線及びソース配線は半導体層にそれぞれ接続され、ドレイン配線及びソース配線は下から順にモリブデン若しくはモリブデン合金、中間層に低抵抗金属、ニオブを含むモリブデン合金を有し、低抵抗金属は下層のモリブデン若しくはモリブデン合金及び上層のモリブデン合金のいずれよりも抵抗が小さい。

30

【0031】

更に、ソース電極上の第2絶縁膜にはコンタクトホールが設けられ、ゲート端子電極及びドレイン端子電極と同じ材料からなる画素電極がコンタクトホールを通してソース電極に接続される。

【0032】

更に、上層モリブデン・ニオブとゲート端子電極及びドレイン端子電極を構成する材料との間にニオブの酸化物を設けることにより、外部との接続信頼性を向上することが出来る。

【0033】

上記本薄膜トランジスタ回路装置は、ゲート端子電極及びドレイン端子電極を構成する材料はITO、IZOまたはIZTOである。

40

【0034】

また、薄膜トランジスタ回路装置は、低抵抗金属は、アルミニウムを主体とする金属、銅を主体とする金属あるいは銀を主体とする金属のいずれかであり、さらにアルミニウムを主体とする金属は、純アルミニウムまたはネオジムを含むアルミニウム合金であることが好ましい。

【0035】

更に本発明の薄膜トランジスタ回路装置の製造方法は、第1の基板上に表示領域の外側周辺でゲート端子を構成するゲート配線を形成するゲート配線形成工程と、ゲート配線を

50

覆って第1の基板上に第1絶縁膜を形成する第1絶縁膜形成工程と、第1絶縁膜上にゲート配線の一部をゲート電極とする薄膜トランジスタの半導体層を形成する半導体層形成工程と、第1絶縁膜上にゲート配線と交差し、表示領域の外側周辺でドレイン端子を構成し、半導体層に接続されるドレイン配線を形成するドレイン配線形成工程と、ドレイン配線を覆って第1絶縁膜上に第2絶縁膜を形成する第2絶縁膜形成工程と、ゲート端子及びドレイン端子上の絶縁膜にゲート端子開口及びドレイン端子開口を形成する端子開口形成工程と、ゲート端子開口及びドレイン端子開口を覆うゲート端子電極及びドレイン端子電極をそれぞれ形成する端子電極形成工程とを備える薄膜トランジスタ回路装置の製造方法であって、ゲート配線は下から順に低抵抗金属、ニオブを含むモリブデン合金を有し、低抵抗金属はモリブデン合金よりも抵抗が小さいことを特徴とする。

10

【0036】

上記薄膜トランジスタ回路装置の製造方法において、ドレイン配線形成工程において、ドレイン配線と同時にソース電極が形成され、ソース配線は半導体層に接続され、ドレイン配線及びソース配線は下から順にモリブデン若しくはモリブデン合金、中間層に低抵抗金属、ニオブを含むモリブデン合金を有し、低抵抗金属は下層のモリブデン若しくはモリブデン合金及び上層のモリブデン合金のいずれよりも抵抗が小さい。

【0037】

上記薄膜トランジスタ回路装置の製造方法において、端子開口形成工程において、ソース電極上の第2絶縁膜にコンタクトホールが設けられ、ゲート端子電極及びドレイン端子電極と同じ材料からなる画素電極がコンタクトホールを通してソース電極に接続される。

20

【0038】

更に、上記薄膜トランジスタ回路装置の製造方法において、開口部に露出した配線の表面とゲート端子電極及びドレイン端子電極を構成する材料との間にニオブの酸化物を形成する工程を含むことにより、外部との接続信頼性を向上することが出来る。

【0039】

更に、上記薄膜トランジスタ回路装置の製造方法において、ゲート端子電極及びドレイン端子電極を構成する材料はITO、IZOまたはIZTOである。

【0040】

上記薄膜トランジスタ回路装置の製造方法において、アルミニウムを主体とする金属は純アルミニウムまたはネオジムを含むアルミニウム合金であることが好ましい。

30

【0041】

本発明のモリブデン系の合金は、モリブデンにニオブを5~20原子%含ませれば最適なモリブデン合金となる。モリブデン合金とアルミあるいはアルミ系合金との積層膜をウェットエッチングする際に順テーパ状のエッチング形状を得ることを目的とする場合、ニオブを含むモリブデン合金とネオジムを含むアルミニウム合金とのエッチングレート比は、1.5~0.5であることが好ましく、1.25~0.75であることがより好ましい。上記の条件は、モリブデンにニオブを5~15原子%含有させる、あるいは、5~10原子%含有させることで達成できる。また、りん酸：硝酸：酢酸の成分調整により、エッチングレート比を調整することが可能であり、特に耐食性を優先する必要がある場合は、モリブデンにニオブを20原子%含ませることも可能である。

40

【0042】

順テーパ状のエッチング形状を得るためには、モリブデンにニオブを5~10原子%含ませると最適となり、耐食性を優先する場合はモリブデンにニオブを10~15原子%含ませると最適となり、特に耐食性を優先する場合はモリブデンにニオブを15~20原子%含ませると最適となる。

【0043】

本発明のモリブデン系の合金を用いた配線は、薄膜トランジスタ回路装置の表面に表面が露出する端子と該端子が接続する配線との構造が同一である配線に用いるのに最適な構造である。配線の構造は、モリブデン系合金の単層構造の配線、下層がアルミ系合金で上層がモリブデン系合金の複層構造の配線構造が好ましく、配線を形成する基体(基板ある

50

いは基板上に形成された膜)がシリコン系の基体の場合、下層が純モリブデンまたはモリブデン系の合金、中間層がアルミ系の合金で最表面の層がモリブデン系の合金である複層配線構造であることがより好ましい。

【0044】

本発明の薄膜トランジスタ回路装置が形成された第1の基板と例えば共通配線が形成された第2の基板とを対向して配置し、間隙に液晶を挟持することで液晶表示装置が形成できる。

【実施例】

【0045】

(実施例1)

液晶表示装置の画素を形成する側の基板を、本発明の実施例として説明する。図1は、液晶表示装置の画素を形成する側の基板の薄膜トランジスタ回路装置の全体構成の一部を模式的に示した図で、図2～図9は、薄膜トランジスタ回路装置の一部を模式的に示した工程断面図である。

【0046】

本発明を液晶表示装置以外の薄膜トランジスタ回路装置に適用できることは言うまでもない。

【0047】

図1に示すように、薄膜トランジスタ回路装置100は、横方向にゲート配線2、ゲート端子3が設けられ、基板の最外周領域には静電保護配線4が形成されている。ゲート配線2はゲート端子3を通過し、ゲート配線22となって静電保護素子19を介して静電保護配線4に接続されている。薄膜トランジスタ回路装置100には、ゲート配線2に直交してドレイン配線7が設けられている。ドレイン配線7もドレイン端子8を通過し、ドレイン配線27となって静電保護素子19を介して静電保護配線4に接続されている。ゲート配線2とドレイン配線7とが交差する領域に薄膜トランジスタ10が設けられている。薄膜トランジスタ10のゲート端はゲート配線に接続され薄膜トランジスタ10のドレイン端子8はドレイン配線7に接続されソース端は画素電極(不図示)に接続されている。静電保護素子19は、薄膜トランジスタ10と同じ構造のトランジスタで構成されている。

【0048】

図1では、I-I'で囲われた内部領域が主回路領域となり液晶表示装置に使用する薄膜トランジスタ回路装置の場合は、表示素子領域となっている。

【0049】

図1の薄膜トランジスタ回路装置は、液晶表示装置の基板を形成するもので、静電保護素子19は、薄膜トランジスタ回路装置の製造時の静電保護に使われている。液晶表示装置を製造する段階ではJ-J'の部分で基板を切断する。図1には示していないが、ゲート端子3およびドレイン端子8と表示素子領域との間に、更に静電保護回路やドライバー回路等の回路が形成される場合がある。これらの静電保護回路・ドライバー回路を含めて外部回路領域と称す。静電保護素子19と同様には、回路領域に形成される薄膜トランジスタも主回路領域に形成される薄膜トランジスタ10と同じ構造のトランジスタで構成されている。

【0050】

図2～12は、ドレイン配線7およびドレイン端子8、薄膜トランジスタ10およびゲート配線2およびゲート端子3の各断面を薄膜トランジスタ回路装置の製造工程順に模式的に示した工程断面図である。各図において左からドレイン配線およびドレイン端子形成領域A、薄膜トランジスタ形成領域B、ゲート配線およびゲート端子領域Cの順に描いている。

【0051】

まず、ガラスからなる透明基板1上に、ネオジウムを2原子%含む膜厚200～400nmのアルミニウム合金膜およびニオブを5～15原子%含む膜厚50～100nmのモリ

10

20

30

40

50

ブデン合金膜をこの順に成膜し、下層がアルミニウム合金膜で上層がモリブデン合金膜である積層膜を形成した。積層膜を通常の写真リソ法で形成したフォトリソをマスクに、りん酸：硝酸：酢酸のエッチング液を用いたウェットエッチング法でゲート配線 2、ゲート端子 3 及び静電保護配線 4（図示せず）を形成した（第 1 フォトリソグラフィ工程）。ゲート配線 2、ゲート端子 3 及び静電保護配線 4（図示せず）は、下層がアルミニウム合金層 3 1 で上層がモリブデン合金層 3 2 の積層構造をしている（図 2）。

【0052】

透明基板 1 として用いるガラスは、薄膜トランジスタ 10 を高温ポリシリコン法で形成する場合は石英ガラスのような耐熱性のあるガラスを用い、低温ポリシリコン法あるいはアモルファスシリコン法で形成する場合はアルカリガラスや無アルカリガラスが用いられる。本実施例ではアモルファスシリコン法を用いたカラー薄膜トランジスタ液晶表示装置用の薄膜トランジスタ回路装置を基板上に形成する例であるので、無アルカリガラスを用いた。

10

【0053】

次に、膜厚 200 ~ 600 nm の窒化膜 5、膜厚 100 ~ 300 nm のアモルファスシリコン（以下、a-Si と略す）膜 6 1、膜厚 20 ~ 70 nm の n⁺型アモルファスシリコン（以下、n⁺型 a-Si と略す）膜 6 2、膜厚 200 ~ 500 nm のクロム（Cr）膜 7 0 をこの順に成膜した（図 3）。

【0054】

薄膜トランジスタ 10 のゲート絶縁膜となる窒化膜 5 は、窒化膜以外に酸窒化膜や酸化膜等の絶縁膜が使用できる。

20

【0055】

次に、クロム膜 7 0 の上にハーフトーンマスクを用い写真リソ法によりレジストパターン 5 8、5 9 を形成した。レジストパターン 5 8 はドレイン端子 8 を含むドレイン配線の形成領域 A 上に、レジストパターン 5 9 は薄膜トランジスタ形成領域 B 上にそれぞれ形成した。

【0056】

このとき、レジストパターン 5 8 および 5 9 はハーフトーン若しくはグレートーンマスクを用いて形成することが好ましい。

【0057】

ハーフトーン若しくはグレートーンマスクは、完全露光部、遮光部以外に薄膜トランジスタ 10 のチャネル領域に対応する領域を半透過領域とするパターンとなっている。この結果、薄膜トランジスタ形成領域 B に形成されたレジストパターン 5 9 の膜厚は、薄膜トランジスタ 10 のチャネルが形成される領域の膜厚が 0.5 ~ 1.0 μm、それ以外の膜厚が 1.5 ~ 2.0 μm となる。

30

【0058】

次に、レジストパターン 5 8、5 9 をマスクとして、例えば、硝酸セリウムアンモニウム及び硝酸の混合液を用いてクロム膜 7 0 をエッチング除去した（図 4）。

【0059】

次に、レジストパターン 5 8、5 9 をマスクとして、n⁺型 a-Si 膜 6 2 及び a-Si 膜 6 1 を順次ドライエッチングにより除去した（図 5）。

40

【0060】

次に、レジストパターン 5 9 の内の薄膜トランジスタ 10 のチャネル領域に対応する薄い部分を除去できる時間だけ酸素プラズマアッシングによりレジストパターン 5 8、5 9 を厚さ方向にエッチングした。これによりレジストパターン 5 8、5 9 は、それぞれ膜厚は 0.5 ~ 1.0 μm のレジストパターン 8 8、8 9 および 9 0 となる（図 6）。

【0061】

次に、レジストパターン 8 8、8 9 および 9 0 をマスクとしてクロム膜 7 0 を選択的にドライエッチングにより除去してドレイン端子電極 7 3 および薄膜トランジスタ 10 のドレイン電極 7 4 およびソース電極 7 5 を形成した（図 7）。

50

【0062】

次に、レジストパターン88、89および90を除去した後、続いて、ドレイン端子電極73、ドレイン電極74、ソース電極75をマスクとして薄膜トランジスタ10のチャネル領域の n^+ 型a-Si膜62とa-Si膜61の一部を厚さ方向にドライエッチングを用いてエッチング除去した(第2フォトリソグラフィ工程)。次に、膜厚100~300nmの窒化膜からなる保護膜11を基板表面に形成し、続いて、フォトリソ工程を用いてドレイン端子8、薄膜トランジスタ10のソース電極75およびゲート端子上の絶縁膜をエッチング除去して開口12、13、14を形成した。このとき、ドレイン端子8および薄膜トランジスタ10のソース電極75に対応する開口12および13は、保護膜11をエッチング除去して形成され、ゲート端子3に対応する開口14は、保護膜11及び窒化膜5をエッチング除去して形成されている(第3フォトリソグラフィ工程)(図8)。

10

【0063】

保護膜11は、窒化膜以外に酸化膜、酸窒化膜等の絶縁膜を用いることができることは言うまでもない。

【0064】

最後に、スパッタ法で、厚さ30~100nmのITO膜を成膜し、その後、フォトリソ工程を用いてエッチングマスクとなるフォトレジストパターンを形成し、次に、ドライエッチングを用いてITO膜をパターンニングし、ドレイン端子電極15、画素電極16、ゲート端子電極17を形成した(第4フォトリソグラフィ工程)(図9)。

20

【0065】

以上のようにして薄膜トランジスタ回路装置が形成された。図9に示すように、ゲート端子3の電極構造は、下層から順にネオジムを含むアルミニウム合金、ニオブを含むモリブデン合金、ITOである。この場合、ニオブを含むモリブデン合金は、ニオブの含有率が5~20原子%であることが好ましい。

【0066】

尚、ITOに代えてIZOあるいはIZTO等を用いても同様の効果が得られる。

【0067】

ITO、IZOあるいはIZTOとネオジムを含むアルミニウム合金との間にモリブデン系合金を挟むことによりITO、IZOあるいはIZTOとAlとの間で発生する電池作用が防止でき、かつ、ITO、IZOあるいはIZTOとの間の接触抵抗が小さくなる。しかしながら、ITO、IZOあるいはIZTOは水分を通し易く、モリブデン系合金上をITO、IZOあるいはIZTOが覆う構造ではあっても、モリブデン系合金には耐湿性が求められる。ここで、モリブデンにニオブを5~20原子%含有させることによる著しい効果を、グラフを用いて説明する。

30

【0068】

図10は、ニオブを含むモリブデン合金中のニオブの割合を変化させたときの高温多湿試験による合金抵抗値の経時変化を示したものである(横軸および縦軸は対数目盛)。ニオブを含まない純モリブデンでは約30時間経過すると合金抵抗値が増大し始める。また、ニオブを5、10、15原子%含有させた合金では、5原子%では約30時間経過したときに増加の兆候が観察されたが、ニオブを10、15原子%含有させた合金では全く抵抗値に変化は観察されなかった。ニオブを10、15原子%含有させた合金は、約100時間経過した時点から抵抗値の増大が観察された。従って、耐湿性は、モリブデンにニオブを5原子%以上含有させることが好ましく、10原子%以上含有させることがより好ましいことがわかる。

40

【0069】

ニオブを15原子%以上含有させた場合も抵抗値の変化はニオブを10原子%、15原子%含有させた場合との差異は見られなかった。

【0070】

図11は、ニオブを含むモリブデン合金をりん酸：硝酸：酢酸でウェットエッチングす

50

る際のニオブを含むモリブデン合金とネオジウムを含むアルミニウム合金のエッチングレート比のモリブデンにニオブを含ませる割合による変化を示している。理想的には、ニオブを含むモリブデン合金とネオジウムを含むアルミニウム合金との積層膜をウェットエッチングするので、良好なエッチング形状を得る為にはニオブを含むモリブデン合金とネオジウムを含むアルミニウム合金のエッチングレートがほぼ等しくなることが好ましい。従って、ニオブを含むモリブデン合金とネオジウムを含むアルミニウム合金とのエッチングレート比は、 $1.5 \sim 0.5$ であることが好ましく、 $1.25 \sim 0.75$ であることがより好ましい。上記の条件は、モリブデンにニオブを $5 \sim 15$ 原子%含有させる、あるいは、 $5 \sim 10$ 原子%含有させることで達成できる。また、りん酸：硝酸：酢酸の成分調整により、エッチングレート比を調整することが可能であり、特に耐食性を優先する必要がある場合は、モリブデンにニオブを 20 原子%含ませることも可能である。 10

【0071】

図10、11の結果から、モリブデンにニオブを $5 \sim 20$ 原子%含ませれば最適なニオブを含むモリブデン合金となる。本発明を適用する液晶表示装置が、エッチング形状を優先と場合はモリブデンにニオブを $5 \sim 10$ 原子%含ませると最適となり、耐食性を優先する場合はモリブデンにニオブを $10 \sim 15$ 原子%含ませると最適となり、特に耐食性を優先する場合はモリブデンにニオブを $15 \sim 20$ 原子%含ませると最適となる。

【0072】

本実施例では、表示素子部の構造も最も単純な構成を示しているために、表示素子領域のゲート配線2やドレイン配線7は同一の層に形成した構造で説明しているが、ゲート端子3およびドレイン端子8に加わる静電から表示素子やドライバー回路を構成するトランジスタを保護する静電保護回路を設けた場合や横電界型の用に画素部の構造が複雑な場合、ゲート電極とゲート配線/ドレイン電極とドレイン配線7を別の層に作りこむ場合がある。図31に一方の薄膜トランジスタ10のゲート配線と他方の薄膜トランジスタ10の一端とを接合する場合を例に模式図を示す。図31(a)は、該構成の平面図を示し、図31(b)は、図31(a)のa-a'の断面を示す図である。 20

【0073】

図31(a)では2個の薄膜トランジスタ10が並列して形成され、一方の薄膜トランジスタ10のゲート配線2と他方の薄膜トランジスタ10の一方の電極とが接続され、他方の薄膜トランジスタ10のゲート配線2と一方の薄膜トランジスタ10の一方の電極とが接続されている。図31(b)は、図31(a)のA-A'断面図である。基板1上にネオジウムを含むアルミニウム合金層31とニオブを含むモリブデン合金層32の積層構造のゲート配線2が形成されている。ゲート配線2上には、ゲート絶縁膜となる窒化膜5とa-Si膜61および n^+a-Si 膜62の積層構造である薄膜トランジスタ10のボディと該ボディ上に形成されたニオブを含むモリブデン合金層121、ネオジウムを含むアルミニウム合金層122およびニオブを含むモリブデン合金層123の積層構造の電極が形成されている。保護膜11が表面全面を覆うように形成され、電極上の保護膜11には電極を露出する第1の開口部が形成されている。更に、保護膜11と窒化膜5には、ゲート配線2の表面を露出するための第2の開口部が形成され、第1の開口部と第2の開口部とを介してゲート配線2と電極とを接続する接続配線77が形成されている。 30 40

(実施例2)

次に、本発明の実施例2を図12に示す。図12は、図9のD部の拡大図で、ゲート端子3のITOとニオブを含むモリブデン合金の界面に、ニオブの酸化物が形成されている。

【0074】

ニオブの酸化物からなる層18は、ITOをスパッタで成膜する際、アルゴンに酸素を添加することで実現できる。

【0075】

実施例2では、スパッタを用いて厚さ $30 \sim 100$ nmのITOを成膜した。スパッタ条件は、圧力は、 $0.2 \sim 1.0$ Pa、DCパワーは、 $1 \sim 2$ KW、酸素流量は、アルゴ 50

ン流量の0.1~2%が好ましい条件であったが、装置等の違いでこの条件以外に最適値がある場合があり、適宜決定することができることはいうまでもない。

【0076】

アルゴンに若干の酸素を添加するこれにより、スパッタ開始直後にニオブを含むモリブデン合金の表面に、約1~5nmの薄いニオブの酸化物からなる層18が形成される。ニオブの酸化物からなる層18は不働体であるのでバリア膜の役割をはたし、モリブデン及びその下のAlの腐食を阻止することができる。尚、アルゴンガスに変えて、ヘリウム等の不活性ガスを用いることができることはいうまでもない。

【0077】

尚、ニオブの酸化物からなる層18は、酸素を含む雰囲気中で加熱した後、ITOをアルゴン雰囲気中でスパッタしても形成することができることはいうまでもない。ITOをスパッタする前に下地加熱を行う場合、スパッタ装置内を減圧せず大気雰囲気あるいはアルゴンに酸素を含有させ下地加熱し、その後減圧してスパッタを行えば工程を増やすことなくニオブの酸化物からなる層18を形成できる。

(実施例3)

次に、本発明の実施例3について図13、14を用いて説明する。実施例1では、ネオジムを含むアルミニウム合金とニオブを含むモリブデン合金の積層構造をゲート配線のみに適用したが、本実施例ではドレイン配線にも適用したものである。この場合、ドレイン配線はその下面がアモルファスシリコン膜と接触するので、アルミニウムとシリコン膜との共晶反応を防止するために、ネオジムを含むアルミニウム合金下にもニオブを含むモリブデン合金を設ける3層構造となる。アモルファスシリコン層との共晶反応を防止するためのモリブデン合金層は、表面が露出することがないので純モリブデン層であっても問題はない。

【0078】

本実施例ではシリコン膜としてアモルファスシリコン膜を用いているが、単結晶シリコンあるいは多結晶シリコンでも同様の結果になることはいうまでもない。

【0079】

実施例1の図3ではクロム膜70を成膜したが、本実施例では、ニオブを5~15原子%含む膜厚50~100nmのモリブデン合金膜121、ネオジムを2原子%含む膜厚200~400nmのアルミニウム合金膜122およびニオブを5~15原子%含む膜厚50~100nmのモリブデン合金膜123をこの順に成膜した(図13)。

【0080】

次に、図4と同様に、モリブデン合金膜123の上にグレートーンマスクを用いフォトリソ法によりレジストパターンを、ドレイン端子を含むドレイン配線の形成領域A上と薄膜トランジスタ形成領域B上とにそれぞれ形成した。これらのレジストは図4の説明と同様に、薄膜トランジスタ10のチャネル領域に対応する領域を半透過領域とするハーフトーン若しくはグレートーンマスクを用いて形成することが好ましい。本実施例においても薄膜トランジスタ10のチャネルが形成される領域の膜厚が0.5~1.0 μ m、それ以外の膜厚が1.5~2.0 μ mのレジストパターンが形成された。

【0081】

次に、レジストパターンをマスクとして、例えば、りん酸：硝酸：酢酸のエッチング液を用いたウェットエッチング法により、レジストパターンに覆われていない、モリブデン合金膜121、アルミニウム合金膜122およびモリブデン合金膜123をエッチングした。

【0082】

その後、レジストパターンをマスクとして、 n^+ 型a-Si膜62及びa-Si膜61を順次ドライエッチングにより除去した。

【0083】

次に、図6と同様に、レジストパターンの内の薄膜トランジスタ10のチャネル領域に対応する薄い部分を除去できる時間だけ酸素プラズマアッシングによりレジストパターン

を厚さ方向にエッチングし、薄膜トランジスタ 10 のチャンネル領域が形成される領域のレジストパターンが除去される。

【0084】

次に、図7と同様に、残っているレジストパターンをマスクとして薄膜トランジスタ 10 のチャンネル形成領域のモリブデン合金膜 121、アルミニウム合金膜 122 およびモリブデン合金膜 123 をエッチング除去した。

【0085】

次に、図8と同様に、レジストパターンを除去した後、続いて、ドレイン電極、ソース電極をマスクとして n^+ 型 a-Si 膜 62 と a-Si 膜 61 の一部を厚さ方向に除去した (第2フォトリソグラフィ工程)。次に、膜厚 100 ~ 300 nm の窒化膜からなる保護膜 11 を基板表面に形成し、続いて、フォトリソ工程を通してドレイン端子 8、薄膜トランジスタ 10 のソース電極およびゲート端子 3 上の絶縁膜をエッチング除去して開口を形成した。このとき、ドレイン端子 8 および薄膜トランジスタ 10 のソース電極に対応する開口は、保護膜 11 をエッチング除去して形成され、ゲート端子 3 に対応する開口 14 は、保護膜 11 及び絶縁膜 5 をエッチング除去して形成されている (第3フォトリソグラフィ工程)。

10

【0086】

最後に、スパッタ法で、厚さ 30 ~ 100 nm の ITO の透明導電膜を成膜し、その後、フォトリソ工程を通してパターンニングし、ドレイン端子電極 15、画素電極 16、ゲート端子電極 17 を形成した (第4フォトリソグラフィ工程) (図14)。

20

【0087】

以上のようにして薄膜トランジスタ回路装置が形成された。図14に示すように、ドレイン配線およびドレイン端子 8、ゲート配線およびゲート端子 3 および、ソース・ドレイン電極の電極構造は、下層から順にニオブを含むモリブデン合金、ネオジウムを含むアルミニウム合金、ニオブを含むモリブデン合金および ITO である。この場合、ニオブを含むモリブデン合金は、ニオブの含有率が 5 ~ 20 原子%であることが好ましい。

(実施例4)

図15 ~ 22 は、本実施例のドレイン配線 7 およびドレイン端子 8、薄膜トランジスタ 10 およびゲート配線 2 およびゲート端子 3 の各断面を薄膜トランジスタ回路装置の製造工程順に模式的に示した工程断面図である。各図において左からドレイン配線およびドレイン端子形成領域 A、薄膜トランジスタ形成領域 B、ゲート配線およびゲート端子領域 C の順に描いている。

30

【0088】

まず、ガラスからなる透明基板 1 上に、ネオジウムを 2 原子%含む膜厚 200 ~ 400 nm のアルミニウム合金膜およびニオブを 5 ~ 15 原子%含む膜厚 50 ~ 100 nm のモリブデン合金膜をこの順に成膜し、下層がアルミニウム合金膜で上層がモリブデン合金膜である積層膜を形成した。積層膜を通常フォトリソ法で形成したフォトレジストをマスクに、りん酸：硝酸：酢酸のエッチング液を用いたウェットエッチング法でゲート配線 2、ゲート端子 3 及び静電保護配線 4 (図示せず) を形成した (第1フォトリソグラフィ工程) (図15)。ゲート配線 2、ゲート端子 3 及び静電保護配線 4 (図示せず) は、下層がアルミニウム合金層 31 で上層がモリブデン合金層 32 の積層構造をしている。

40

【0089】

本実施例も実施例1同様にカラー薄膜トランジスタ液晶表示装置用の薄膜トランジスタ回路装置を基板上に形成する例であるので、無アルカリガラスを用いた。

【0090】

次に、膜厚 200 ~ 600 nm の窒化膜 5、膜厚 100 ~ 300 nm の a-Si 膜 61、膜厚 20 ~ 70 nm の n^+ 型 a-Si 膜 62、ニオブを 5 ~ 15 原子%含む膜厚 200 ~ 500 nm のモリブデン合金膜 40 をこの順に成膜した (図16)。

【0091】

次に、モリブデン合金膜 40 の上にグレートーンマスクを用いてフォトリソ法によりレ

50

ジストパターン 58、59 を形成した。レジストパターン 58 はドレイン端子を含むドレイン配線の形成領域 A 上に形成し、レジストパターン 59 は薄膜トランジスタ形成領域 B 上にそれぞれ形成した。

【0092】

このとき、レジストパターン 58 および 59 はハーフトーン若しくはグレートンマスクを用いて形成することが好ましい。

【0093】

ハーフトーン若しくはグレートンマスクは、完全露光部、遮光部以外に薄膜トランジスタ 10 のチャンネル領域に対応する領域を半透過領域とするパターンとなっている。この結果、薄膜トランジスタ形成領域 B に形成されたレジストパターン 59 の膜厚は、薄膜トランジスタ 10 のチャンネルが形成される領域の膜厚が 0.5 ~ 1.0 μm 、それ以外の膜厚が 1.5 ~ 2.0 μm となる。

【0094】

次に、レジストパターン 58、59 をマスクとして、例えば、りん酸：硝酸：酢酸のエッチング液を用いたウェットエッチング法でモリブデン合金層 40 をエッチング除去した（図 17）。

【0095】

次に、レジストパターン 58、59 をマスクとして、 n^+ 型 a-Si 膜 62 及び a-Si 膜 61 を順次ドライエッチングにより除去した（図 18）。

【0096】

次に、レジストパターン 59 の内の薄膜トランジスタ 10 のチャンネル領域に対応する薄い部分を除去できる時間だけ酸素プラズマアッシングによりレジストパターン 58、59 を厚さ方向にエッチングした（図 19）。これによりレジストパターン 58、59 は、それぞれ膜厚は 0.5 ~ 1.0 μm のレジストパターン 88、89 および 90 となる。

【0097】

次に、レジストパターン 88、89 および 90 をマスクとして薄膜トランジスタ 10 のチャンネル領域に露出しているモリブデン合金層 40 を選択的にドライエッチングにより除去してドレイン端子電極 73 および薄膜トランジスタ 10 のドレイン電極 74 およびソース電極 75 を形成した（図 20）。

【0098】

次に、レジストパターン 88、89 および 90 を除去し、続いてドレイン電極 74、ソース電極 75 をマスクとして n^+ 型 a-Si 膜 62 と a-Si 膜 61 の一部を厚さ方向に除去した（第 2 フォトリソグラフィ工程）。次に、膜厚 100 ~ 300 nm の窒化膜からなる保護膜 11 を基板表面に形成し、続いて、フォトリソ工程を用いてドレイン端子 8、薄膜トランジスタ 10 のソース電極 75 およびゲート端子 3 上の絶縁膜をエッチング除去して開口 12、13、14 を形成した。このとき、ドレイン端子 8 および薄膜トランジスタ 10 のソース電極 75 に対応する開口 12 および 13 は、保護膜 11 をエッチング除去して形成され、ゲート端子 3 に対応する開口 14 は、保護膜 11 及び窒化膜 5 をエッチング除去して形成されている（第 3 フォトリソグラフィ工程）（図 21）。

【0099】

最後に、スパッタ法で、厚さ 30 ~ 100 nm の ITO 膜を成膜し、その後、フォトリソ工程を用いてエッチングマスクとなるフォトレジストパターンを形成し、次に、ドライエッチングを用いて ITO 膜をパターンニングし、ドレイン端子電極 15、画素電極 16、ゲート端子電極 17 を形成した（第 4 フォトリソグラフィ工程）（図 22）。

（実施例 5）

上述の実施例では、4PR で行ったが、5PR で行うこともできる。

【0100】

図 23 ~ 30 は、ドレイン配線 7 およびドレイン端子 8、薄膜トランジスタ 10 およびゲート配線 2 およびゲート端子 3 の各断面を薄膜トランジスタ回路装置の製造工程順に模式的に示した工程断面図である。各図において左からドレイン配線およびドレイン端子形

10

20

30

40

50

成領域 A、薄膜トランジスタ形成領域 B、ゲート配線およびゲート端子領域 C の順に描いている。

【0101】

まず、ガラスからなる透明基板 1 上に、ネオジムを 2 原子% 含む膜厚 200 ~ 400 nm のアルミニウム合金膜 2 1 およびニオブを 5 ~ 15 原子% 含む膜厚 50 ~ 100 nm のモリブデン合金膜をこの順に成膜し、下層がアルミニウム合金膜で上層がモリブデン合金膜である積層膜を形成した。積層膜を通常の写真リソ法で形成したフォトリソマスクに、りん酸：硝酸：酢酸のエッチング液を用いたウェットエッチング法でゲート配線 2、ゲート端子 3 及び静電保護配線 4 (図示せず) を形成した (第 1 フォトリソグラフィ工程) (図 23)。ゲート配線 2、ゲート端子 3 及び静電保護配線 4 (図示せず) は、下層がアルミニウム合金層 3 1 で上層がモリブデン合金層 3 2 の積層構造をしている。

10

【0102】

本実施例も実施例 1 同様にカラー薄膜トランジスタ表示装置用の薄膜トランジスタ回路装置を基板上に形成する例であるので、無アルカリガラスを用いた。

【0103】

次に、膜厚 200 ~ 600 nm の窒化膜 5、膜厚 100 ~ 300 nm の a - Si 膜 6 1、膜厚 20 ~ 70 nm の n⁺型 a - Si 膜 6 2 をこの順に成膜した。

【0104】

次に、n⁺型 a - Si 膜 6 2 の薄膜トランジスタ形成領域 B 上に写真リソ法を用いてレジストパターン 5 7 を形成した (図 24)。レジストパターン 5 7 をマスクとして、n⁺型 a - Si 膜 6 2 および a - Si 膜 6 1 をドライエッチング法を用いて除去した (第 2 フォトリソグラフィ工程)。

20

【0105】

次に、レジストパターン 5 7 を除去後、ニオブを 5 ~ 15 原子% 含む膜厚 200 ~ 500 nm のモリブデン合金膜 4 0 を形成した (図 25)。

【0106】

次に、モリブデン合金膜 4 0 の上に写真リソ法によりレジストパターン 8 8、8 9 および 9 0 を形成した。レジストパターン 8 8 はドレイン端子を含むドレイン配線の形成領域 A 上に形成し、レジストパターン 8 8 および 8 9 は薄膜トランジスタ形成領域 B 上にそれぞれ形成した (図 26)。

30

【0107】

次に、レジストパターン 8 8、8 9 および 9 0 をマスクとして、例えば、りん酸：硝酸：酢酸のエッチング液を用いたウェットエッチング法でモリブデン合金層 4 0 をエッチング除去してドレイン端子電極 7 3 および薄膜トランジスタ 1 0 のドレイン電極 7 4 およびソース電極 7 5 を形成した (図 27) (第 3 フォトリソグラフィ工程)。

【0108】

次に、レジストパターン 8 8、8 9 および 9 0 を除去し、続いて、ドレイン端子電極 7 3、ドレイン電極 7 4、ソース電極 7 5 をマスクとして n⁺型 a - Si 膜 6 2 と a - Si 膜 6 1 の一部を厚さ方向に除去した (図 28)。次に、膜厚 100 ~ 300 nm の窒化膜からなる保護膜 1 1 を基板表面に形成し、続いて、写真リソ工程を用いてドレイン端子 8、薄膜トランジスタ 1 0 のソース電極 7 5 およびゲート端子 3 上の絶縁膜をエッチング除去して開口 1 2、1 3、1 4 を形成した (第 4 フォトリソグラフィ工程) (図 29)。このとき、ドレイン端子 8 および薄膜トランジスタ 1 0 のソース電極 7 5 に対応する開口 1 2 および 1 3 は、保護膜 1 1 をエッチング除去して形成され、ゲート端子 3 に対応する開口 1 4 は、保護膜 1 1 及び絶縁膜 5 をエッチング除去して形成されている。

40

【0109】

最後に、スパッタ法で、厚さ 30 ~ 100 nm の ITO 膜を成膜し、その後、写真リソ工程を用いてエッチングマスクとなるフォトリソパターンを形成し、次に、ドライエッチングを用いて ITO 膜をパターンニングし、ドレイン端子電極 1 5、画素電極 1 6、ゲート端子電極 1 7 を形成した (第 5 フォトリソグラフィ工程) (図 30)。

50

(実施例6)

アルミニウム合金は、ウェットエッチングする際に完全に除去される必要がある。シリコンを含有するAl-Si合金は、ドライエッチングでは完全に除去できるがウェットエッチングでは表面に薄い層として残るので好ましくない。

【0110】

ウェットエッチングで完全に除去できる不純物であればネオジム以外の不純物を含んでいても良いことは言うまでもない。

【0111】

ウェットエッチングで完全に除去できる点で、純アルミニウムあるいはアルミニウム-ネオジム合金が好ましく用いることができる。

10

【0112】

更に、ウェットエッチングする際に完全に除去できれば、純アルミニウムあるいはアルミニウム系の合金以外に、銀を主体とする銀形の合金あるいは銅を主体とする銅系の合金であっても良いことは言うまでもない。

【0113】

また、上述の実施形態においては、縦電界方式の液晶表示装置の薄膜トランジスタの構造について記したが、横電界方式等、液晶制御方式が異なる薄膜トランジスタの構造に用いても、上記実施形態と同様の効果が得られる。

【0114】

本発明の薄膜トランジスタ回路装置が形成された第1の基板と例えば共通配線が形成された第2の基板とを対向して配置し、液晶を挟持することで液晶表示装置が形成できる。

20

【図面の簡単な説明】

【0115】

【図1】薄膜トランジスタ回路装置の内部回路と端子近傍の配線を模式的に示す部分平面図である。

【図2】第1の実施例の薄膜トランジスタ回路装置のドレイン端子、薄膜トランジスタ、ゲート端子の各断面を模式的に示す工程断面図である。

【図3】図2に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図4】図3に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

30

【図5】図4に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図6】図5に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図7】図6に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図8】図7に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図9】図8に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

40

【図10】ニオブを含むモリブデン合金に含ませるニオブの割合を変化させたときの高温多湿試験による合金抵抗値の経時変化を示したものである。

【図11】ニオブを含むモリブデン合金をりん酸：硝酸：酢酸でウェットエッチングする際のエッチングレートを示し、ニオブを含むモリブデン合金にニオブに含ませる割合による変化を示している。

【図12】本発明の第2の実施形態の薄膜トランジスタ回路装置のドレイン端子、薄膜トランジスタ、ゲート端子の各断面を模式的に示す工程断面図である。

【図13】本発明の第3の実施形態の薄膜トランジスタ回路装置のドレイン端子、薄膜トランジスタ、ゲート端子の各断面を模式的に示す工程断面図である。

50

【図 1 4】図 1 3 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 1 5】本発明の第 4 の実施例のドレイン端子、薄膜トランジスタ、ゲート端子の各断面により薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 1 6】図 1 5 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 1 7】図 1 6 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 1 8】図 1 7 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 1 9】図 1 8 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 2 0】図 1 9 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 2 1】図 2 0 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 2 2】本発明の第 5 の実施形態の薄膜トランジスタ回路装置のドレイン端子、薄膜トランジスタ、ゲート端子の各断面を模式的に示す工程断面図である。

【図 2 3】図 2 2 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 2 4】図 2 3 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 2 5】図 2 4 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 2 6】図 2 5 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 2 7】図 2 6 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 2 8】図 2 7 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 2 9】図 2 8 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 3 0】図 2 9 に続く製造工程を示す薄膜トランジスタ回路装置を模式的に示す工程断面図である。

【図 3 1】本発明の、薄膜トランジスタ間を接続する模式図。

【符号の説明】

【0 1 1 6】

- 1 透明基板
- 2、2 2 ゲート配線
- 3 ゲート端子
- 4 静電保護配線
- 5 窒化膜
- 7 ドレイン配線
- 8 ドレイン端子
- 1 0 薄膜トランジスタ
- 1 1 保護膜
- 1 2、1 3、1 4 開口
- 1 5 ドレイン端子電極
- 1 6 画素電極
- 1 7 ゲート端子電極

10

20

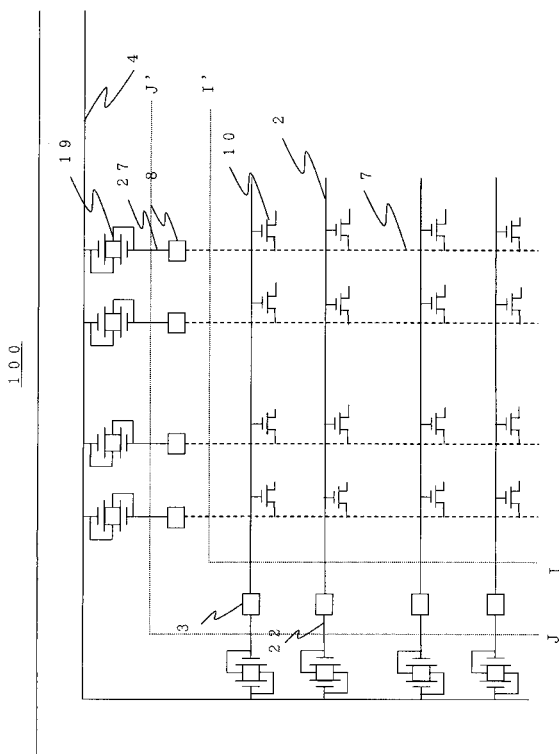
30

40

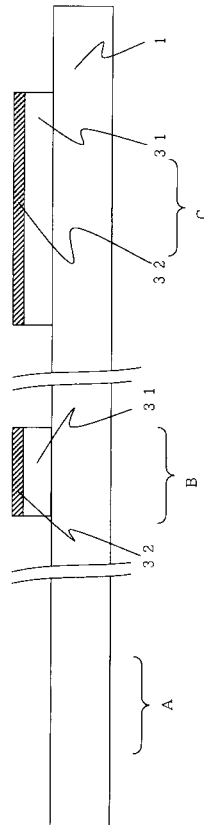
50

- 1 8 ニオブの酸化物からなる層
- 1 9 静電保護素子
- 3 1、1 2 2 アルミニウム合金層
- 3 2 モリブデン合金層
- 7 0 クロム膜
- 5 7、5 8、5 9、8 8、8 9、9 0 レジストパターン
- 6 1 アモルファスシリコン (a - S i) 膜
- 6 2 n⁺型アモルファスシリコン (n⁺型 a - S i と略す) 膜
- 7 3 ドレイン端子電極
- 7 4 ドレイン電極
- 7 5 ソース電極
- 7 7 接続配線
- 1 0 0 薄膜トランジスタ回路装置
- 1 2 1 , 1 2 3 モリブデン合金膜
- 1 2 2 アルミニウム合金膜

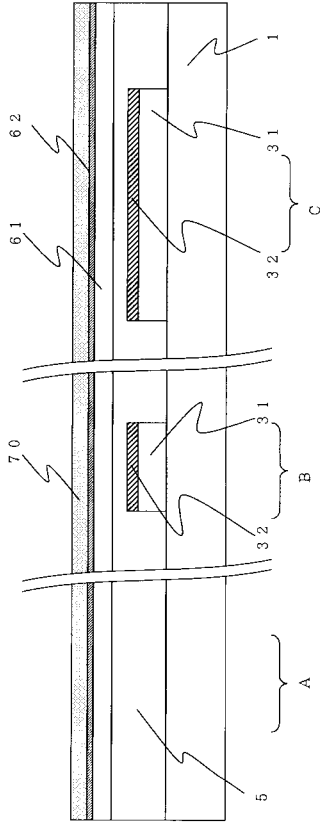
【 図 1 】



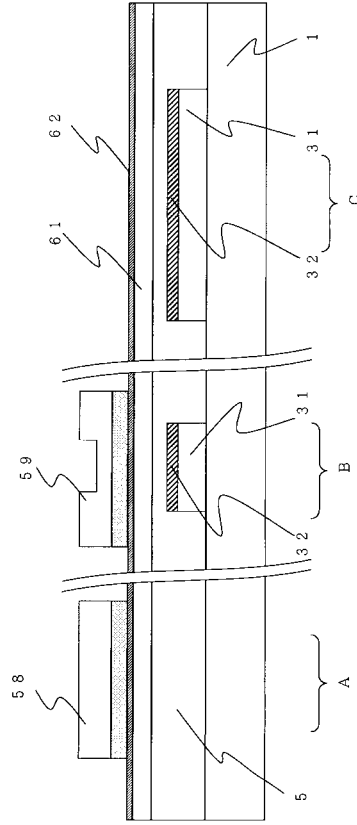
【 図 2 】



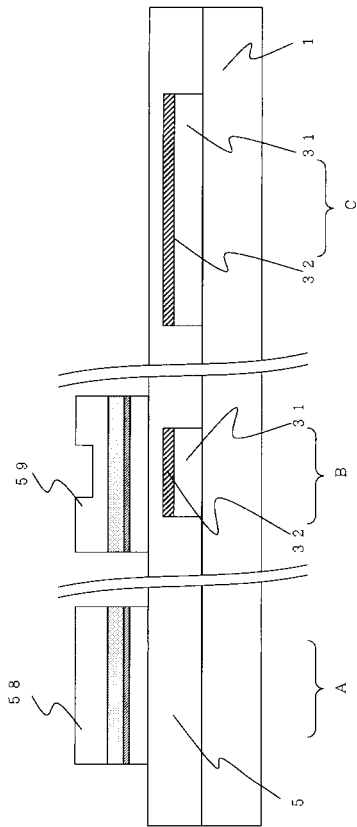
【 図 3 】



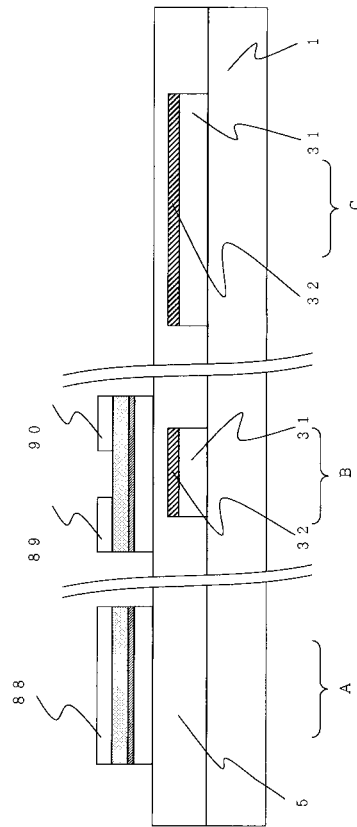
【 図 4 】



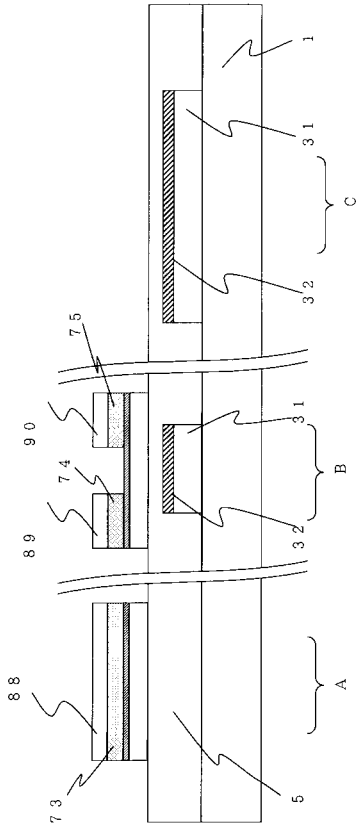
【 図 5 】



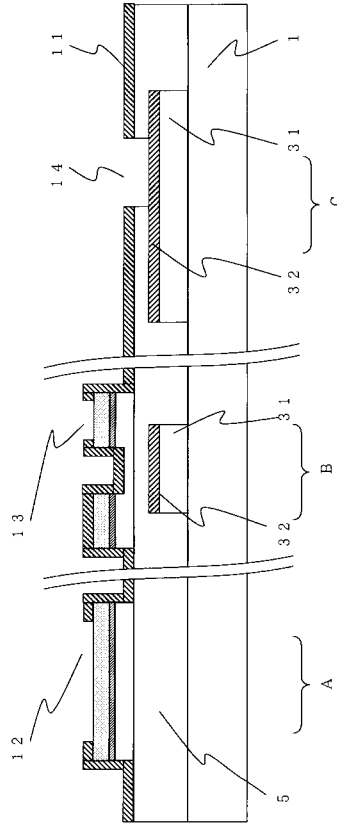
【 図 6 】



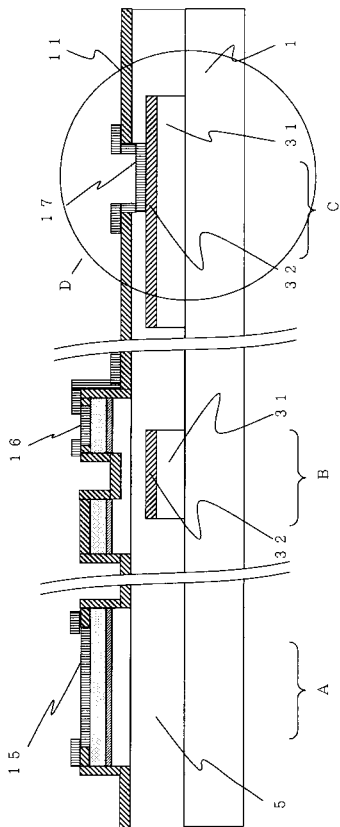
【図7】



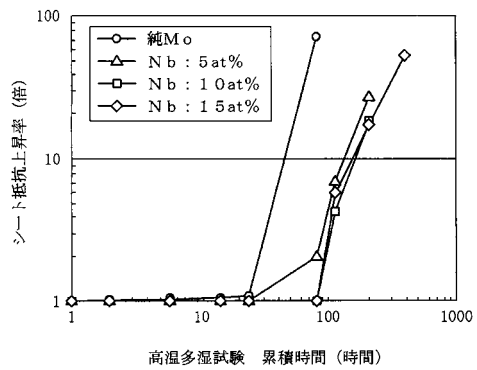
【図8】



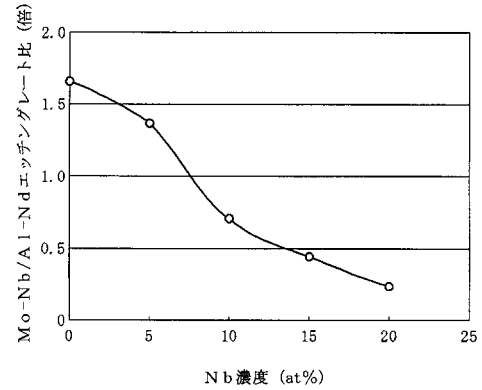
【図9】



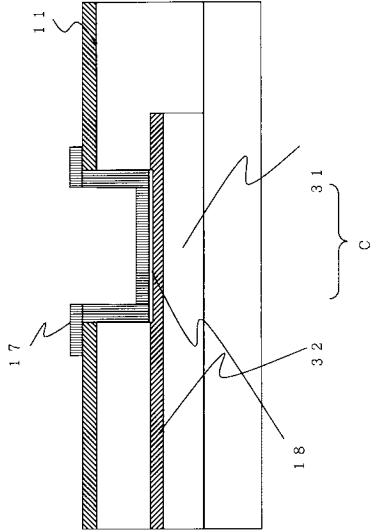
【図10】



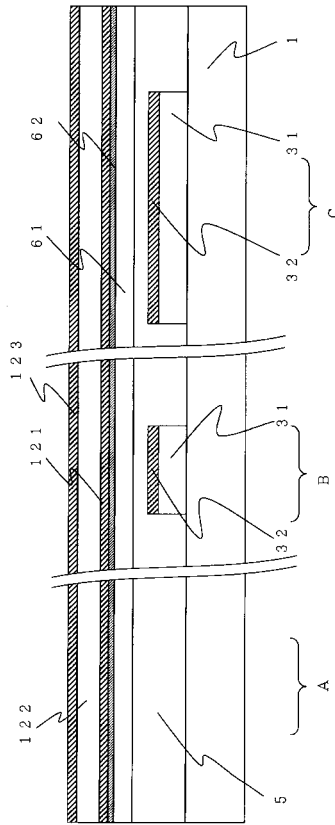
【図11】



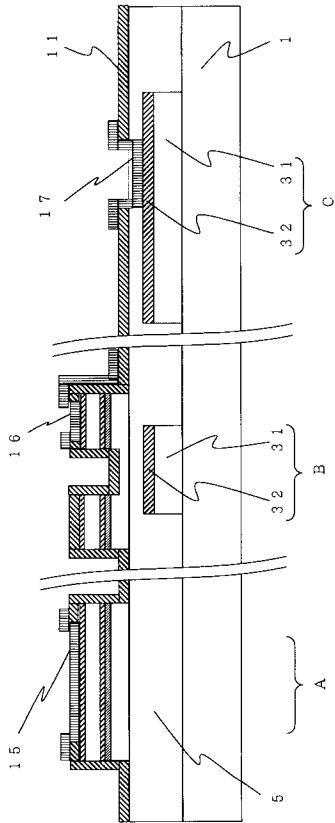
【 図 1 2 】



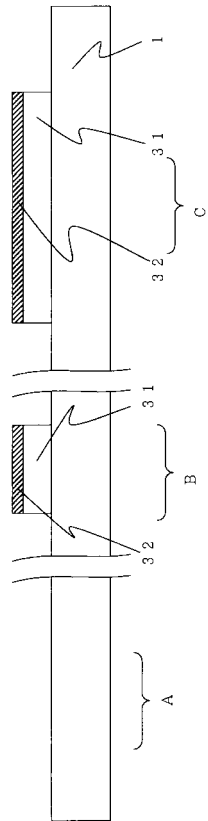
【 図 1 3 】



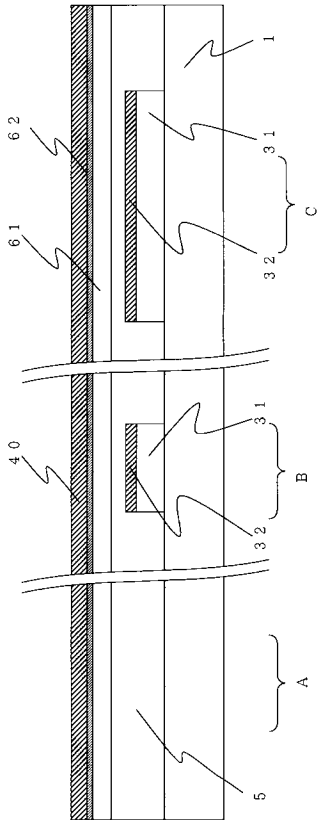
【 図 1 4 】



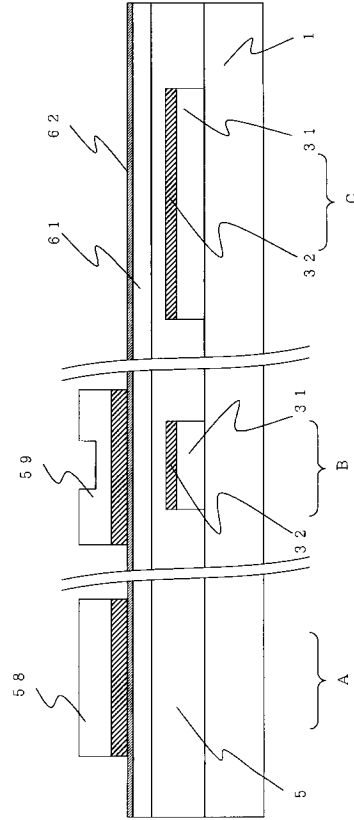
【 図 1 5 】



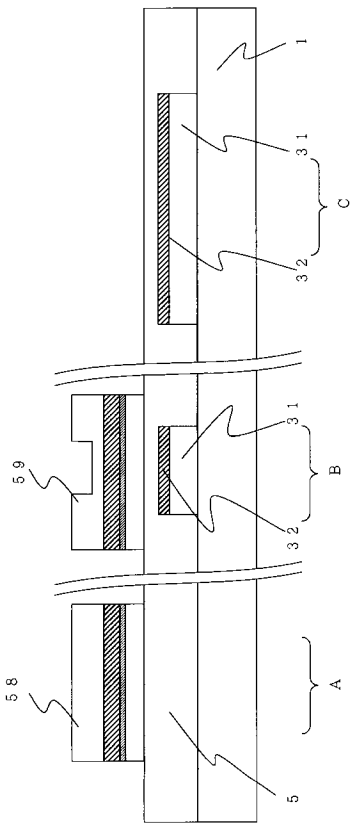
【 16 】



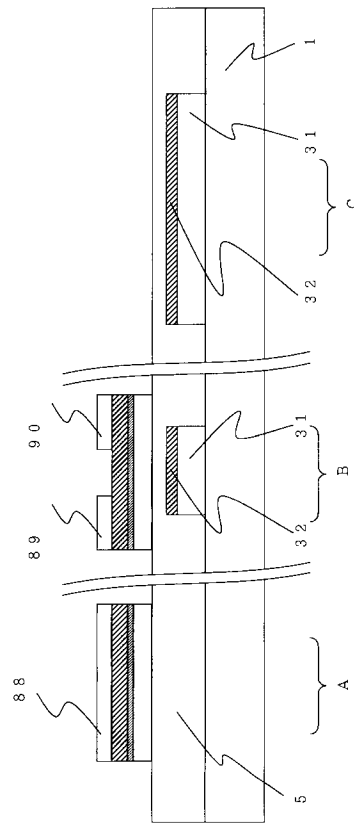
【 17 】



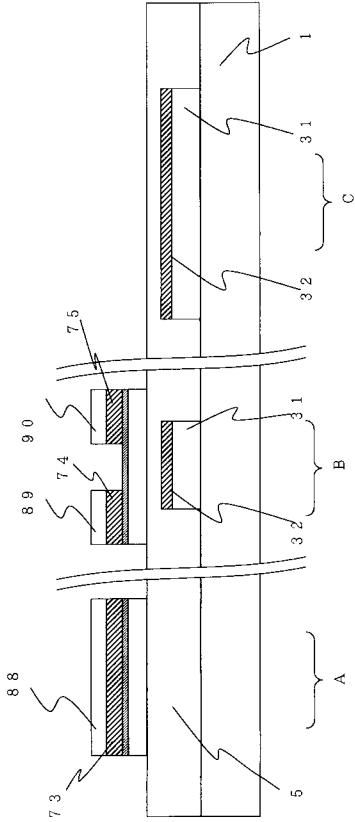
【 18 】



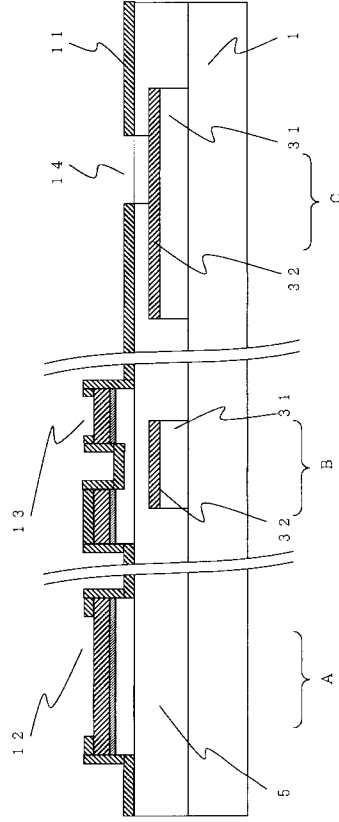
【 19 】



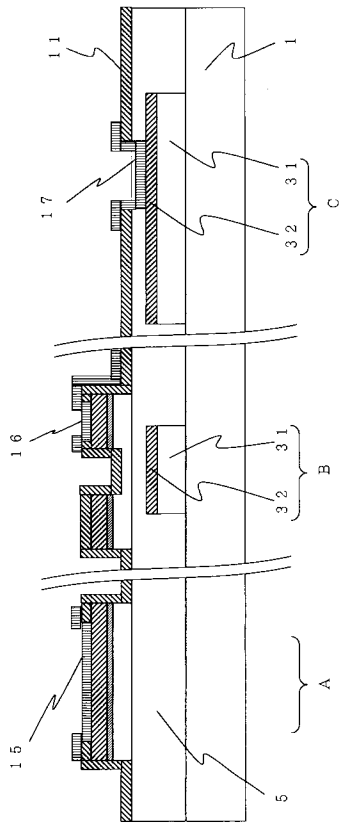
【 2 0 】



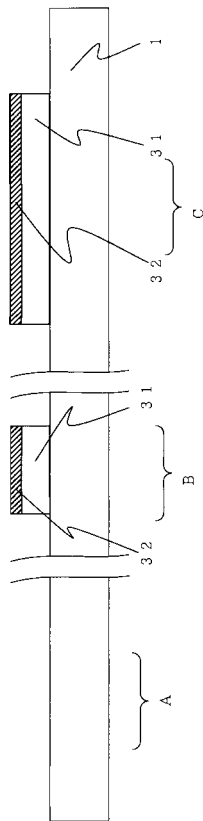
【 2 1 】



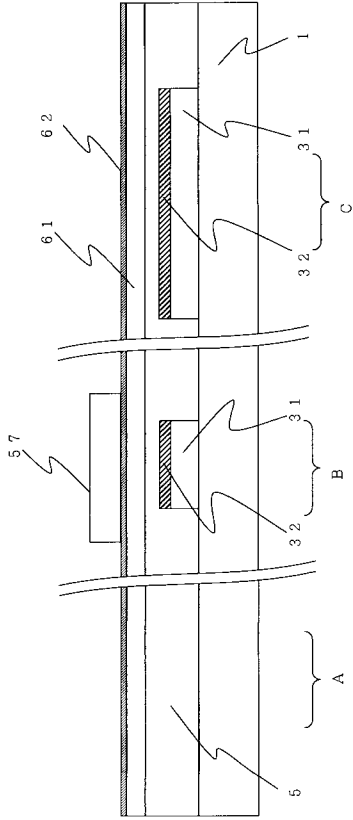
【 2 2 】



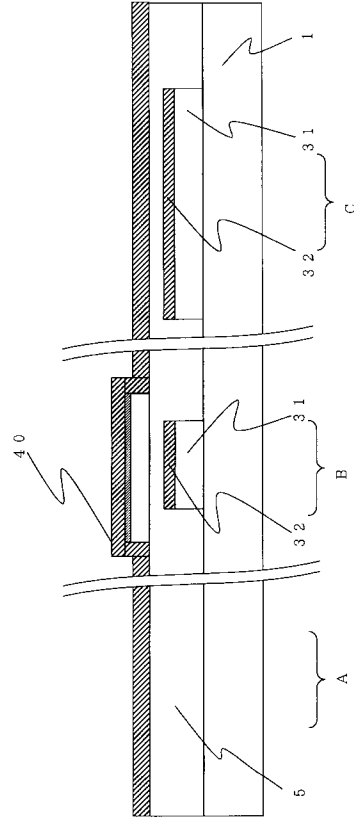
【 2 3 】



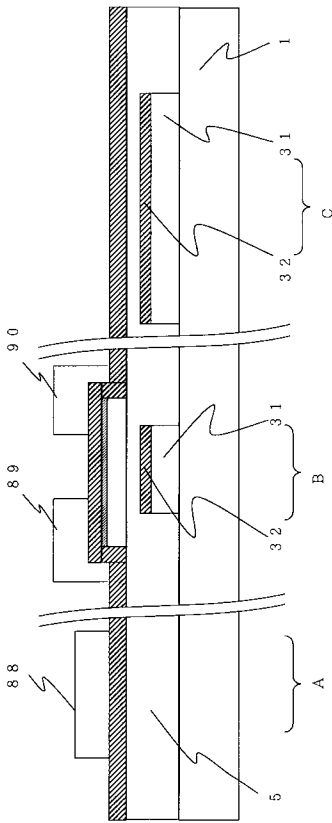
【 2 4 】



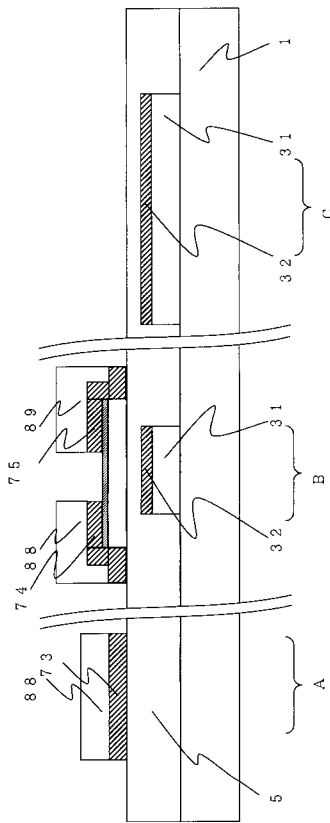
【 2 5 】



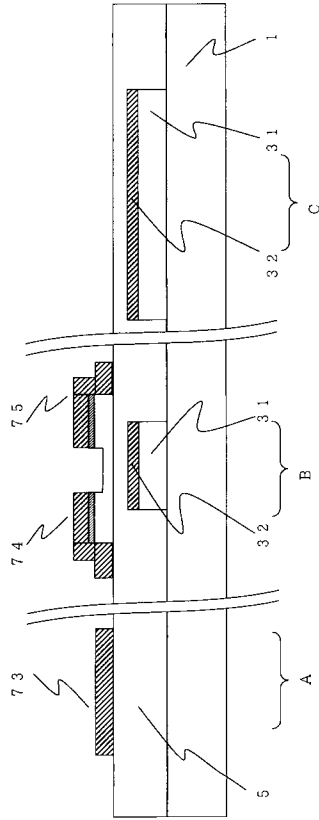
【 2 6 】



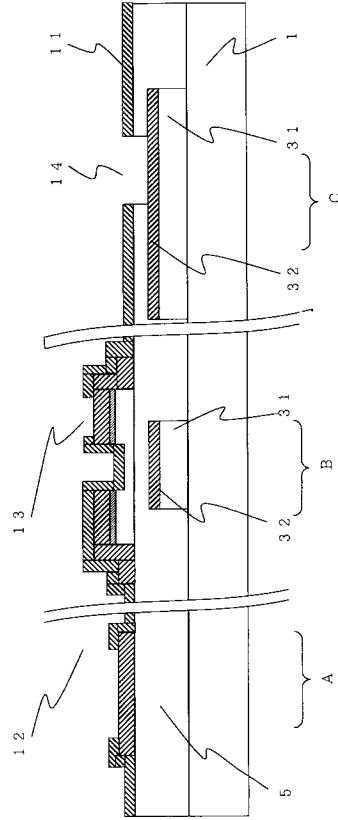
【 2 7 】



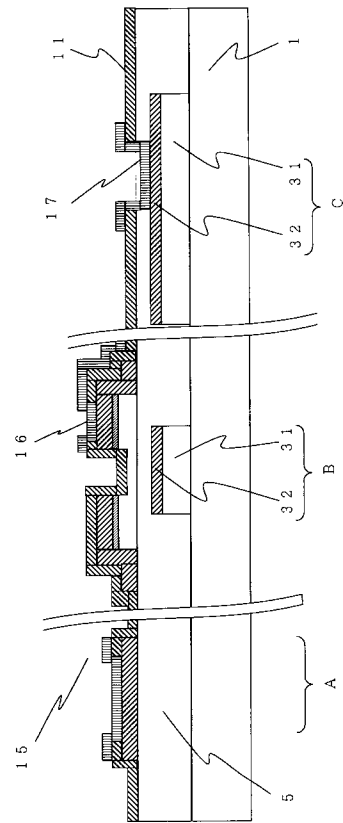
【 28 】



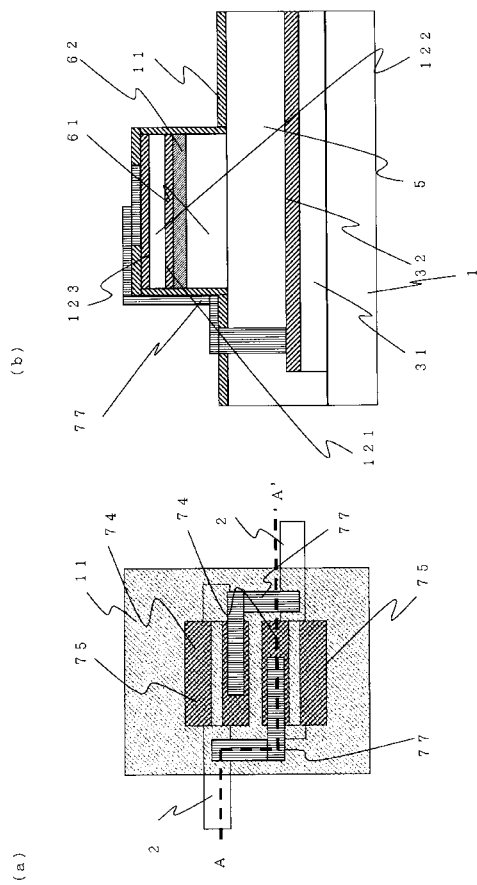
【 29 】



【 30 】



【 31 】



フロントページの続き

(51) Int.Cl. ⁷	F I	テーマコード(参考)
	H 0 1 L 21/88	M
	H 0 1 L 21/88	T

(72)発明者 鈴木 聖二

神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C 液晶テクノロジー株式会社内

(72)発明者 安田 亨寧

神奈川県川崎市中原区下沼部 1 7 5 3 番地 N E C 液晶テクノロジー株式会社内

F ターム(参考) 2H092 JA26 JA40 JA46 JB24 JB56 KB04 MA05 MA18 MA25 NA15
 NA28
 5C094 AA04 AA31 BA03 BA43 CA19 CA24 DA13 DB01 EA04 EA05
 FB12 FB15 GB10
 5F033 GG04 HH08 HH10 HH12 HH14 HH20 HH22 HH35 HH38 LL09
 MM05 MM08 MM15 PP15 QQ01 QQ08 QQ10 QQ19 RR03 RR05
 RR07 VV06 VV07 VV15 WW00 WW04 XX10 XX18
 5F110 AA21 BB02 CC07 DD02 DD03 EE03 EE06 EE07 EE14 EE44
 FF02 FF03 FF04 GG02 GG12 GG13 GG15 GG24 HK03 HK04
 HK06 HK07 HK09 HK22 HK33 HL04 HL06 HL07 HL12 HL23
 NN02 NN22 NN23 NN24 NN72

专利名称(译)	薄膜晶体管电路装置及其制造方法和使用薄膜晶体管电路装置的液晶显示装置		
公开(公告)号	JP2005057260A	公开(公告)日	2005-03-03
申请号	JP2004212977	申请日	2004-07-21
[标]申请(专利权)人(译)	NEC液晶技术株式会社		
申请(专利权)人(译)	NEC LCD科技有限公司		
[标]发明人	田中宏明 鈴木聖二 安田亨寧		
发明人	田中 宏明 鈴木 聖二 安田 亨寧		
IPC分类号	G02F1/1368 G02F1/136 G02F1/1362 G09F9/30 H01L21/3205 H01L21/336 H01L21/77 H01L21/84 H01L23/52 H01L27/12 H01L29/45 H01L29/49 H01L29/786		
CPC分类号	G02F1/13458 G02F1/136286 G02F2001/13629 H01L27/124 H01L29/456 H01L29/4908 H01L29/66765 H01L29/78669 H01L29/78678		
FI分类号	H01L29/78.612.C G02F1/1368 G09F9/30.338 H01L29/78.617.L H01L29/78.617.M H01L21/88.M H01L21/88.T		
F-TERM分类号	2H092/JA26 2H092/JA40 2H092/JA46 2H092/JB24 2H092/JB56 2H092/KB04 2H092/MA05 2H092 /MA18 2H092/MA25 2H092/NA15 2H092/NA28 5C094/AA04 5C094/AA31 5C094/BA03 5C094/BA43 5C094/CA19 5C094/CA24 5C094/DA13 5C094/DB01 5C094/EA04 5C094/EA05 5C094/FB12 5C094 /FB15 5C094/GB10 5F033/GG04 5F033/HH08 5F033/HH10 5F033/HH12 5F033/HH14 5F033/HH20 5F033/HH22 5F033/HH35 5F033/HH38 5F033/LL09 5F033/MM05 5F033/MM08 5F033/MM15 5F033 /PP15 5F033/QQ01 5F033/QQ08 5F033/QQ10 5F033/QQ19 5F033/RR03 5F033/RR05 5F033/RR07 5F033/VV06 5F033/VV07 5F033/VV15 5F033/WW00 5F033/WW04 5F033/XX10 5F033/XX18 5F110 /AA21 5F110/BB02 5F110/CC07 5F110/DD02 5F110/DD03 5F110/EE03 5F110/EE06 5F110/EE07 5F110/EE14 5F110/EE44 5F110/FF02 5F110/FF03 5F110/FF04 5F110/GG02 5F110/GG12 5F110 /GG13 5F110/GG15 5F110/GG24 5F110/HK03 5F110/HK04 5F110/HK06 5F110/HK07 5F110/HK09 5F110/HK22 5F110/HK33 5F110/HL04 5F110/HL06 5F110/HL07 5F110/HL12 5F110/HL23 5F110 /NN02 5F110/NN22 5F110/NN23 5F110/NN24 5F110/NN72 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB46 2H192/CC12 2H192/CC32 2H192/FA65 2H192/GA15 2H192/HA44 2H192/HA64		
代理人(译)	宫崎昭雄 伊藤 克博		
优先权	2003277459 2003-07-22 JP		
其他公开文献	JP2005057260A5		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种薄膜晶体管电路装置，该薄膜晶体管电路装置的布线由下层的铝基合金和上层的钼基合金构成，并且提供了一种薄膜晶体管电路装置的制造方法，其中几乎不进行大气中的钼基合金的腐蚀。薄膜晶体管电路装置的至少栅极布线（包括栅极端子）具有由铝或铝合金制成的下层和由包含铌的铝合金制成的上层。通过在上层的铝合金中含有5~15原子%的铌，可显着提高大气中的铝合金32的耐腐蚀性。[选择图]图14

