

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-19627
(P2005-19627A)
(43) 公開日 平成17年1月20日(2005.1.20)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
HO 1 L 29/786	HO 1 L 29/78 6 1 6 T	2 H O 9 2
GO 2 F 1/1343	GO 2 F 1/1343	5 F 1 1 O
GO 2 F 1/1368	GO 2 F 1/1368	
	HO 1 L 29/78 6 1 8 C	

審査請求 未請求 請求項の数 6 O L (全 12 頁)

(21) 出願番号	特願2003-181437 (P2003-181437)	(71) 出願人	302020207 東芝松下ディスプレイテクノロジー株式会社 東京都港区港南4-1-8
(22) 出願日	平成15年6月25日 (2003.6.25)	(74) 代理人	100058479 弁理士 鈴江 武彦
		(74) 代理人	100091351 弁理士 河野 哲
		(74) 代理人	100088683 弁理士 中村 誠
		(74) 代理人	100108855 弁理士 蔵田 昌俊
		(74) 代理人	100084618 弁理士 村松 貞男

最終頁に続く

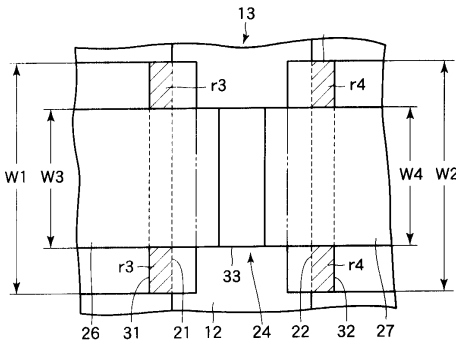
(54) 【発明の名称】 液晶表示装置

(57) 【要約】

【課題】 薄膜トランジスタのオフ特性に優れ、表示性能の向上した液晶表示装置を提供する。

【解決手段】 基板上には薄膜トランジスタ13が形成され、この薄膜トランジスタは、ゲート配線12と、絶縁膜と、半導体層24と、互いに隙間を置いて配設された第1配線26、および第2配線27とを有している。半導体層24は、第1半導体層31、第2半導体層32、および第3半導体層33を有しており、ゲート配線の延出方向において、第1半導体層の幅w1は第1配線26の幅w3以上であり、第2半導体層の幅w2は第2配線27の幅w4以上である。第3半導体層33は少なくとも第2半導体層32と接続されている。第2半導体層32は、ゲート配線12の外側に位置し、第2配線から外れた非重畳領域r4を有している。非重畳領域r4と第3半導体層33は第2配線27で区切られている。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

基板上に交差して配設された複数の信号配線および所定の幅を有した複数のゲート配線と、前記信号配線およびゲート配線の各交差部に設けられ、前記ゲート配線に重ねて形成された絶縁膜、前記ゲート配線に重なって前記絶縁膜上に配設された半導体層、前記絶縁膜および半導体層上に前記ゲート配線の一方の端縁を跨いで配設された第 1 配線、並びに前記第 1 配線に所定の隙間を置いて設けられ、前記ゲート配線の他方の端縁を跨いで配設された第 2 配線を有した薄膜トランジスタと、を備え、

前記半導体層は、前記ゲート配線の一方の端縁を跨いで配設され、前記第 1 配線と絶縁膜との間に位置しているとともに、前記ゲート配線の延出方向において、前記第 1 配線以上の幅を有し、この第 1 配線の両側に延出した第 1 半導体層と、前記ゲート配線の他方の端縁を跨いで配設され、前記第 2 配線と絶縁膜との間に位置しているとともに、前記ゲート配線の延出方向において、前記第 2 配線以上の幅を有し、この第 2 配線の両側に延出した第 2 半導体層と、前記第 1 半導体層および第 2 半導体層の間で前記ゲート配線と重なった領域内に設けられ、チャンネルを形成した第 3 半導体層と、を有し、

前記第 3 半導体層は少なくとも前記第 2 半導体層と接続され、この第 2 半導体層は、前記ゲート配線の外側に位置しているとともに前記第 2 配線から外れた非重畳領域を有し、前記非重畳領域と前記第 3 半導体層とは前記第 2 配線で区切られていることを特徴とする液晶表示装置。

【請求項 2】

前記第 2 半導体層の非重畳領域は、前記第 2 配線両側の 2 個所に設けられていることを特徴とする請求項 1 に記載の液晶表示装置。

【請求項 3】

基板上に交差して配設された複数の信号配線および所定の幅を有した複数のゲート配線と、前記信号配線およびゲート配線の各交差部に設けられ、前記ゲート配線に重ねて形成された絶縁膜、前記ゲート配線に重なって前記絶縁膜上に配設された半導体層、前記絶縁膜および半導体層上に前記ゲート配線の一方の端縁を跨いで配設された第 1 配線、並びに前記第 1 配線に所定の隙間を置いて設けられ、前記ゲート配線の他方の端縁を跨いで配設された第 2 配線を有した薄膜トランジスタと、を備え、

前記半導体層は、前記ゲート配線の一方の端縁を跨いで配設され、前記第 1 配線と絶縁膜との間に位置しているとともに、前記ゲート配線の延出方向において、前記第 1 配線以上の幅を有し、この第 1 配線の両側に延出した第 1 半導体層と、前記ゲート配線の他方の端縁を跨いで配設され、前記第 2 配線と絶縁膜との間に位置しているとともに、前記ゲート配線の延出方向において、前記第 2 配線以上の幅を有し、この第 2 配線の両側に延出した第 2 半導体層と、前記第 1 半導体層および第 2 半導体層の間で前記ゲート配線と重なった領域内に設けられ、チャンネルを形成した第 3 半導体層と、を有し、前記第 1 半導体層、第 2 半導体層、および第 3 半導体層は一体に連続して形成され、

前記第 1 半導体層および第 2 半導体層は、前記ゲート配線の外側に位置しているとともに前記第 1 配線および第 2 配線から外れた非重畳領域をそれぞれ有し、前記第 1 半導体層の非重畳領域は前記第 1 配線両側の 2 個所に設けられ、前記第 2 半導体層の非重畳領域は前記第 2 配線両側の 2 個所に設けられ、

前記ゲート配線と重なった領域内において、前記第 1 配線および第 2 配線は、前記半導体層から外れて位置した他の非重畳領域をそれぞれ有していることを特徴とする液晶表示装置。

【請求項 4】

基板上に交差して配設された複数の信号配線および所定の幅を有した複数のゲート配線と、前記信号配線およびゲート配線の各交差部に設けられ、前記ゲート配線に重ねて形成された絶縁膜、前記ゲート配線に重なって前記絶縁膜上に配設された半導体層、前記絶縁膜および半導体層上に前記ゲート配線の一方の端縁を跨いで配設された第 1 配線、並びに前記第 1 配線に所定の隙間を置いて設けられ、前記ゲート配線の他方の端縁を跨いで配設さ

10

20

30

40

50

れた第2配線を有した薄膜トランジスタと、を備え、

前記半導体層は、前記ゲート配線の一方の端縁を跨いで配設され、前記第1配線と絶縁膜との間に位置しているとともに、前記ゲート配線の延出方向において、前記第1配線以上の幅を有し、この第1配線の両側に延出した第1半導体層と、前記ゲート配線の他方の端縁を跨いで配設され、前記第2配線と絶縁膜との間に位置しているとともに、前記ゲート配線の延出方向において、前記第2配線以上の幅を有し、この第2配線の両側に延出した第2半導体層と、前記第1半導体層および第2半導体層の間で前記ゲート配線と重なった領域内に設けられ、チャンネルを形成した第3半導体層と、を有し、前記第2半導体層および第3半導体層は一体に形成され、

前記第2半導体層は、前記ゲート配線の外側に位置しているとともに前記第2配線から外れた非重畳領域を有し、前記非重畳領域は前記第2配線両側の2個所に設けられ、前記ゲート配線と重なった領域内において、前記第2配線は、前記半導体層から外れて位置した他の非重畳領域を有していることを特徴とする液晶表示装置。 10

【請求項5】

前記第2配線は、前記ゲート配線と重なった領域内において2又に分岐され所定の隙間を置いて配置された第1分岐部および第2分岐部を有し、

前記第1配線は、前記第1分岐部および第2分岐部の間に設けられていることを特徴とする請求項1、2、および4のいずれか1項に記載の液晶表示装置。

【請求項6】

前記他の非重畳領域は、前記半導体層から外れて2個所に設けられていることを特徴とする請求項3または4に記載の液晶表示装置。 20

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は液晶表示装置に関する。

【0002】

【従来の技術】

近年、画像表示装置として液晶表示装置が広く用いられている。このような液晶表示装置は、ガラス基板を有したアレイ基板を備えている。ガラス基板上には、複数の信号配線およびゲート配線が交差して配設され、信号配線およびゲート配線で囲まれた領域には画素が形成されている。この画素は、スイッチング素子としてゲート配線および半導体層等からなるTFT（薄膜トランジスタ）を有している。 30

【0003】

TFTについて詳細に述べると、ガラス基板上にはゲート配線が形成され、このゲート配線およびガラス基板上には、ゲート絶縁膜が形成されている。ゲート絶縁膜上には、チャンネルを形成した半導体層が形成されている。その他、ゲート絶縁膜上には、ゲート配線の一方のエッジを跨ぐ領域と、このゲート配線の他方のエッジを跨ぐ領域に、絶縁用の半導体層がそれぞれ形成されている。ゲート絶縁膜、半導体層、および絶縁用の半導体層上には、ソース配線およびドレイン配線が互いに隙間を置いて形成されている。

【0004】

半導体層は、ガラス基板の裏側に配置されたバックライトから光の照射を受けると、特にオフ状態におけるトランジスタ特性が著しく悪化するという課題がある。そのため、ゲート配線の幅は半導体層の幅より広く形成され、半導体層のエッジからゲート配線のエッジまでの距離は数 μm 、例えば6 μm に形成されている。これにより、半導体層へ照射されるバックライト光の回り込みは、ゲート配線により遮光される。 40

【0005】

絶縁用の半導体層は、ゲート配線およびソース配線の間と、ゲート配線およびドレイン配線の上に、それぞれ配置されている。絶縁用の半導体層は、ゲート絶縁膜に加えて、ゲート配線とソース配線またはドレイン配線との間のショート率を低減し、絶縁強化を図っている。 30

【 0 0 0 6 】

絶縁用の半導体層は、製造上の制約からある一定以上の面積を必要とし、小さく形成しすぎると、製造時にパターン剥がれを起し製品歩留まりを低下させる。そこで、絶縁用の半導体層は、ゲート配線と、ソース配線およびドレイン配線との絶縁強化用のため、ゲート配線のエッジから数 μm 程度はみ出して配置されている。この場合、絶縁用の半導体層にバックライト光が照射されるため、絶縁用の半導体層には、電流キャリアが発生する。

【 0 0 0 7 】

この電流キャリアは半導体層へ流れ込み T F T のオフ特性を悪化させる。そのため、絶縁用の半導体層は、半導体層と切り離して形成されている。同一層を切り離して形成する場合、切り離された部分の間のスペースは、製造上、一定以上必要である。そのため、絶縁用の半導体層と半導体層は、例えば 5 μm 程度間隔を開けて配置されている。

10

【 0 0 0 8 】

半導体層と絶縁用の半導体層が並んでいる軸方向において、半導体層および絶縁用の半導体層は、これら半導体層間を間隔を置いて設けられている。そして、半導体層のエッジからゲート配線パターンエッジまでの距離は、半導体層へのバックライト光の回り込みを遮光するために必要な数 μm の距離よりも大きな距離をとっている。

【 0 0 0 9 】

ゲート配線パターンとドレイン配線パターンによって形成される寄生容量は画素の設計において重要な要素であり、表示特性を向上させるにはできるだけ小さくすることが望ましい。上述した構成では、半導体層からゲート配線パターンエッジまでの距離を必要以上に大きく取っているため、寄生容量は大きな値となっている。

20

T F T は、一般に、半導体層としてアモルファスシリコン (a - S i) を有している (例えば、特許文献 1 参照) 。

【 0 0 1 0 】

【 特許文献 1 】

特開 8 - 5 5 9 9 7 号公報

【 0 0 1 1 】

【 発明が解決しようとする課題 】

T F T を備えた液晶表示装置の表示特性を向上させる場合、開口率を高めることが考えられる。そのためには、T F T の半導体層を形成する部分の周辺のパターンを小さくすることが考えられる。

30

【 0 0 1 2 】

その場合、上述したように、必要以上に大きくとっている半導体層のエッジからゲート配線パターンエッジまでの距離を低減させること、他の半導体層を半導体層と接続して、これら半導体層が形成される面積を低減させることが挙げられる。

【 0 0 1 3 】

しかしながら、この場合、バックライト光が直接あるいは間接的に T F T の半導体層へ照射され、半導体層に電流キャリアが発生することになる。そのため、T F T の良好なオフ特性が得られず、表示性能の低下を招く。

【 0 0 1 4 】

この発明は以上の点に鑑みなされたもので、その目的は、薄膜トランジスタのオフ特性に優れ、表示性能の向上した液晶表示装置を提供することにある。

40

【 0 0 1 5 】

【 課題を解決するための手段 】

上記課題を解決するため、この発明に係る液晶表示装置は、基板上に交差して配設された複数の信号配線および所定の幅を有した複数のゲート配線と、前記信号配線およびゲート配線の各交差部に設けられ、前記ゲート配線に重ねて形成された絶縁膜、前記ゲート配線に重なって前記絶縁膜上に配設された半導体層、前記絶縁膜および半導体層上に前記ゲート配線の一方の端縁を跨いで配設された第 1 配線、並びに前記第 1 配線に所定の隙間を置いて設けられ、前記ゲート配線の他方の端縁を跨いで配設された第 2 配線を有した薄膜ト

50

ランジスタと、を備え、前記半導体層は、前記ゲート配線の一方の端縁を跨いで配設され、前記第1配線と絶縁膜との間に位置しているとともに、前記ゲート配線の延出方向において、前記第1配線以上の幅を有し、この第1配線の両側に延出した第1半導体層と、前記ゲート配線の他方の端縁を跨いで配設され、前記第2配線と絶縁膜との間に位置しているとともに、前記ゲート配線の延出方向において、前記第2配線以上の幅を有し、この第2配線の両側に延出した第2半導体層と、前記第1半導体層および第2半導体層の間で前記ゲート配線と重なった領域内に設けられ、チャンネルを形成した第3半導体層と、を有し、前記第3半導体層は少なくとも前記第2半導体層と接続され、この第2半導体層は、前記ゲート配線の外側に位置しているとともに前記第2配線から外れた非重畳領域を有し、前記非重畳領域と前記第3半導体層とは前記第2配線で区切られていることを特徴としている。 10

【0016】

上記のように構成された液晶表示装置によれば、少なくとも第2半導体層および第3半導体層は一体に形成されているため、ゲート配線の幅を狭く形成でき、画素の開口率の向上を図ることができる。上記のように、ゲート配線を形成する場合であっても、従来半導体層の有する絶縁強化用の機能を無くせずにゲート配線と、第1配線および第2配線間の寄生容量を低く抑えることが可能であり、液晶表示装置の表示特性を向上させることができる。第2半導体層の非重畳領域に光が照射され、電流キャリアが発生する場合でも、この非重畳領域と第3半導体層は第2配線で区切られているため、電流キャリアは第3半導体層に流れ込むことはない。このため、薄膜トランジスタのオフ特性に与える影響を抑制することができる。上記のことから、薄膜トランジスタのオフ特性に優れ、表示性能の向上した液晶表示装置を提供できる。 20

【0017】

【発明の実施の形態】

以下、図面を参照しながらこの発明の実施の形態に係る液晶表示装置について詳細に説明する。

図1に示すように、液晶表示装置は、アレイ基板1と、このアレイ基板に所定の隙間を保持して対向配置された対向基板2と、アレイ基板および対向基板の間に挟持された液晶層3と、を備えている。アレイ基板1および対向基板2は、これら両基板の周縁部に配置されたシール材4により互いに接合されている。アレイ基板1の外面側には、バックライト5が配置されている。このバックライト5は、アレイ基板1に対向配置された導光板6と、この導光板の一侧縁に対向配置された光源7および反射板8とを有している。 30

【0018】

図2に示すように、アレイ基板はガラス基板を備え、このガラス基板上には、列方向に延びた複数の信号配線11と、行方向に延びた複数のゲート配線12とがマトリクス状に配設されている。信号配線11およびゲート配線12の各交差部にはスイッチング素子としてTFT13が設けられている。

【0019】

次にTFT13の一層詳しい構成を説明する。図2、図3、および図4に示すように、絶縁性を示す透明基板としてガラス基板20上には、所定の幅を有したゲート配線12が形成され、ゲート配線およびガラス基板上にはゲート絶縁膜23が成膜されている。ゲート絶縁膜23上には、ゲート配線12と重なった半導体層24が形成されている。 40

【0020】

ゲート絶縁膜23および半導体層24上には、第1配線として列方向に延びたドレイン配線26が配設されている。また、ゲート絶縁膜23および半導体層24上には、信号配線11の一部を延在し、列方向に延びた第2配線としてソース配線27が配設されている。これらドレイン配線26およびソース配線27は、所定の隙間を置いて設けられ、ゲート配線12の端縁21と、他の端縁22とをそれぞれ跨いで配設されている。本実施の形態において、ドレイン配線26およびソース配線27は、同一の導電材料により形成されている。

【 0 0 2 1 】

半導体層 2 4 は、第 1 半導体層 3 1、第 2 半導体層 3 2、および第 3 半導体層 3 3 を有している。第 1 半導体層 3 1 は、ゲート配線 1 2 の端縁 2 1 を跨いで配設され、ドレイン配線 2 6 とゲート絶縁膜 2 3 との間に位置している。第 1 半導体層 3 1 は、一部はゲート配線に重なっていると同時に、他の部はこの端縁からゲート配線の外側まで延出している。また、第 1 半導体層 3 1 は端縁 2 1 に沿って延び、所定の幅 w_1 を有している。

【 0 0 2 2 】

第 2 半導体層 3 2 は、ゲート配線 1 2 の他方の端縁 2 2 を跨いで配設され、ソース配線 2 7 と、ゲート絶縁膜 2 3 との間に位置している。第 2 半導体層 3 2 は、一部はゲート配線に重なっていると同時に、他の部はこの端縁からゲート配線の外側まで延出している。また、第 2 半導体層 3 2 は端縁 2 2 に沿って延び、所定の幅 w_2 を有している。 10

【 0 0 2 3 】

第 3 半導体層 3 3 は、T F T 1 3 のチャネルとして機能し、第 1、第 2 半導体層 3 1、3 2 間に位置し、ゲート配線 1 2 と重なった領域内に設けられている。これら第 1 半導体層 3 1、第 2 半導体層 3 2、および第 3 半導体層 3 3 は、同一の半導体層により一体に連続して形成されている。

【 0 0 2 4 】

次に、ドレイン配線 2 6 およびソース配線 2 7 について説明する。ドレイン配線 2 6 およびソース配線 2 7 はチャネルを形成した第 3 半導体層 3 3 と、それぞれ対応する絶縁強化用の第 1、第 2 半導体層 3 1、3 2 と、に接続されている。 20

【 0 0 2 5 】

ゲート配線 1 2 と重なった領域内において、ドレイン配線 2 6 およびソース配線 2 7 は、半導体層 2 4 の周縁から外れて位置した非重畳領域 r_1 、 r_2 をそれぞれ有している。これら非重畳領域 r_1 、 r_2 は、半導体層 2 4 と重なって位置しておらず、この半導体層に直接接続されないように位置している。そして、非重畳領域 r_1 、 r_2 は、ドレイン配線 2 6 およびソース配線 2 7 が半導体層 2 4 と交差した個所に位置している。この実施の形態において、非重畳領域 r_1 、 r_2 は、半導体層 2 4 から外れて、この半導体層両側の 2 個所にそれぞれ設けられている。

【 0 0 2 6 】

ゲート配線 1 2 の延出方向において、ドレイン配線 2 6 およびソース配線 2 7 は所定の幅 w_3 、 w_4 をそれぞれ有している。そして、ゲート配線 1 2 の延出方向において、第 1 半導体層 3 1 はドレイン配線 2 6 以上の幅を有し ($w_1 \quad w_3$)、このドレイン配線の両側に延出している。また、ゲート配線 1 2 の延出方向において、第 2 半導体層 3 2 はソース配線 2 7 以上の幅を有し ($w_2 \quad w_4$)、このソース配線の両側に延出している。 30

【 0 0 2 7 】

ゲート配線 1 2 の外側において、第 1 半導体層 3 1 は、ドレイン配線 2 6 から外れて位置した非重畳領域 r_3 を有している。ゲート配線 1 2 の外側において、第 2 半導体層 3 2 は、ソース配線 2 7 から外れて位置した非重畳領域 r_4 を有している。この実施の形態において、非重畳領域 r_3 は、ドレイン配線 2 6 両側の 2 個所に設けられ、非重畳領域 r_4 は、ソース配線 2 7 両側の 2 個所に設けられている。 40

【 0 0 2 8 】

なお、ドレイン配線 2 6 は、このドレイン配線およびソース配線 2 7 と重ならず位置した第 3 半導体層 3 3 と、非重畳領域 r_3 とを区切っている。ソース配線 2 7 は、このソース配線およびドレイン配線 2 6 と重ならず位置した第 3 半導体層 3 3 と非重畳領域 r_4 とを区切っている。

【 0 0 2 9 】

2 本の信号配線 1 1 および 2 本のゲート配線 1 2 で囲まれた領域内には、画素電極 1 4 が形成されている。ソース配線 2 7 および画素電極 1 4 は、コンタクト 2 9 により接続され、導通状態に維持されている。信号配線 1 1 とゲート配線 1 2 の間に位置し、信号配線がゲート配線を跨ぐ部分には、半導体層 2 4 と同一材料により他の半導体層 2 5 が設けられ 50

ている。この他の半導体層 25 は、信号配線 11 およびゲート配線 12 間の絶縁強化のために用いられている。本実施の形態において、半導体層 24 および他の半導体層 25 はアモルファスシリコンで形成されている。

【0030】

このように構成された、第 1 の実施の形態に係る液晶表示装置によれば、半導体層 24 を構成する第 1 ないし第 3 半導体層 31 ~ 33 は一体に連続して形成されている。このように、各半導体層間のスペースを開けずに形成することにより、半導体層 24 の幅は短縮される。そのため、必要以上にとっていた第 1 半導体層 31 のエッジからゲート配線 12 の端縁 21 までの距離、または第 2 半導体層 32 のエッジからゲート配線の他の端縁 22 までの距離を最適な距離まで短縮できる。また、第 1 ないし第 3 半導体層 31 ~ 33 を一体に形成することにより、ゲート配線 12 の幅を狭くすることができる。そして、上記のように、省スペース化されたゲート配線 12 および半導体層 24 により、画素の開口率を向上させることができる。

10

【0031】

ゲート配線 12 の幅を狭く形成する場合であっても、従来半導体層の有する層間絶縁強化の機能を無くすことなく、ゲート配線を形成することができる。このため、ゲート配線 12 と、ドレイン配線 26 およびソース配線 27 間の寄生容量を低く抑えることが可能であり、液晶表示装置の表示特性を向上させることができる。

【0032】

ドレイン配線 26 およびソース配線 27 は、それぞれ非重畳領域 r_1 、 r_2 を有している。ゲート配線 12 から外れて位置した第 1 半導体層 31 および第 2 半導体層 32 にバックライト 5 の光が照射され、電流キャリアが発生する場合、非重畳領域 r_1 、 r_2 により、第 3 半導体層 33 への電流キャリアの流れ込みを抑制することができる。このため、ゲート配線 12 から外れて位置した第 1 半導体層 31 に発生する電流キャリアはドレイン配線 26 に流れ込み、ゲート配線 12 から外れて位置した第 2 半導体層 32 に発生する電流キャリアはソース配線 27 に流れ込む。これにより、TFT 13 のオフ特性に与える影響を抑制することができる。上記のことから、TFT 13 のオフ特性に優れ、表示性能の向上した液晶表示装置を得ることができる。

20

【0033】

次に、この発明の第 2 の実施の形態に係る液晶表示装置について説明する。図 5 に示すように、アレイ基板はガラス基板を備え、このガラス基板上には、ゲート配線 12 と、ゲート絶縁膜と、第 1 半導体層 31、第 2 半導体層 32、および第 3 半導体層 33 を有した半導体層 24 とが形成されている。ゲート絶縁膜、第 1 半導体層 31 および第 3 半導体層 33 上には、ゲート配線 12 の一方の端縁 21 を跨いで第 1 配線としてドレイン配線 26 が配設されている。

30

【0034】

ゲート絶縁膜、第 2 半導体層 32、および第 3 半導体層 33 上には、ゲート配線 12 の他方の端縁 22 を跨いで第 2 配線としてソース配線 27 が配設されている。ドレイン配線 26 は、第 1 半導体層 31 および第 3 半導体層 33 と接続され、ソース配線 27 は、第 2 半導体層 32 および第 3 半導体層と接続されている。

40

【0035】

第 1 半導体層 31 は、ゲート配線 12 の一方の端縁 21 を跨いで配設され、ドレイン配線 26 とゲート絶縁膜 23 との間に位置している。第 1 半導体層 31 は、一部はゲート配線 12 に重なっていると同時に、他の部はこの端縁からゲート配線の外側まで延出している。第 2 半導体層 32 は、ゲート配線 12 の他方の端縁 22 を跨いで配設され、ソース配線 27 とゲート絶縁膜 23 との間に位置している。第 2 半導体層 32 は、一部はゲート配線 12 に重なっていると同時に、他の部はこの端縁からゲート配線の外側まで延出している。第 3 半導体層 33 は、TFT 13 のチャンネルとして機能し、第 1、第 2 半導体層 31、32 間に位置し、ゲート配線 12 と重なった領域内に設けられている。

【0036】

50

第 1 ないし第 3 半導体層 3 1 ~ 3 3 は、同一の半導体層により形成され、第 2 半導体層 3 2 および第 3 半導体層 3 3 は、一体に形成されている。第 1 半導体層 3 1 と第 3 半導体層 3 3 は所定の隙間を置いて配設されている。

【 0 0 3 7 】

次いで、ドレイン配線 2 6、およびソース配線 2 7 について説明する。ゲート配線 1 2 と重なった領域において、ドレイン配線 2 6 は、第 1 半導体層 3 1 および第 3 半導体層 3 3 の周縁から外れて位置した非重畳領域 r 1 を有している。そして、非重畳領域 r 1 は、ドレイン配線 2 6 が第 1 半導体層 3 1、および第 3 半導体層 3 3 と交差した個所に位置している。上記のように、ドレイン配線 2 6 およびソース配線 2 7 はチャンネルを形成した第 3 半導体層 3 3 と、それぞれ対応する絶縁強化用の第 1、第 2 半導体層 3 1、3 2 と、に接 10
続されている。

【 0 0 3 8 】

ゲート配線 1 2 と重なった領域において、ソース配線 2 7 は、2 又に分岐して U 字形に形成され、第 1 分岐部 2 7 a、およびこの第 1 分岐部に所定の隙間を置いて配置された第 2 分岐部 2 7 b を有している。ここで、ドレイン配線 2 6 は、第 1 分岐部 2 7 a および第 2 分岐部 2 7 b の間に設けられている。第 1 分岐部 2 7 a および第 2 分岐部 2 7 b は、第 3 半導体層 3 3 の周縁から外れて位置した非重畳領域 r 2 を有している。この非重畳領域 r 2 は、ソース配線 2 7 が第 3 半導体層 3 3 と交差した個所に位置している。この実施の形態において、非重畳領域 r 2 は、第 1 分岐部 2 7 a および第 2 分岐部 2 7 b が第 3 半導体層 3 3 と交差した 2 個所に位置している。 20

【 0 0 3 9 】

ゲート配線 1 2 の延出方向において、第 1 半導体層 3 1 は、ドレイン配線 2 6 以上の幅を有し (w 1 w 3)、このドレイン配線の両側に延出している。また、ゲート配線 1 2 の延出方向において、第 2 半導体層 3 2 は、ソース配線 2 7 以上の幅を有し (w 2 w 4)、このソース配線の両側に延出している。第 1 半導体層 3 1 および第 2 半導体層 3 2 は、非重畳領域 r 3 および非重畳領域 r 4 をそれぞれ有している。この実施の形態において、非重畳領域 r 3 は、ドレイン配線 2 6 両側の 2 個所に設けられ、非重畳領域 r 4 は、ソース配線 2 7 両側の 2 個所に設けられている。なお、ソース配線 2 7 は、このソース配線と重ならず位置した第 3 半導体層 3 3 と非重畳領域 r 4 とを区切っている。 30

【 0 0 4 0 】

このように構成された、第 2 の実施の形態に係る液晶表示装置によれば、第 2 半導体層 3 2 および第 3 半導体層 3 3 は一体に形成されるため、ゲート配線 1 2 および半導体層 2 4 を省スペース化することができ、画素の開口率の向上を図ることができる。第 1 半導体層 3 1 は、第 3 半導体層 3 3 に隙間を置いて配置され、従来の技術を踏襲しているが、第 3 半導体層がある一定のチャンネル幅を超える場合、ゲート配線 1 2 およびドレイン配線 2 6 間の寄生容量の値を、上述した実施の形態のそれよりも低く抑えることができる。このため、液晶表示装置の表示特性を向上させることができる。上記のように構成された場合でも、ゲート配線 1 2 と、ドレイン配線 2 6 およびソース配線 2 7 間の寄生容量を低く抑えることが可能であり、液晶表示装置の表示特性を向上させることができる。 40

【 0 0 4 1 】

ドレイン配線 2 6 およびソース配線 2 7 は、それぞれ非重畳領域 r 1、r 2 を有している。ゲート配線 1 2 から外れて位置した第 2 半導体層 3 2 にバックライト 5 の光が照射され、電流キャリアが発生する場合、非重畳領域 r 2 により、第 2 半導体層 3 2 と一体に形成された第 3 半導体層 3 3 への電流キャリアの流れ込みを抑制することができる。このため、電流キャリアは、第 3 半導体層 3 3 に流れ込むことなくソース配線 2 7 に流れ込む。これにより、T F T 1 3 のオフ特性に与える影響を抑制することができる。上記のことから、T F T 1 3 のオフ特性に優れ、表示性能の向上した液晶表示装置を得ることができる。 40

【 0 0 4 2 】

次に、この発明の第 3 および第 4 の実施の形態に係る液晶表示装置について説明する。図 6 に示すように、ドレイン配線 2 6 およびソース配線 2 7 は、上述した非重畳領域を設 50

けていない。ゲート配線 12 と重なった領域内において、ドレイン配線 26 およびソース配線 27 は半導体層 24 から外れて位置しておらず、第 3 半導体層 33 の両側の端縁に重なってそれぞれ設けられている。ゲート配線 12 の外側において、第 1、第 2 半導体層 31、32 は、ドレイン配線 26 およびソース配線 27 から外れて位置した非重畳領域 r3、r4 を有している。そして、ドレイン配線 26 およびソース配線 27 は、これら配線と重ならず位置した第 3 半導体層 33 の所定領域と、非重畳領域 r3、r4 とを区切っている。

【0043】

図 7 に示すように、ソース配線 27 は、非重畳領域を設けていない。ゲート配線 12 と重なった領域内において、ソース配線 27 は半導体層 24 から外れて位置しておらず、第 3 半導体層 33 の両側の端縁に重なって設けられている。ゲート配線 12 の外側において、第 2 半導体層 32 は、ソース配線 27 と重ならず位置した非重畳領域 r4 を有している。そして、ソース配線 27 は、このソース配線と重ならず位置した第 3 半導体層 33 の所定領域と、非重畳領域 r4 とを区切っている。

10

【0044】

このように構成された、第 3 および第 4 の実施の形態に係る液晶表示装置によれば、第 3 半導体層 33 と接続された第 1 半導体層 31 および第 2 半導体層 32 の非重畳領域 r3、r4 と、ドレイン配線 26 およびソース配線 27 と重ならず位置した第 3 半導体層 33 の所定領域とは、ドレイン配線およびソース配線で区切られている。上記のように構成することにより、ドレイン配線 26 およびソース配線 27 が非重畳領域を設けていない場合であってもチャンネルを形成した第 3 半導体層 33 への電流キャリアの流れ込みを抑制することができる。これにより、TFT13 のオフ特性に与える影響を抑制することができ、表示性能の向上した液晶表示装置を得ることができる。

20

【0045】

第 3 および第 4 の実施の形態において、画素の開口率の向上を図ることができ、ゲート配線 12 と、ドレイン配線 26 およびソース配線 27 との間の寄生容量を低く抑えられることはいうまでもない。

第 2 ないし第 4 の実施の形態において、他の構成は上述した実施の形態と同一であり、同一の部分には同一の符号を付してその詳細な説明を省略した。なお、第 1 および第 2 の実施の形態において、ドレイン配線 26 およびソース配線 27 が非重畳領域 r3 および非重畳領域 r4 と、第 3 半導体層 33 とを区切った効果は、上述した第 3 および第 4 の実施の形態と同様である。

30

【0046】

その他、この発明は、上述した実施の形態に限定されることなく、この発明の範囲内で種々変形可能である。例えば、半導体層 24 と、ドレイン配線 26 およびソース配線 27 とは、それぞれ接続されているが、これらは n^+a-Si 膜を介して接続される。上述した説明では n^+a-Si 膜の記載を省略したが、 $a-Si$ からなる半導体層で構成された TFT13 において、この n^+a-Si 膜は必須の層である。上述した実施の形態において、ドレイン配線 26 を第 1 配線、ソース配線 27 を第 2 配線としたが、第 1 配線および第 2 配線のいずれか一方がドレイン配線、他方がソース配線であればよい。

40

【0047】

【発明の効果】

以上のように、本発明によれば、薄膜トランジスタのオフ特性に優れ、表示性能の向上した液晶表示装置を提供できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施の形態に係る液晶表示装置の断面図。

【図 2】図 1 に示したアレイ基板の一部を拡大して示す平面図。

【図 3】図 2 に示した薄膜トランジスタを拡大して示す平面図。

【図 4】図 3 に示した薄膜トランジスタの A1 - A2 断面図。

【図 5】本発明の第 2 の実施の形態に係る薄膜トランジスタの断面図。

50

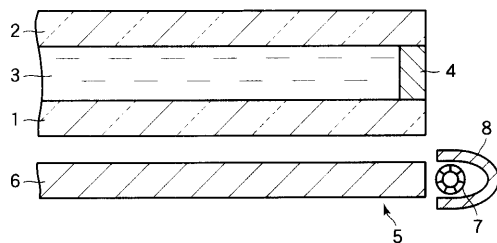
【図 6】本発明の第 3 の実施の形態に係る薄膜トランジスタの断面図。

【図 7】本発明の第 4 の実施の形態に係る薄膜トランジスタの断面図。

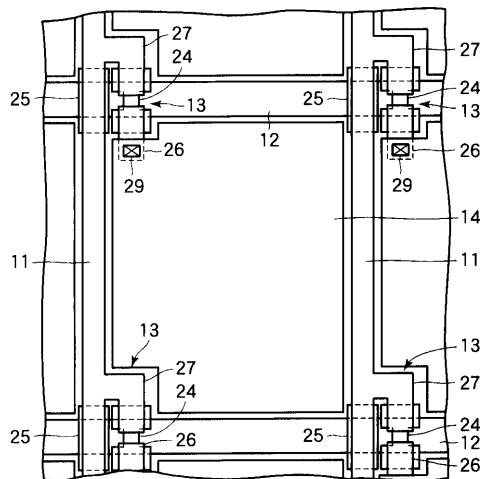
【符号の説明】

1 ... アレイ基板, 2 ... 対向基板, 3 ... 液晶層, 5 ... バックライト, 11 ... 信号配線, 12 ... ゲート配線, 13 ... 薄膜トランジスタ, 14 ... 画素電極, 20 ... 基板, 21、22 ... 端縁, 23 ... ゲート絶縁膜, 24、25 ... 半導体層, 26 ... ドレイン配線, 27 ... ソース配線, 27a ... 第 1 分岐部, 27b ... 第 2 分岐部, 31 ... 第 1 半導体層, 32 ... 第 2 半導体層, 33 ... 第 3 半導体層, w1 ~ w4 ... 幅, r1 ~ r4 ... 非重畳領域

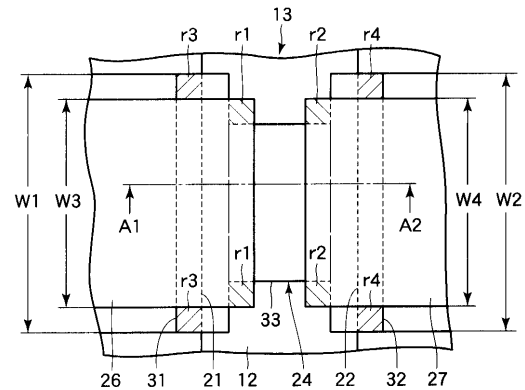
【図 1】



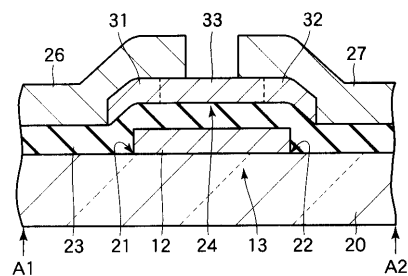
【図 2】



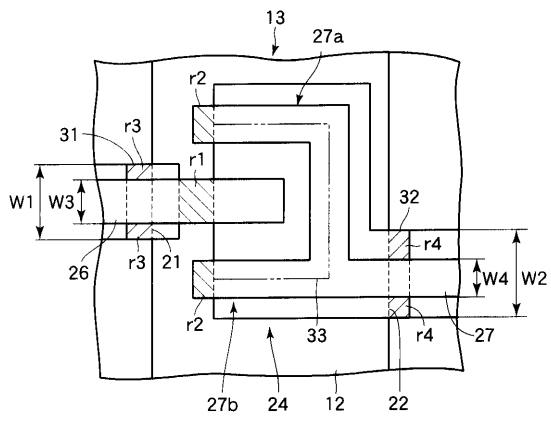
【図 3】



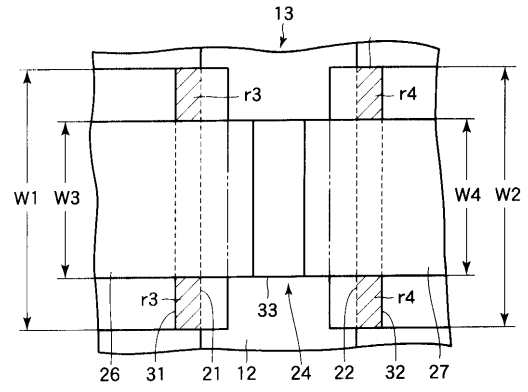
【図 4】



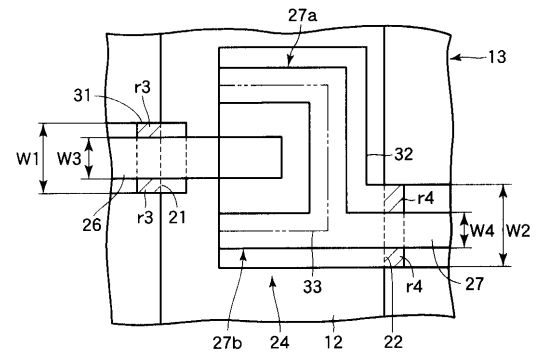
【 図 5 】



【 図 6 】



【 図 7 】



フロントページの続き

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 原田 和幸

東京都港区港南四丁目 1 番 8 号 東芝松下ディスプレイテクノロジー株式会社内

F ターム(参考) 2H092 JA26 JA29 JA31 JA32 JA36 JA38 JA40 JA42 JA44 JA46

KA05 NA07 NA22 NA23

5F110 AA06 AA30 CC07 DD02 GG02 GG15 GG23 HM04 HM12 HM19

专利名称(译)	液晶表示装置		
公开(公告)号	JP2005019627A	公开(公告)日	2005-01-20
申请号	JP2003181437	申请日	2003-06-25
[标]申请(专利权)人(译)	东芝松下显示技术股份有限公司		
申请(专利权)人(译)	东芝松下显示技术有限公司		
[标]发明人	原田和幸		
发明人	原田 和幸		
IPC分类号	G02F1/1343 G02F1/1368 H01L29/786		
FI分类号	H01L29/78.616.T G02F1/1343 G02F1/1368 H01L29/78.618.C		
F-TERM分类号	2H092/JA26 2H092/JA29 2H092/JA31 2H092/JA32 2H092/JA36 2H092/JA38 2H092/JA40 2H092/JA42 2H092/JA44 2H092/JA46 2H092/KA05 2H092/NA07 2H092/NA22 2H092/NA23 5F110/AA06 5F110/AA30 5F110/CC07 5F110/DD02 5F110/GG02 5F110/GG15 5F110/GG23 5F110/HM04 5F110/HM12 5F110/HM19 2H192/AA24 2H192/BC31 2H192/CB05 2H192/CB45 2H192/CC04 2H192/CC42 2H192/DA72 2H192/EA04 2H192/GA42		
代理人(译)	河野 哲 中村诚		
外部链接	Espacenet		

摘要(译)

解决的问题：提供一种具有优异的薄膜晶体管截止特性和改善的显示性能的液晶显示装置。薄膜晶体管（13）形成在基板上，并且该薄膜晶体管包括栅极布线（12），绝缘膜，半导体层（24），第一布线（26）和第二布线，它们之间以间隙布置。有27和。半导体层24具有第一半导体层31，第二半导体层32和第三半导体层33，并且第一半导体层的宽度 w_1 是第一布线26在栅极布线的延伸方向上的宽度。第二半导体层的宽度 w_3 或更大，并且第二半导体层的宽度 w_2 是第二布线27的宽度 w_4 或更大。第三半导体层33至少与第二半导体层32连接。第二半导体层32位于栅极线12的外部并且具有不在第二线之外的非重叠区域 r_4 。非重叠区域 r_4 和第三半导体层33被第二布线27隔开。 [选择图]图6

