

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2004-514956

(P2004-514956A)

(43) 公表日 平成16年5月20日(2004.5.20)

(51) Int.Cl.⁷

G09G 3/36

G02F 1/133

G09G 3/20

F I

G09G 3/36

G02F 1/133 550

G09G 3/20 621B

G09G 3/20 623B

テーマコード(参考)

2H093

5C006

5C080

審査請求 未請求 予備審査請求 未請求 (全 36 頁)

(21) 出願番号 特願2002-547152(P2002-547152)
 (86) (22) 出願日 平成13年11月29日(2001.11.29)
 (85) 翻訳文提出日 平成14年7月29日(2002.7.29)
 (86) 国際出願番号 PCT/US2001/044745
 (87) 国際公開番号 W02002/045065
 (87) 国際公開日 平成14年6月6日(2002.6.6)
 (31) 優先権主張番号 60/250,196
 (32) 優先日 平成12年11月30日(2000.11.30)
 (33) 優先権主張国 米国(US)

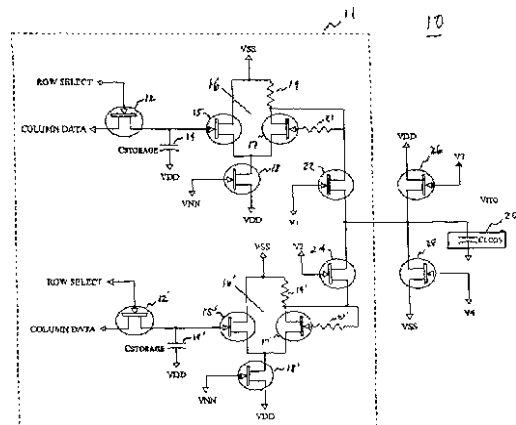
(71) 出願人 501263810
 トムソン ライセンシング ソシエテ ア
 ノニム
 Thomson Licensing S
 . A.
 フランス国, エフ-92100 ブロー
 ニュ ビヤンクール, ケ アルフォンス
 ル ガロ, 46番地
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重

最終頁に続く

(54) 【発明の名称】 液晶ディスプレイにおいて改善される輝度制御のための駆動回路及びその方法

(57) 【要約】

記憶素子と液晶セル20とを有するディスプレイユニット50向けのディスプレイドライバ10は、第1のストレージキャパシタ14と該第1のストレージキャパシタ14と液晶セルとの間に接続される第1の差動増幅器16とを有する第1のディスプレイドライバ回路、及び第2のストレージキャパシタ14'と該第2のストレージキャパシタ14'と液晶セル20との間に接続される第2の差動増幅器16'を備えている。また、ディスプレイドライバは、正のフレーム期間に第1のディスプレイドライバ回路に切換え、負のフレーム期間に第2のディスプレイドライバ回路に切換える、ディスプレイドライバのスイッチングを可能にする第1のスイッチングメカニズム22及び24、及び供給電圧V_{dd}及びV_{ss}に接続される第2のスイッチングメカニズム26及び28を含んでいる。この第2のスイッチングメカニズムは、少なくとも1つのグローバルアドレスラインV₃又はV₄により制御される。



【特許請求の範囲】

【請求項 1】

記憶素子と液晶セルとを有するディスプレイユニット向けのディスプレイドライバであって、

第 1 のストレージキャパシタと、該第 1 のストレージキャパシタと前記液晶セルの間に接続される第 1 の差動増幅器とを有する第 1 のディスプレイドライバ回路と、

第 2 のストレージキャパシタと、該第 2 のストレージキャパシタと前記液晶セルの間に接続される第 2 の差動増幅器とを有する第 2 のディスプレイドライバ回路と、

前記液晶セルに接続され、正のフレーム期間に前記第 1 のディスプレイドライバ回路に切換え、負のフレーム期間に前記第 2 のディスプレイドライバ回路に切換える、前記ディスプレイドライバの切換えを可能にする第 1 のスイッチング回路と、

前記液晶セルに接続され、少なくとも 1 つの供給電圧に接続され、少なくとも 1 つのグローバルアドレスラインにより制御される第 2 のスイッチング回路と、を備えるディスプレイドライバ。

【請求項 2】

前記第 1 の差動増幅器及び前記第 2 の差動増幅器は、前記第 1 のストレージキャパシタと前記液晶セルの間、及び前記第 2 のストレージキャパシタと前記液晶セルの間のそれぞれに遮断を提供する、

請求項 1 記載のディスプレイドライバ。

【請求項 3】

前記第 1 のスイッチング回路は、第 1 のグローバルスイッチング電圧により駆動される第 1 のトランジスタと、第 2 のグローバルスイッチング電圧により駆動される第 2 のトランジスタとを備える、

請求項 1 記載のディスプレイドライバ。

【請求項 4】

前記第 2 のスイッチング回路は、第 1 のグローバルアドレスラインにより駆動される第 1 のトランジスタと、第 2 のグローバルアドレスラインにより駆動される第 2 のトランジスタとを備える、

請求項 1 記載のディスプレイドライバ。

【請求項 5】

前記第 1 の差動増幅器及び前記第 2 の差動増幅器のそれぞれは、それぞれが接続されるソースと、前記液晶セルへの出力としての役割を果たす N チャネルトランジスタのペアのうちの一方からのドレインとを有する N チャネルトランジスタのペアを備える、

請求項 1 記載のディスプレイドライバ。

【請求項 6】

前記第 1 の差動増幅器及び前記第 2 の差動増幅器のそれぞれは、それぞれが接続されるソースと、電流源をゲートで制御して画素への所定の電圧を確保する別の N チャネルトランジスタによりゲートで制御される電流源とを有する N チャネルトランジスタのペアを備える、

請求項 1 記載のディスプレイドライバ。

【請求項 7】

液晶セル向けの複数の駆動回路を有する反射型液晶ディスプレイを駆動するための方法であって、

第 1 のトランジスタのペアを備える第 1 のスイッチング回路を使用して、前記複数のドライバ回路の間で切換えるステップと、

少なくとも 1 つの供給電圧に接続される第 2 のトランジスタのペアを備え、少なくとも 1 つのグローバルアドレスラインにより制御される第 2 のスイッチング回路を使用して、ブランキング機能を制御するステップと、

を備える方法。

【請求項 8】

液晶セルからなるアレイを有するディスプレイユニットであって、
所与のディスプレイドライバが所与の液晶セルに関連付けされており、所与の液晶セルについてのドライバ回路を含むディスプレイドライバからなるアレイを備え、
前記ドライバ回路は、
メモリセルと、
前記液晶セル及び少なくとも１つの供給電圧源に接続され、所与の液晶セルについての前記ドライバ回路をバイパスする信号経路を介して、前記所与の液晶セルにおいて発生される電圧を全体的に制御するスイッチング回路とを含む、
ディスプレイユニット。

【請求項 9】

10

前記スイッチング回路は、前記メモリセルに記憶されたデータを上書きすることなしに、
前記ディスプレイドライバ回路がブランキングを制御することを可能にする、
請求項 8 記載のディスプレイドライバ。

【請求項 10】

前記ディスプレイドライバからなるアレイは、マトリクス型スイッチドライバを備える、
請求項 8 記載のディスプレイドライバ。

【請求項 11】

前記ドライバ回路は、第 1 のストレージキャパシタと該第 1 のストレージキャパシタと液晶セルの間に接続される第 1 の差動増幅器とを有する第 1 のディスプレイドライバ回路と、
第 2 のストレージキャパシタと該第 2 のストレージキャパシタと前記液晶セルの間に接続される第 2 の差動増幅器とを有する第 2 のディスプレイドライバ回路と、正のフレーム期間に前記第 1 のディスプレイドライバ回路と、負のフレーム期間に前記第 2 のディスプレイドライバ回路との間で前記ディスプレイドライバの切換えを可能にする第 1 のスイッチング回路とを備える、
請求項 8 記載のディスプレイドライバ。

20

【請求項 12】

前記スイッチング回路は、供給電圧 V_{dd} が前記液晶セルに印加されたときを判定する第 1 のグローバルアドレスラインにより制御される第 1 のトランジスタと、供給電圧 V_{ss} が前記液晶セルに印加されたときを判定する第 2 のグローバルアドレスラインにより制御される第 2 のトランジスタとを備える、
請求項 11 記載のディスプレイドライバ。

30

【請求項 13】

行及び列に配置される液晶セルからなるアレイ向けのビデオディスプレイ装置であって、
前記液晶セルからなるアレイの行選択ラインに接続される行選択信号源と、
前記液晶セルからなるアレイの列ラインに接続され、画像情報を含む列信号の列信号源と、
第 1 の複数のスイッチの所与のスイッチが、対応する列信号を所与の液晶セルに接続して、
前記所与の液晶セルにおいて画像情報を含む電圧を生成するために、対応する行選択信号に応答する、第 1 の複数のスイッチと、
第 2 の複数のスイッチの対応するスイッチが、前記所与の液晶セルに接続される前記対応する列信号を遮断する信号経路を介して前記所与の液晶セルの電圧を変化させるために、
前記所与の液晶セルに接続される出力を有する、第 2 の複数のスイッチと、
を備えるビデオディスプレイ装置。

40

【請求項 14】

前記第 2 の複数のスイッチは、共通の制御信号に応答し、共通に制御される、
請求項 13 記載のビデオディスプレイ装置。

【請求項 15】

前記第 2 の複数のスイッチのそれぞれは、前記第 2 の複数のスイッチの他のスイッチと共通に状態を変化させる、
請求項 13 記載のビデオディスプレイ装置。

50

【請求項 16】

前記第2の複数のスイッチは、前記液晶セルのそれぞれに共通の電圧を印加する、請求項13記載のビデオディスプレイ装置。

【請求項 17】

前記第2の複数のスイッチは、前記液晶セルのそれぞれにおける明るさレベルを共通に変化させる、

請求項13記載のビデオディスプレイ装置。

【請求項 18】

前記第2の複数のスイッチは、前記液晶セルのそれぞれにおける最大の明るさレベルを共通に生成する、

請求項13記載のビデオディスプレイ装置。

【請求項 19】

前記第2の複数のスイッチは、前記液晶セルのそれぞれにおける暗さレベルを共通に変化させる、

請求項13記載のビデオディスプレイ装置。

【請求項 20】

前記所与の液晶セルに接続される前記第1の複数のスイッチの前記所与のスイッチが、増幅器を介して前記所与の液晶セルに接続されるキャパシタンスにおいて第2の電圧を発生するために前記キャパシタンスに接続される、キャパシタンスをさらに備える、

請求項13記載のビデオディスプレイ装置。

【発明の詳細な説明】

【0001】

[発明の分野]

本発明は、液晶ディスプレイ(LCD)又は反射型液晶ディスプレイ(LCOS)を利用したビデオシステムの分野に関し、特に、LCOS/LCD投影システムにおける輝度制御を改善するための駆動回路に関する。

【0002】

[発明の背景]

反射型液晶ディスプレイ(LCOS)は、シリコンウェハに形成された大型液晶であると考えることができる。シリコンウェハは、小さなプレート電極からなるインクリメンタルアレイに分割される。液晶の小さなインクリメンタル領域は、それぞれ小さなプレート及び共通プレートにより発生される電界により影響される。

【0003】

それぞれのかかる小さなプレート及び対応する液晶領域は、イメージャ(imager)のセルとして共に言及される。それぞれのセルは、個々に制御可能な画素に対応している。共通プレート電極は、液晶の他の側に配置される。駆動電圧は、LCOSアレイのそれぞれの側のプレート電極に供給される。

【0004】

それぞれのセル、すなわち画素は、入力信号が変化し、同じ強度で発光されたままであり、したがって、サンプル/ホールドとしての役割を果たす(電圧が保持される限り、画素の明るさは減衰しない)。それぞれのセットの共通プレート電極及び可変プレート電極は、イメージャを形成する。1つのイメージャには、それぞれの色が典型的に設けられ、この場合、1つのイメージャには、赤、緑及び青が設けられる。

【0005】

所与の入力画像に応答して、それぞれのセルに関連付けされた電極での電圧が共通電極での電圧に関して正(ポジ画像)である通常フレームをはじめに送出し、次いで、それぞれのセルに関連付けされた電極での電圧が共通電極での電圧に関して負(ネガ画像)である反転フレームを送出することにより、LCOSディスプレイのイメージャをフレーム2重化信号で駆動して、30Hzのフリッカを回避することは典型的である。

【0006】

10

20

30

40

50

正の画像及び負の画像の生成は、それぞれの画素が正の電界で書込まれ、続いて負の電界で書込まれることを保証する。結果として生じる駆動電界は、直流成分がゼロであり、これは、残像、最終的には永続的な品質の低下を回避するために必要である。フレームレートが120ヘルツを超える範囲で、人間の目は、これら正の画像及び負の画像により生成される画素の明るさの平均値に応答することが確認されている。

【0007】

LCO Sにおける現在の技術水準は、LCO Sについて正の駆動及び負の駆動電界の間に正確にある、VITOとして示されるコモンモード電極電圧の調節を必要としている。下付き添字ITOは、材料である酸化スズインジウムを言及する。平均バランスは、残像として知られる現象を防止するのと同様に、フリッカを最小にするために必要である。

10

【0008】

現在の技術では、LCO S駆動セルは、従来のアクティブマトリクスLCDドライバに非常に似ている。このドライバは、文献において議論されている様々なアーチファクトのために、良好に機能しない。主な原因は、イオンの漏れ及び液晶材料のバルク抵抗による、寄生容量によるクロストーク、液晶セルにおける残留電圧、液晶の電圧減少である。

【0009】

主に、この原因は以下により解決される。1)セルのキャパシタンスを増加する(物理的な領域により制限される)。2)高抵抗性液晶材料に変更する(柔軟性及び応答時間を制限する)。3)フレーム走査レートを60Hz以上に増加する(高価、及び帯域幅につれて費用がかかる)。4)装置の温度を強く制御して、高電圧ホールドレート(VHR)を維持する。全てのこれら損害は、液晶又はLCO Sディスプレイにおける明るさを制御するための能力に関する影響を有している。

20

【0010】

ディスプレイにおける明るさ制御を実現するための従来の方法は、デジタルデータをディスプレイに与える前に、該デジタルデータに関して数学的な加算機能を実行することからなる。この方法による問題点は、全ての輝度レンジが前処理において収容されなければならないために、色の深さが非常に影響を受け易いことである。さらに、典型的なアーキテクチャにおいてデータを破壊することなしに、ディスプレイを消すための方法は存在しない。

【0011】

30

[発明の概要]

本発明の第1の態様では、液晶セルからなるアレイを有するディスプレイユニットは、ディスプレイドライバからなるアレイを備えている。所与の液晶セルに関連付けられている所与のディスプレイドライバは、所与の液晶セルのためのメモリセルと、ドライバ回路と少なくとも1つの供給電圧源とに接続されるスイッチング回路を含んでいる。スイッチング回路は、ディスプレイドライバからなるアレイへの供給電圧を全体的に制御し、所与の液晶セルについてのメモリセルからの電圧は、液晶セルに印加される。

【0012】

本発明の第2の態様では、記憶素子と液晶セルとを有するディスプレイユニット向けのディスプレイドライバは、第1のストレージキャパシタンスと該第1のストレージキャパシタンスと液晶セルの間に接続される第1の増幅器とを有する第1のディスプレイドライバ回路と、第2のストレージキャパシタンスと該第2のストレージキャパシタンスと液晶セルの間に接続される第2の増幅器とを有する第2のディスプレイドライバ回路とを備えている。

40

【0013】

また、ディスプレイドライバは、正のフレーム期間に第1のディスプレイドライバ回路に切換え、負のフレーム期間に第2のディスプレイドライバ回路に切換える、ディスプレイドライバの切換えを可能にする第1のスイッチング回路と、少なくとも1つの供給電圧に接続され、少なくとも1つのグローバルアドレスラインにより制御される第2のスイッチング回路とを備えていることが好ましい。

50

【 0 0 1 4 】

本発明の第 3 の態様では、行及び列からなるマトリクスに配列される複数の表示素子と、記憶素子及び液晶セルを含むディスプレイユニット向けのディスプレイドライバは、複数の電圧のうちの 1 つを行及び列からなる少なくとも 1 つのマトリクスの表示素子に切換え可能に出力するためのドライバを備えている。かかるドライバは、デコーダ及び複数のアナログスイッチを含んでおり、それぞれのアナログスイッチは、デコーダにより制御される。

【 0 0 1 5 】

ディスプレイドライバは、正のフレーム期間に第 1 のディスプレイドライバ回路に切換え、負のフレーム期間に第 2 のディスプレイドライバ回路に切換える、ディスプレイドライバを切換え可能な第 1 のスイッチング回路と、少なくとも 1 つの供給電圧に接続され、少なくとも 1 つのグローバルアドレスラインにより制御される第 2 のスイッチング回路とをさらに備えている。

10

【 0 0 1 6 】

本発明の第 4 の態様では、液晶セルのための複数の駆動回路を有する反射型液晶ディスプレイを駆動するための方法は、第 1 のトランジスタのペアを含む第 1 のスイッチング回路を使用して、複数のドライバ回路の間で切換えるステップと、少なくとも 1 つの供給電圧に接続される第 2 のトランジスタのペアを含む第 2 のスイッチング回路を使用して、ブランキング機能を制御するステップとを備えている。第 2 のスイッチング回路は、少なくとも 1 つのグローバルアドレスラインにより制御される。

20

【 0 0 1 7 】

本発明の第 5 の態様では、複数のドライバ回路を有するディスプレイを駆動するための方法は、複数のドライバ回路のそれぞれにおける差動増幅器を使用して、ストレージキャパシタと液晶セルの間に遮断を提供するステップと、第 1 のスイッチングメカニズムを使用して、液晶セルについての複数のドライバ回路の間で切換えるステップとを備えている。ディスプレイを駆動する方法は、第 2 のスイッチング回路を使用して機能を制御するステップをさらに備える。該機能は、輝度制御、デジタル / アナログコンバータについてのダイナミックレンジ制御、ディスプレイの全体的な高速ブランキングを含む機能のグループの中から選択される。

【 0 0 1 8 】

[発明の実施の形態]

本発明の構成によれば、2 つの全体的に制御されるトランジスタ 26 , 28 が加えられて、ドライバセル又は回路 10 を形成する。このようにすることにより、グローバルに制御されるトランジスタ 26 , 28 を介して、オン時間で制御することにより、全ての LCOS 又は液晶 (LC) セルに強制的な黒状態又は白状態を与える。

30

【 0 0 1 9 】

トランジスタ 26 又はトランジスタ 28 が導通しているとき、トランジスタ 22 , 24 は非導通状態でなければならない。これらの追加の装置 26 , 28 は、様々な機能を実行することができる。

【 0 0 2 0 】

第 1 に、トランジスタ 26 , 28 は、固定された全体の量の RMS 電圧、すなわちオフセットを液晶に印加する。このオフセットは、輝度機能に等価である。第 2 に、上側のトランジスタ 26 又は下側のトランジスタ 28 のオン時間を制御することにより、ストレージセル 14 又は 14' に記憶されているデータを上書きする必要なしに、全体の表示を白又は黒にすることが可能であり、ディスプレイの全体的な高速ブランキングが作用する。

40

【 0 0 2 1 】

データセルから上方に有効なアクティブ領域に RMS 電圧をレベルシフトするために輝度オフセットを使用することは、ビデオ情報を含む列データに対応するストレージセル 14 , 14' に提供するデジタル / アナログコンバータ (DAC) (図示せず) のダイナミックレンジを増加させる。

50

【0022】

図1を参照して、回路10は、LCOS及びLCDシステムにおける輝度制御システムのレンジを改善し、ドライバ回路11をさらに組込む。図2は、マトリクススイッチ(FET)の形式で、公知のドライバ回路32と共に回路30を説明している。

【0023】

図1を参照して、ドライバ回路11は、破線ブロックにおいて示されている。回路11及びLCOS又は液晶ディスプレイを駆動するための方法の基本的な利点は、2つの個別の記憶素子14, 14'を使用して、液晶セルを駆動するためにスイッチされる回路を駆動する。これにより、高速スイッチング周波数が可能となり、液晶セルのフリッカレートを人間の目により検出可能な周波数をはるかに超えた周波数にすることができる。また、シリコン背面板の所与の動作電圧について、可能性のあるRMS電圧の増加を助けるために、コモン電極電圧VITOをスイッチングすることが可能となる。

10

【0024】

上側のセルドライバは、トランジスタ22を含んでおり、「正」のフレーム期間に液晶を駆動するための電圧を含んでいる。下側のセルドライバは、トランジスタ24を含んでおり、「負」のフレーム期間で液晶を駆動するための電圧を含んでいる。これらは、液晶セルの正味の直流電圧を回避するために、VITOとバランスされていなければならない。

【0025】

VDD及びVSSは、CMOSデバイスについての上側の動作電圧及び下側の動作電圧である。VNNは、トランジスタ15, 17を通して流れる電流を規制して、増幅器16又は16'の電力浪費制御するために設定される。V1及びV2は、グローバルスイッチング電圧であり、どちらの増幅器16又は16'が液晶セルを駆動しているかを判定する。

20

【0026】

本発明の構成は、破線ブロックの右に示される、2つのトランジスタ26, 28を使用することが好ましく、固定されたRMS電圧を、ディスプレイにおける全ての液晶セルについて同一又は共通である液晶セルに印加するグローバルスイッチを使用する。このグローバルスイッチの作用は、装置について、3つの新しい有利な特徴を提供することである。

【0027】

第1の利点は、輪郭における改善である。これは、典型的な伝達関数の使用できない部分がアナログDACレンジを使用することなしに排除することができるためである。この改善は、最大の輝度レベルの近くの所定の輝度レベルまで液晶を駆動させるか、例として暗さのレベルを高めるために、V3及びV4がオンである時間の量を操作することにより達成することができる。

30

【0028】

第2の利点は、正味の輝度オフセット電圧であり、DACにおけるダイナミックレンジを消費することなしに、輝度制御をエミュレートすることができる。第3の利点は、基礎をなすビデオデータを変えることなしに、全体の表示を黒又は白にするためのメカニズムである。これは、LCD及びLCOSディスプレイの両者についてアナログ駆動に適用される。

【0029】

破線において示される回路11では、差動増幅器16, 16'は、記憶素子14, 14'から液晶セルをそれぞれ有効に緩和する。この概念と共に、本発明の構成は、VDD及びVSSのそれぞれに接続される追加のトランジスタ26, 28のペアを追加しており、これらは、2つのグローバルアドレス指定ラインV3及びV4によりそれぞれ制御される。

40

【0030】

トランジスタ26, 28の構成におけるこれら2つの追加の制御スイッチは、輝度制御、ドライバDACのダイナミックレンジの改善、ディスプレイのブランキング(白又は黒のいずれか)を実現することを可能にする。輝度機能は、遮断のための増幅とは無関係に実現することができるが、改善されたダイナミックレンジ及びブランキングに関する他の機能は、差動増幅器により提供される遮断を必要とする。

50

【 0 0 3 1 】

電圧 V_3 及び V_4 は、 V_{DD} 及び V_{SS} が液晶セルに印加される時間を制御する。電圧 V_1 は、メモリセル又はストレージキャパシタ 14 での電圧が液晶 20 に印加される時間を制御し、電圧 V_2 は、メモリセル又はストレージキャパシタ 14' での電圧が液晶 20 に印加される時間を制御する。電圧 $V_1 \sim V_4$ までのうちの 1 つのみが所与の時間でアクティブとなるべきである。

【 0 0 3 2 】

V_{ITO} が固定されるシステムでは、本発明は、 V_{dd} 、 V_{ss} 及びそれぞれのストレージキャパシタにおける電圧が印加される時間量を制限することにより、液晶に印加されている最大 RMS 及び最小 RMS 電圧を制限する。したがって、図 1 に関して、液晶に印加される有効電圧は、4 回のインターバルと 4 つの電圧との積である。 10

【 0 0 3 3 】

T_{v1} 、 T_{v2} 、 T_{v3} 及び T_{v4} は、それぞれのトランジスタ 22、24、26 及び 28 がスイッチオンされているときのそれぞれの時間インターバルであり、 V_{14} 及び $V_{14'}$ がストレージキャパシタ 14 及びストレージキャパシタ 14' におけるそれぞれの電圧である場合、液晶の有効電圧は以下のように計算される。

【 数 1 】

$$T_{v3} \times (V_{dd} - V_{ito}) +$$

20

$$T_{v1} \times (V_{14} - V_{ito}) +$$

$$T_{v4} \times (V_{ss} - V_{ito}) +$$

$$T_{v2} \times (V_{14'} - V_{ito})$$

ここで、 RMS 電圧は、上記結果を $(T_{v1} + T_{v2} + T_{v3} + T_{v4})$ で割ることにより決定される。

【 0 0 3 4 】

30

また、本発明の構成は、図 2 の回路 30 において示されるような従来のマトリクススイッチ (FET) ドライバ回路 32 と共に使用することができる。

本実施の形態で教示される本発明の構成は、 V_{ITO} が一定に保持されるか、 V_{ITO} が変化する制御システムにより使用することができる。

【 0 0 3 5 】

図 1 に示されるように、差動増幅器 16 は、上述した問題の幾つかを克服するために、内部ストレージキャパシタ又は記憶素子 14 と液晶セル 20 の間に加えられることが好ましい。言い換えれば、ドライブ増幅器は、ドライビングセルに加えられる。これは、ストレージキャパシタと液晶セルの間に遮断を加える。加えられた電流駆動機能は、画素の電圧が急速にその所望の電圧になることを保証する。 40

【 0 0 3 6 】

また、ストレージキャパシタからの非常に低い漏れ電流が可能とし (FET は、非常に高い入力インピーダンスを有する)、液晶の電圧を連続的にリフレッシュすることを可能にし、これにより、セルに記憶される残余のボルト電位と同様に、「減衰」の問題を取り除く。これは、セルにおける直流バランスを達成するための能力のなさに関連する「残像」の問題と同様に、フリッカの問題の両者を改善する。また、若干上昇した温度であっても、セルは良好に機能する。

【 0 0 3 7 】

この技術の問題点は、液晶セルを通して直流電流を増加させることである。これは、差動増幅器の下部で電流源をゲートで制御することにより、部分的に克服することができる。 50

これは、装置における「画素選択」ビットを使用することができる。このように、電圧の周期的なリフレッシュを達成することができ、 $1/n$ 行に電力消費を低減することができる。ここで、 n 行は装置における行数である。

【0038】

加熱が一様であるので、ある状況におけるこのゲート制御は、必要とされない場合がある。ドライバ11のCMOSでの典型的な実現は、図1において示されており、更に詳細に説明される。構成要素は、概念的な表現であり、一般性をなくすることなしに、代替的な表現を使用することができる。

【0039】

なお、回路11は、上側のドライバ回路及び下側のドライバ回路を説明しているが、これらドライバ回路のそれぞれは、追加的な指示“'”による下側のドライバ回路について示される対応する構成要素と実質的に同じである。キーとなるポイントは、バッファ増幅器16又は16'であり、液晶セル、及び電力消費の低減を可能にするゲート制御される電流源に閉ループ補正電圧を印加する。 10

【0040】

典型的に増幅器16, 16'は、3つのトランジスタにより実現することができ、LCOSディスプレイ装置における液晶の下に配置することができる。図1の構成では、増幅器16は、記憶素子14から液晶セルを緩和する。図1は、液晶ディスプレイ向けの液晶セルドライバ10を説明している。

【0041】

液晶セルドライバは、複数のトランジスタ12, 15, 17及び18、ストレージキャパシタ14のようなストレージキャパシタンス、及び複数のレジスタ19, 21、並びに液晶キャパシタンス20により表されている液晶セルを含んでいることが好ましい。 20

【0042】

トランジスタ15, 17及び18のような3つのトランジスタは、差動増幅器の構成で増幅器16を形成することが好ましい。差動増幅器16は、それぞれが接続されるソースと、液晶セル20への出力としての役割を果たすトランジスタ18のドレインとを有するNチャネルトランジスタから構成されることが好ましい。

【0043】

さらに、差動増幅器16のそれぞれのソースは結合され、トランジスタ18のような別のNチャネルトランジスタである電流源により駆動される。先に説明したように、差動増幅器16は、ストレージキャパシタ14と液晶セル20の間に接続され、ストレージキャパシタ14と液晶セル20の間に遮断を提供する。 30

【0044】

図示されるように、回路10は、2つのグローバルに制御されるトランジスタ26, 28をさらに備えており、これらは、他の機能の中でも先に説明されており、2つの追加のスイッチされるトランジスタ26, 28のオン時間を制御することにより、全てのLCOS又は液晶セルに対して強制的に黒状態又は白状態を可能にするものである。

【0045】

図2を参照して、別の液晶セルドライバ30は、図1の液晶セルドライバ10と同様に示されている。この例では、マトリクススイッチの構成での公知の輝度制御回路32は、図1に関して開示される回路11を置き換える。また、液晶セルドライバ10に関して、液晶セルドライバ30は、2つの全体的に制御されたトランジスタ26, 28及び図示されるような液晶キャパシタンス20を備えることが好ましい。 40

【0046】

図3を参照して、上述したようなディスプレイ装置10又は30を利用することができるディスプレイユニット50が示されている。ディスプレイユニット50は、行及び列からなるマトリクスで配置される複数の表示素子、及び記憶素子及び液晶セルを含んでいる。ドライバは、複数の電圧のうちの1つを、行及び列からなるマトリクスの少なくとも1つの表示素子に切換え可能に出力することが好ましい。 50

【0047】

ディスプレイユニットは、従来のデコーダ51と、該デコーダ51により制御されるドライバを含んでいる。ドライバは、デコーダと半導体スイッチの間に接続されるストレージキャパシタ又は記憶素子14、及びストレージキャパシタと液晶セルの間に接続される差動増幅器を含んでいる。これにより、差動増幅器は、ストレージキャパシタと液晶セルの間に遮断を提供する。このドライバは、デコーダと、該デコーダの出力により制御される複数のスイッチとを含んでいる。

【0048】

図3に示されるように、ディスプレイユニット50は、複数の行（スキヤニング）アドレスライン56を有する行ドライブ回路と、複数の列（データ）アドレスライン58を有する列ドライブ回路とを含むことができる。この行及び列からなるマトリクスは、基板54に設けられており、別の基板52との間に挟まれている。

10

【0049】

図4を参照して、本発明によるディスプレイを駆動する方法400を説明するフローチャートが示されている。複数のドライバ回路は、液晶セルを駆動するために使用される。

【0050】

方法400は、差動増幅器を使用して、ストレージキャパシタと液晶セルの間に遮断を提供するステップ402、第1のスイッチング回路を使用して、液晶セルについての複数のドライバ回路の間で切替えるステップ404、及び第2のスイッチング回路を使用して、機能を制御するステップ406を備えていることが好ましい。ここでは、該機能は、輝度制御、DACのためのダイナミックレンジの制御、又はディスプレイの全体的な高速ブランキングを含む機能グループの中から選択される。

20

【0051】

方法400は、ステップ408において記載される代替的な機能、すなわち、ストレージキャパシタ又は記憶セルに記憶されるデータを上書きする必要なしに、白へのブランキング、又は黒へのブランキングするステップ、又は差動増幅器により提供される追加の電流を使用して、画素すなわちセルの急速な所望の電圧レベルを確保するステップ410をさらに備えている。

【0052】

さらに、方法400は、液晶セルの電圧を連続的にリフレッシュするステップ412、複数のドライバ回路のそれぞれにおける差動増幅器に提供される電流源をゲートで制御するステップ414、又は固定された全体的な量のRMS電圧を液晶ディスプレイに印加するステップ416を代替的に備えている場合がある。

30

【0053】

別の代替的な機能は、ステップ418に示されるような第2のスイッチング回路を使用して、第1のスイッチング回路の第1のトランジスタ及び第2のトランジスタのオン時間を制御することを含んでいる場合がある。これは、先に説明されたようにストレージセルに記憶されたデータを書込むことを必要とせずに、ブランキングの制御を可能にする。

【0054】

最後に、方法400は、RMS電圧をデータセルからアクティブ領域に移動することにより、ビデオを変調するために使用されるDACのダイナミックレンジを増加する代替的又はオプション的なステップ420を備えている場合がある。

40

【0055】

図5を参照して、本発明によるディスプレイを駆動する代替的な方法500を説明するフローチャートが示されている。この例では、本方法は、第1のトランジスタのペアを備える第1のスイッチング回路を使用して、複数のドライバ回路の間で切替えるステップ502、及び第2のスイッチング回路を使用して、ブランキング機能を制御するステップ504を備えていることが好ましい。第2のスイッチング回路は、少なくとも1つの供給電圧に接続される第2のトランジスタのペアを備えていることが好ましい。第2のスイッチング回路は、少なくとも1つのグローバルアドレスラインにより制御される。

50

【図面の簡単な説明】

【 図 1 】

本発明による液晶セルドライバのブロック図である。

【圖 2】

本発明による別の液晶セルドライバのブロック図である。

【 図 3 】

本発明による液晶セルドライバを利用したディスプレイユニットのブロック図である。

【 図 4 】

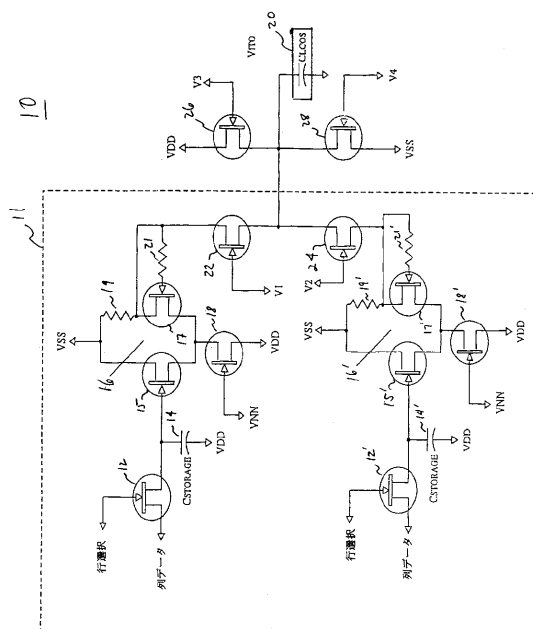
本発明によるディスプレイを駆動する方法を説明するフローチャートである。

【 図 5 】

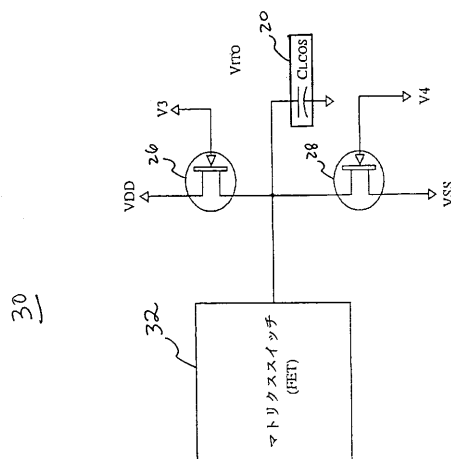
本発明によるディスプレイを駆動する別な方法を説明するフローチャートである。

10

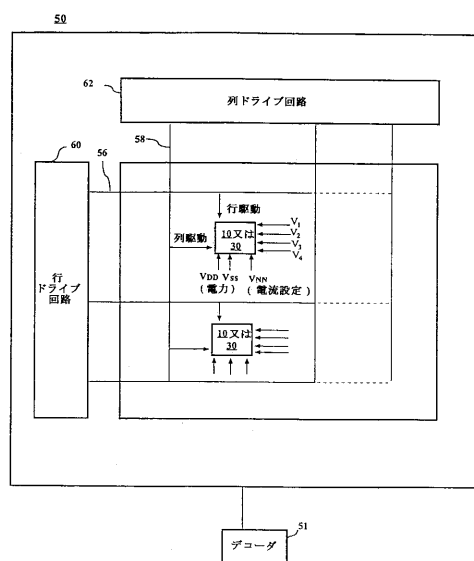
【 図 1 】



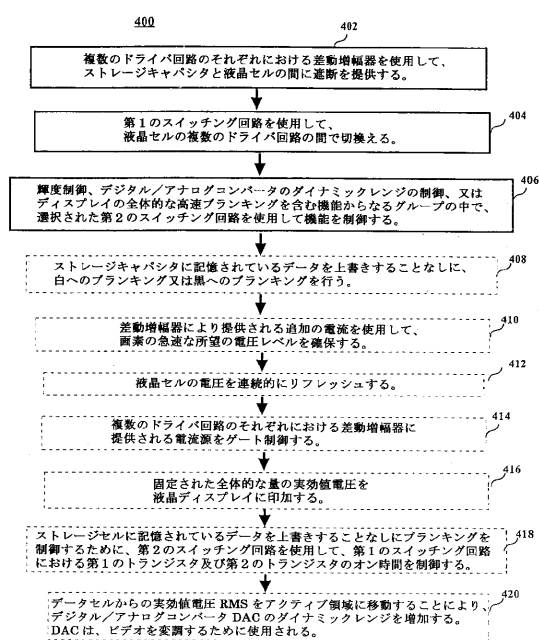
【圖 2】



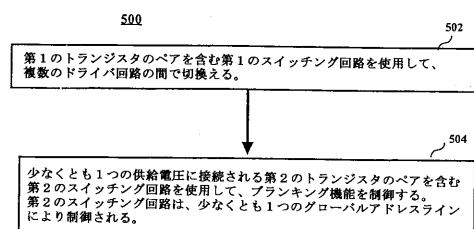
【 図 3 】



【 図 4 】



【 図 5 】



【国際公開パンフレット】

(12) INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

(19) World Intellectual Property Organization
International Bureau(43) International Publication Date
6 June 2002 (06.06.2002)

PCT

(10) International Publication Number
WO 02/45065 A1

(51) International Patent Classification: G09G 3/36

(21) International Application Number: PCT/US01/44745

(22) International Filing Date:
29 November 2001 (29.11.2001)

(25) Filing Language: English

(26) Publication Language: English

(30) Priority Data:
60/250,196 30 November 2000 (30.11.2000) US

(71) Applicant (for all designated States except US): THOMSON LICENSING S.A. [FR/FR]; 46, Quai Alphonse Le Gallo, F-92648 Boulogne Cedex (FR).

(81) Designated States (national): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.

(84) Designated States (regional): ARIPO patent (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Published:

— with international search report
— before the expiration of the time limit for amending the claims and to be republished in the event of receipt of amendments

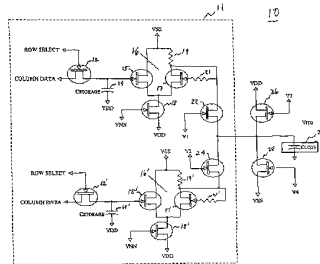
(72) Inventor: and

(75) Inventor/Applicant (for US only): O'DONNELL, Eugene, Murphy [US/US]; 7594 Timber Springs Drive, Fishers, IN 46038 (US).

(74) Agents: TRIPOLI, Joseph, S. et al.; Thomson multimedia licencing Inc., P.O. Box 5312, Princeton, NJ 08540 (US).

For two-letter codes and other abbreviations, refer to the "Guidance Notes on Codes and Abbreviations" appearing at the beginning of each regular issue of the PCT Gazette.

(54) Title: DRIVE CIRCUIT FOR IMPROVED BRIGHTNESS CONTROL IN LIQUID CRYSTAL DISPLAYS AND METHOD THEREFOR



(57) Abstract: A display driver (10) for a display unit (50) having a memory element and a liquid crystal cell (20) includes a first display driver circuit having a first storage capacitor (14) and a first differential amplifier (16) coupled between the first storage capacitor and the liquid crystal cell and a second display driver circuit having a second storage capacitor (14') and a second differential amplifier (16') coupled between the second storage capacitor and the liquid crystal cell. The display driver also includes a first switching mechanism (22 and 24) enabling the switching of the display driver between the first display driver circuit during a positive frame and a second display driver circuit during a negative frame and a second switching mechanism (26 and 28) coupled to a supply voltage (VDD and VSS). The second switching mechanism is controlled by at least one global address line (V3 or V4).

WO 02/45065 A1

WO 02/45065

PCT/US01/44745

1

DRIVE CIRCUIT FOR IMPROVED BRIGHTNESS CONTROL IN LIQUID CRYSTAL
DISPLAYS AND METHOD THEREFOR

Background of the Invention

5 Field of the Invention

This invention relates to the field of video systems utilizing a liquid crystal display (LCD) or liquid crystal on silicon (LCOS), and in particular, to a driver circuit for improving brightness control in LCOS/LCD projection systems.

Description of Related Art

10 Liquid crystal on silicon (LCOS) can be thought of as one large liquid crystal formed on a silicon wafer. The silicon wafer is divided into an incremental array of tiny plate electrodes. A tiny incremental region of the liquid crystal is influenced by the electric field generated by each tiny plate and the common plate. Each such tiny plate and corresponding liquid crystal region are
15 together referred to as a cell of the imager. Each cell corresponds to an individually controllable pixel. A common plate electrode is disposed on the other side of the liquid crystal. The drive voltages are supplied to plate electrodes on each side of the LCOS array. Each cell, or pixel, remains lighted with the same intensity until the input signal is changed, thus acting as a sample
20 and hold (so long as the voltage is maintained, the pixel brightness does not decay). Each set of common and variable plate electrodes forms an imager. One imager is typically provided for each color, in this case, one imager each for red, green and blue.

It is typical to drive the imager of an LCOS display with a frame-doubled
25 signal to avoid 30 Hz flicker, by sending first a normal frame in which the voltage at the electrodes associated with each cell is positive with respect to the voltage at the common electrode (positive picture) and then an inverted frame in which the voltage at the electrodes associated with each cell is negative with respect to the voltage at the common electrode (negative picture) in response to
30 a given input picture. The generation of positive and negative pictures ensures that each pixel will be written with a positive electric field followed by a negative

WO 02/45065

PCT/US01/44745

2

electric field. The resulting drive field has a zero DC component, which is necessary to avoid image sticking, and ultimately, permanent degradation of the imager. It has been determined that the human eye responds to the average value of the brightness of the pixels produced by these positive and negative pictures so long as the frame rate is above 120 Hertz.

The present state of the art in LCOS requires the adjustment of the common-mode electrode voltage, denoted VITO, to be precisely between the positive and negative field drive for the LCOS. The subscript ITO refers to the material indium tin oxide. The average balance is necessary in order to minimize flicker, as well as to prevent a phenomenon known as image sticking.

In the current art, the LCOS drive cell looks much like a conventional Active Matrix LCD driver. This does not work well, due to the various artifacts discussed in the literature. The main causes are parasitic capacitance cross-talk, residual voltage in the LC cell, and voltage droop of the LC, due to ionic leakage and bulk resistivity of the LC material. Mainly, this has been solved by :1. Increasing the cell capacitance (limited by physical area), 2. Changing to higher resistivity LC materials (limits flexibility and response time), 3. Increasing the frame scan rate to more than 60Hz (expensive, and costs more bandwidth), 4. Strongly controlling the temperature of the device, to maintain high voltage holding ratio (VHR). All these detriments also have an impact on the ability to control brightness in a liquid crystal or LCOS display.

The prior method for implementing brightness control in a display consists of performing a mathematical add function on the digital data prior to applying it to the display. The problem with this method is that depth of color is greatly impacted, since all of the brightness range must be accommodated in the pre-processing. Moreover, there is no way to blank the display without destroying the data in the typical architecture.

Brief Summary of the Invention

In a first aspect of the present invention, a display unit having an array of liquid crystal cells, comprises an array of display drivers, where a given display driver being associated with a given liquid crystal cell comprises a driver circuit

WO 02/45065

PCT/US01/44745

3

including a memory cell for the given liquid crystal cell and a switching arrangement coupled to the driver circuit and to at least a supply voltage source, where the switching arrangement globally controls the supply voltage to the array of display drivers and when the voltage from the memory cell for the given liquid crystal cell gets applied to the liquid crystal cell.

5 In a second aspect of the present invention, a display driver for a display unit having a memory element and a liquid crystal cell comprises a first display driver circuit having a first storage capacitance and a first amplifier coupled between the first storage capacitance and the liquid crystal cell and a second display driver circuit having a second storage capacitance and a second amplifier coupled between the second storage capacitance and the liquid crystal cell. The display driver also preferably comprises a first switching arrangement enabling the switching of the display driver between the first display driver circuit during a positive frame and a second display driver circuit during a negative frame and a second switching arrangement coupled to at least a supply voltage, wherein the second switching mechanism is controlled by at least one global address line.

10 In a third aspect of the present invention, a display driver for a display unit which includes a plurality of display elements arranged in a matrix of rows and columns and a memory element and a liquid crystal cell comprises a driver for switchably outputting one of a plurality of voltages to the display elements on at least one of the matrix of rows and columns, said driver including a decoder and a plurality of analog switches, each analog switch being controlled by the decoder. The display driver further comprises a first switching mechanism enabling the switching of the display driver between a first display driver circuit during a positive frame and a second display driver circuit during a negative frame and a second switching mechanism coupled to at least a supply voltage, wherein the second switching mechanism is controlled by at least one global address line.

20 In a fourth aspect of the present invention, a method for driving a liquid crystal on silicon display having a plurality of driver circuits for a liquid crystal cell comprises the steps of switching between the plurality of driver circuits

WO 02/45065

PCT/US01/44745

4

using a first switching mechanism comprising a first pair of transistors and controlling a blanking function using a second switching mechanism comprising a second pair of transistors coupled to at least a supply voltage and wherein the second switching mechanism is controlled by at least one global address line.

5 In a fifth aspect of the present invention, a method for driving a display having a plurality of driver circuits comprises the steps of providing isolation between a storage capacitor and a liquid crystal cell using a differential amplifier in each of the plurality of driver circuits and switching between the plurality of driver circuits for the liquid crystal cell using a first switching mechanism. The
10 method of driving a display further comprises the step of controlling functions using a second switching mechanism, wherein the functions are selected among the group of functions comprising brightness control, dynamic range control for a digital to analog converter, or a global fast blanking of the display.

Brief Description of the Drawings

15 FIG. 1 is a block diagram of a liquid crystal cell driver in accordance with the present invention.
FIG. 2 is a block diagram of another liquid crystal cell driver in accordance with the present invention.
FIG. 3 is a block diagram of a display unit utilizing a liquid crystal cell driver in
20 accordance with the present invention.
FIG. 4 is a flow chart illustrating a method of driving a display in accordance with the present invention.
FIG. 5 is a flow chart illustrating another method of driving a display in accordance with the present invention.

Detailed Description

25 In accordance with the inventive arrangements, two globally controlled transistors (26 and 28) are added to form the driver cell or circuit 10. By doing this, it is possible to apply a forced black or white state to all of the LCOS or liquid crystal (LC) cells by controlling the on time via the globally controlled
30 transistors 26 and 28. When either transistor 26 or 28 are conductive, then transistors 22 and 24 must be non-conductive. These additional devices (26 and

WO 02/45065

PCT/US01/44745

5

28) can perform various functions. First, they can apply a fixed global amount of RMS voltage or offset to the LC. This offset is equivalent to a brightness function. Second, by controlling the on time of the upper transistor 26 or lower transistor 28, it is possible to make the entire display white, or black, without having to overwrite the data stored in the storage cells (14 or 14') resulting in the effect of global fast blanking of the display. The usage of the brightness offset to level shift the RMS voltage from the data cells upward into the useful active region increases the dynamic range of the digital to analog converter (DAC) (not shown) that provides column data containing video information to corresponding storage cells 14 and 14'.

Referring to FIG. 1, the circuit 10 improves the range of brightness control systems in LCOS and LCD displays and further incorporates a driver circuit 11. FIG. 2 illustrates a circuit 30 in conjunction with a known driver circuit 32 in the form of a matrix switch (FET).

With reference to Figure 1, the driver circuit 11 is shown in the dashed block. The basic advantage of circuit 11 and method for driving LCOS or LC displays is that it uses two separate storage elements (14 and 14') and drive circuits that are switched to drive the LC cell. This allows for a fast switching frequency, which makes the flicker rate of the LC cell much above frequencies detectable by the human eye. It also allows for the possibility of switching the common electrode voltage (VITO) to help to increase the possible RMS voltage on the LC cell for a given operating voltage of the silicon back plane.

The upper cell driver that includes transistor 22 contains the voltage to drive the LC during the "positive" frame, the lower cell driver that includes transistor 24 contains the voltage to drive the LC in the "negative" frame. These must be balanced with VITO in order to avoid a net DC voltage on the LC cell, and resultant imager retention and reliability issues. VDD and VSS are the upper and lower operating voltages for the CMOS devices. VNN is set to regulate the current through the transistors 15 and 17, and controls the power dissipation of the amplifier (16 or 16'). V1 and V2 are global switching voltages that determine which amplifier (16 or 16') is driving the liquid crystal cell.

WO 02/45065

PCT/US01/44745

6

The inventive arrangements use a global switch preferably using two transistors (26 and 28), shown to the right of the dashed block, to apply a fixed RMS voltage to the LC cell which is identical or in common for all of the LC cells in the display. The effect of this global switch is to provide three new and
5 advantageous features for the device. The first advantage is an improvement in contouring, because the unusable portion of the typical transfer function can be excluded without using analog DAC range. This improvement can be achieved by manipulating the amount of time that V3 and V4 are on to force the LC to be driven to a certain brightness level near a full brightness level or to bring up a
10 darkness level as examples. The second advantage is a net luminance offset voltage, which can emulate a brightness control, again without consuming dynamic range in the DACs. The third advantage is a mechanism for making the entire display either black or white, without changing the underlying video data. This applies to analog drives for both LCD and LCOS displays.

15 In circuit 11 shown in the dashed block, the differential amplifiers 16 and 16' respectively advantageously decouple the LC cell from the memory element (14 or 14'). In conjunction with that idea, the inventive arrangements add a pair of additional transistors 26 and 28 connected to VDD and VSS respectively, and which are respectively controlled by two global addressing lines V3 and V4.
20 These two additional control switches in the form of transistors 26 and 28 allow for implementing a brightness control, improving dynamic range of the drive DAC, and blanking of the display (either white or black). The brightness function can be implemented independently of the isolation amplifiers, but the other functions of improved dynamic range and blanking need the isolation provided by
25 the differential amplifiers.

The voltages V3 and V4 control the time for which VDD and VSS are applied to the LC cell. The voltage V1 controls the time for when the voltage at the memory cell or storage capacitance 14 is applied to the liquid crystal 20 and the voltage V2 controls the time for when the voltage at the memory cell or
30 storage capacitance 14' is applied to the liquid crystal 20. Only one of the voltages V1 through V4 should be active at any given time.

WO 02/45065

PCT/US01/44745

7

In a system where Vito is fixed, the present invention limits the maximum and minimum RMS voltage being applied to the LC by limiting the amount of time that Vdd, Vss, and the voltage in the respective storage capacitors are applied. Thus, with respect to FIG. 1, the effective voltage applied to the LC is the product of 4 time intervals and 4 voltages. If Tv1, Tv2, Tv3, and Tv4 are the respective time intervals when the respective transistors 22, 24, 26, and 28 are switched on, and V14 and V14' are the respective voltages in storage capacitor 14 and storage capacitor 14', then the effective voltage on the LC could be computed as follows:

$$\begin{aligned} &Tv_3 \times (V_{dd} - V_{ito}) + \\ &Tv_1 \times (V_{14} - V_{ito}) + \\ &Tv_4 \times (V_{ss} - V_{ito}) + \\ &Tv_2 \times (V_{14'} - V_{ito}) \end{aligned}$$

wherein the RMS voltage is determined by dividing the result above by $(Tv_1 + Tv_2 + Tv_3 + Tv_4)$.

The inventive arrangements can also be used in conjunction with a prior art matrix switch (FET) driver circuit 32 as shown in the circuit 30 of Figure 2.

The inventive arrangements taught herein can be used with a control system wherein VITO is held constant or wherein VITO varies.

As shown in FIG. 1, a differential amplifier 16 is preferably added between the internal storage capacitor or memory element 14 and the LC cell 20 in order to overcome some of the problems described above. In other words, a drive amplifier is added to the driving cell. This adds isolation between the storage capacitor and the LC cell. The added current drive capability ensures that the voltage on the pixel will rapidly become that desired. It also allows for very low leakage current from the storage capacitor (FET has very high input impedance), and allows for a continuous refresh of the voltage on the LC, which eliminates the 'droop' problem, as well as the residual voltaic potential stored in the cell. This should improve both the flicker issue, as well as the 'image sticking'

WO 02/45065

PCT/US01/44745

8

problem which is associated with the inability to achieve DC balance in the cell. It should also allow the cell to work well even at somewhat elevated temperatures.

The disadvantage of this technique is that it increases the DC current through the LC cell. This can be overcome in part by gating the current source in the bottom of the differential amplifier. This can use the 'pixel select' bit in the device. In this way, a periodic refresh of the voltage can be achieved, while reducing the power consumption by $1/n_{row}$, where n_{row} is the number of rows in the device. Since heating is uniform, this gating in some situations may not be needed.

A typical implementation in CMOS of the driver 11 is shown in FIG. 1 and will be explained in further detail. The components are schematic representations, and alternate configurations can be used without loss of generality. Note that the circuit 11 illustrates an upper driver circuit and a lower driver circuit, but each of these driver circuits is preferably substantially the same with comparable components shown for the lower driver circuit with an additional "'" designation. The key points are the buffer amplifier (16 or 16'), which applies a closed loop correction voltage to the LC cell, and the gated current source which allows reduction of power consumption.

Typically amplifier (16 or 16') could be implemented with 3 transistors, which can be placed under the LC cell in an LCOS display device. In the arrangement of FIG. 1, the amplifier 16 decouples the LC cell from the memory element 14. FIG. 1 illustrates a liquid crystal cell driver 10 for a liquid crystal display. The liquid crystal cell driver preferably comprises a plurality of transistors (12, 15, 17, and 18), a storage capacitance such as a storage capacitor 14, and a plurality of resistors 19 and 21 and the liquid crystal cell represented by liquid crystal capacitance 20. Preferably, three (3) transistors, such as transistors 15, 17 and 18 form the amplifier 16, preferably in the form of a differential amplifier. The differential amplifier 16 is preferably comprised of N-Channel transistors having respective sources coupled and the drain of transistor 18 serving as an output to the liquid crystal cell (20). Additionally, the

WO 02/45065

PCT/US01/44745

9

respective sources of the differential amplifier 16 are coupled and driven by a current source which is another N-Channel transistor such as transistor 18 that sets the balance current in the differential amplifier. As previously explained, the differential amplifier 16 is coupled between the storage capacitor 14 and
5 provides isolation between the storage capacitor 14 and a liquid crystal cell 20 or pixel. As shown, the circuit 10 further comprises two globally controlled transistors 26 and 28 which among other functions previously discussed enable a forced black or white state to all of the LCOS or liquid crystal (LC) cells by controlling the on time of the two additional switched transistors (26 and 28).

10

Referring to FIG. 2, another liquid crystal cell driver 30 is shown similar to the liquid crystal cell driver 10 of FIG. 1. In this instance, the known brightness control circuit 32 in the form of a matrix switch replaces the circuit 11 disclosed with respect to FIG. 1. Once again, as with the liquid crystal cell driver 10, the
15 liquid crystal cell driver 30 also preferably comprises the two globally controlled transistors 26 and 28 and the liquid crystal capacitance 20 as shown.

Referring to FIG. 3, a display unit 50 is shown that can utilize the display drivers 10 or 30 as previously described above. The display unit 50 preferably includes a plurality of display elements arranged in a matrix of rows and columns
20 and a memory element and a liquid crystal cell. The driver preferably switchably outputs one of a plurality of voltages to the display elements on at least one of the matrix of rows and columns, the display unit including a conventional decoder 51 and the driver controlled by the decoder 51. The driver includes a storage capacitor or memory element 14 coupled between the decoder and the
25 semiconductor switch and a differential amplifier coupled between the storage capacitor and the liquid crystal cell, whereby the differential amplifier provides isolation between the storage capacitor and the liquid crystal cell. This driver can include a decoder and a plurality of switches controlled by an output of the decoder. As shown in FIG. 3, the display unit 50 can include a row drive circuit
30 having a plurality of row (scanning) address lines 56 and a column drive circuit

WO 02/45065

PCT/US01/44745

10

62 having a plurality of column (data) address lines 58. This matrix of rows and columns are on a substrate 54 and sandwiched between another substrate 52.

Referring to FIG. 4, a flow chart is shown illustrating a method 400 of driving a display in accordance with the present invention where a plurality of driver circuits are used to drive a liquid crystal cell. The method 400 preferably comprises the step 402 of providing isolation between a storage capacitor and a liquid crystal cell using a differential amplifier, the step 404 of switching between the plurality of driver circuits for the LC cell using a first switching mechanism, and the step 406 of controlling functions using a second switching mechanism where the functions are selected among the group of functions comprising brightness control, dynamic range control for a DAC, or a global fast blanking of the display. The method 400 may further comprise the alternative function described in step 408 or blanking to white or blanking to black without having to overwrite data stored in a storage capacitor or a memory cell or the step 410 of ensuring rapid desired voltage levels on a pixel or cell using additional current provided by the differential amplifier. Additionally, the method 400 may alternatively comprise the step 412 of continuously refreshing the voltage on the LC cell or the step 414 of gating a current source provided to the differential amplifier in each of the plurality of driver circuits or the step 416 of applying a fixed global amount of RMS voltage to the LC display. Another alternative function comprises the control of the on time of a first transistor and a second transistor in the first switching mechanism using the second switching mechanism as shown in step 418. This enables the control of blanking without having to overwrite data stored in a storage cell as previously explained. Finally, method 400 may also comprise the alternative or optional step 420 of increasing the dynamic range of a DAC used to modulate video by moving the RMS voltage from a data cell into an active region.

Referring to FIG. 5, a flow chart is shown illustrating an alternative method 500 of driving a display in accordance with the present invention. In this instance, the method preferably comprises the step 502 of switching between a plurality of driver circuits using a first switching mechanism comprising a first

WO 02/45065

PCT/US01/44745

11

pair of transistors and the step 504 of controlling a blanking function using a second switching mechanism. The second switching mechanism preferably comprises a second pair of transistors coupled to at least a supply voltage and wherein the second switching mechanism is controlled by at least one global
5 address line.

Although the present invention has been described in conjunction with the embodiments disclosed herein, it should be understood that the foregoing description is intended to illustrate and not limit the scope of the invention as defined by the claims.

10

WO 02/45065

PCT/US01/44745

12

Claims

1. A display driver for a display unit having a memory element and a liquid crystal cell, comprising:

- 5 a first display driver circuit having a first storage capacitor and a first differential amplifier coupled between the first storage capacitor and the liquid crystal cell;
- a second display driver circuit having a second storage capacitor and a second differential amplifier coupled between the second storage capacitor and the liquid crystal cell;
- 10 a first switching arrangement coupled to the liquid crystal cell enabling the switching of the display driver between the first display driver circuit during a positive frame and the second display driver circuit during a negative frame; and
- a second switching arrangement coupled to the liquid crystal cell and coupled to at least a supply voltage, wherein the second switching arrangement is controlled by at least one global address line.
- 15

2. The display driver of claim 1, wherein the first and second differential amplifiers provides isolation between the first storage capacitor and the liquid crystal cell and the second storage capacitor and the liquid crystal cell respectively.

20

3. The display driver of claim 1, wherein the first switching arrangement comprises a first transistor driven by a first global switching voltage and a second transistor driven by a second global switching voltage.

25

4. The display driver of claim 1, wherein the second switching arrangement comprises a first transistor driven by a first global address line and a second transistor driven by a second global address line.

30

WO 02/45065

PCT/US01/44745

13

5. The display driver of claim 1, wherein each of the first and second differential amplifiers comprises a pair of N-Channel transistors having respective sources coupled and a drain from one of the pair of N-Channel transistors serving as an output to the liquid crystal cell.

5

6. The display driver of claim 1, wherein each of the first and second differential amplifiers comprises a pair of N-Channel transistors having respective sources coupled and a current source which is gated by another N-channel transistor that gates the current source and ensures a predetermined voltage on a pixel.

10

7. A method for driving a liquid crystal on silicon display having a plurality of driver circuits for a liquid crystal cell, comprising the steps of:

switching between the plurality of driver circuits using a first switching arrangement comprising a first pair of transistors; and

15

controlling a blanking function using a second switching arrangement comprising a second pair of transistors coupled to at least a supply voltage and wherein the second switching arrangement is controlled by at least one global address line.

20

8. A display unit having an array of liquid crystal cells, comprising:

an array of display drivers, a given display driver being associated with a given liquid crystal cell and including:

a driver circuit for the given liquid crystal cell, wherein the driver circuit includes a memory cell; and

25

a switching arrangement coupled to the liquid crystal cell and to at least a supply voltage source, wherein the switching arrangement globally controls a voltage developed in the given liquid crystal cell via a signal path that bypasses the driver circuit for the given liquid crystal cell.

WO 02/45065

PCT/US01/44745

14

9. The display driver of claim 8, wherein the switching arrangement enables the display driver circuit to control blanking without having to overwrite data stored in the memory cell.

5 10. The display driver of claim 8, wherein the array of display drivers comprises a matrix switch driver.

11. The display driver of claim 8, wherein the driver circuit comprises a first display driver circuit having a first storage capacitor and a first differential
10 amplifier coupled between the first storage capacitor and a liquid crystal cell, a second display driver circuit having a second storage capacitor and a second differential amplifier coupled between the second storage capacitor and the liquid crystal cell, and a first switching arrangement enabling the switching of the display driver between the first display driver circuit during a positive frame and
15 a second display driver circuit during a negative frame.

12. The display driver of claim 11, wherein the switching arrangement comprises a first transistor controlled by a first global address line that determines when a supply voltage Vdd is applied to the liquid crystal cell and a second transistor
20 controlled by a second global address line that determines when a supply voltage Vss is applied to the liquid crystal cell.

13. A video display apparatus for an array of liquid crystal cells arranged in rows and columns, comprising:

25 a source of row select signals coupled to row select lines of said array of liquid crystal cells;

a source of column signals containing picture information coupled to column lines of said array of liquid crystal cells;

a first plurality of switches, a given switch of said first plurality of
30 switches being responsive to a corresponding row select signal for coupling a

WO 02/45065

PCT/US01/44745

15

corresponding column signal to a given liquid crystal cell to produce a voltage containing picture information in said given liquid crystal cell; and

a second plurality of switches, a corresponding switch of said second plurality of switches having an output coupled to said given liquid crystal cell for
5 varying said given liquid crystal cell voltage via a signal path that excludes said corresponding column signal that is coupled to said given liquid crystal cell.

14. A video display apparatus according to Claim 13, wherein said second plurality of switches are responsive to a common control signal and are
10 controlled in common.

15. A video display apparatus according to Claim 13, wherein each of said second plurality of switches changes state in common with the other switches of said second plurality of switches.

15 16. A video display apparatus according to Claim 13, wherein said second plurality of switches apply a common voltage to each of said liquid crystal cells.

17. A video display apparatus according to Claim 13, wherein said second plurality of switches vary in common a brightness level in each of said liquid crystal cells.

18. A video display apparatus according to Claim 13, wherein said second plurality of switches produce in common a full brightness level in each of said liquid crystal cells.

19. A video display apparatus according to Claim 13, wherein said second plurality of switches produce in common a darkness level in each of said liquid crystal cells.

30

WO 02/45065

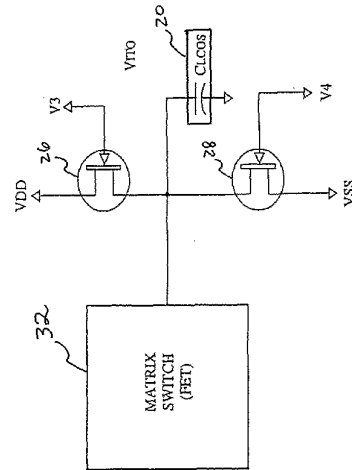
PCT/US01/44745

16

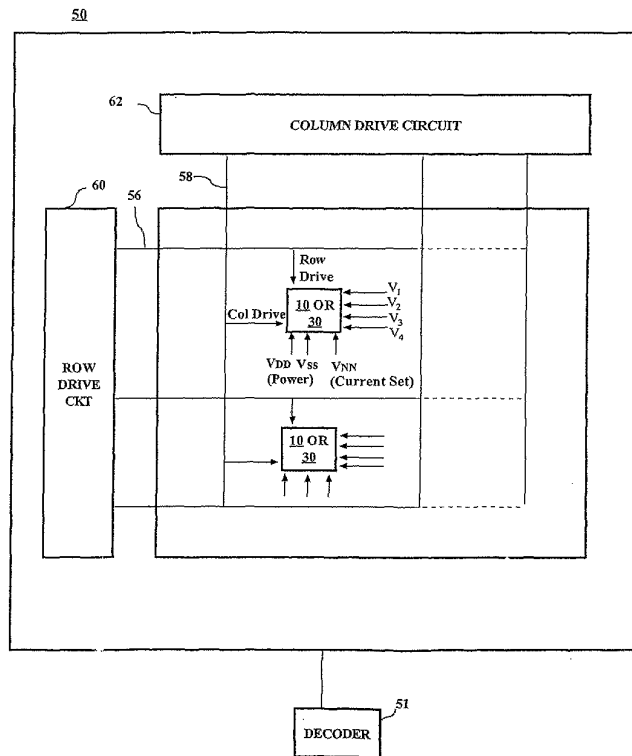
20. A video display apparatus according to Claim 13, further comprising a capacitance, wherein said given switch of said first plurality of switches that is coupled to said given liquid crystal cell is coupled to said capacitance for developing a second voltage in said capacitance that is coupled to said given
5 liquid crystal cell via an amplifier.



2/5



301

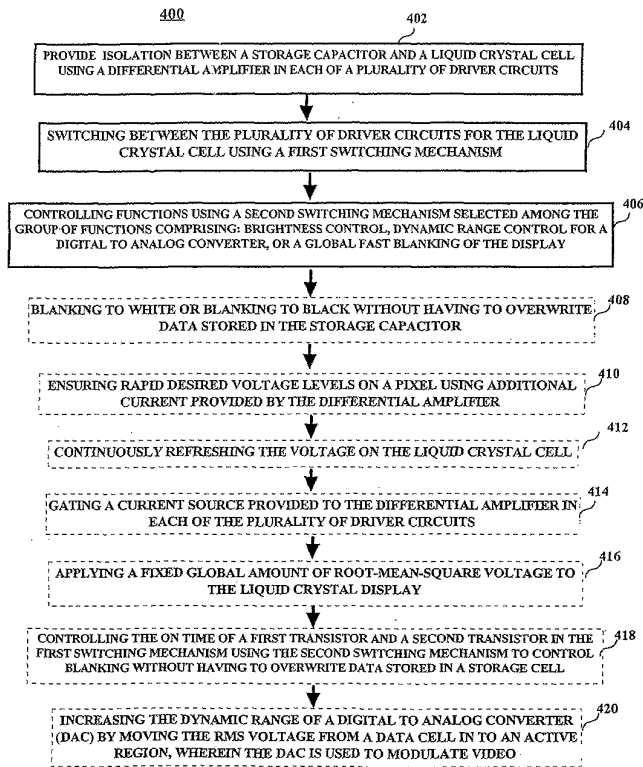
FIG. 3

WO 02/45065

PCT/US01/44745

FIG. 4

4/5

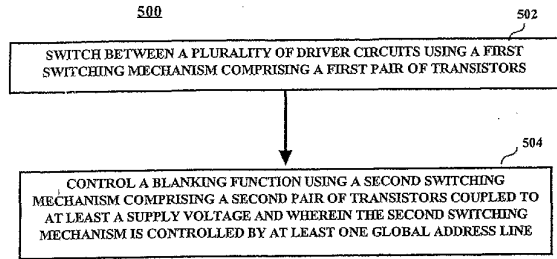


WO 02/45065

PCT/US01/44745

FIG. 5

5/5



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US01/44745
A. CLASSIFICATION OF SUBJECT MATTER IPC(7) : G09C 3/36 US CL : 345/87, 92, 98, 100 According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) U.S. : 345/87, 92, 98, 100 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched None Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) matrix active and LCD, and (brightness or luminance).		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5,250,937 A (KIKUO et al.) 05 October 1993 (5.10.1993), figures 3, 5, 9-10, column 8, lines 12-54, column 12, lines 19-68 and column 12, lines 1-30	1-16, 19-20
Y		17-18
Y	US 6,034,675 A (YAMAZAKI) 07 March 2000 (07.03.2000), figure 2, column 5, lines 24-67 and column 6, lines 1-18.	17-18
☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents:		
"A" documents defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention	
"E" earlier application or patent published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone	
"L" documents which may throw doubt on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art	
"O" documents referring to an oral disclosure, use, exhibition or other means	"R" document number of the same patent family	
"P" documents published prior to the international filing date but later than the priority date claimed		
Date of the actual completion of the international search 07 March 2002 (07.03.2002)	Date of mailing of the international search report 15 APR 2002	
Name and mailing address of the ISA/US Commissioner of Patents and Trademarks Box PCT Washington, D.C. 20231 Facsimile No. (703)305-3230	Authorized officer <i>Phuong Nguyen</i> Phuong Nguyen Telephone No. 703-308-0425	

Form PCT/ISA/210 (second sheet) (July 1998)

フロントページの続き

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,CH,CY,DE,DK,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN, TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES,FI,GB,GD,GE, GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,NO,NZ,OM,PH,P L,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TR,TT,TZ,UA,UG,US,UZ,VN,YU,ZA,ZW

(72)発明者 オドネル, ユージーン マーフィー

アメリカ合衆国 インディアナ州 4 6 0 3 8 フィッシャーズ ティンバー・スプリングズ・ド
ライヴ 7 5 9 4

F ターム(参考) 2H093 NA33 NC23 NC24 NC34 NC35 ND07

5C006 AA01 AA22 AC26 AF44 BB16 BB28 BC12 BF24 BF25 BF34
BF37

5C080 AA10 BB05 CC03 DD01 EE28 FF11 GG12 JJ02 JJ03 JJ07

